



HAL
open science

Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales

Olivier Bernal

► **To cite this version:**

Olivier Bernal. Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique (Toulouse), 2006. Français. NNT : 2006INPT029H . tel-04625450

HAL Id: tel-04625450

<https://ut3-toulouseinp.hal.science/tel-04625450>

Submitted on 26 Jun 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre: 2378

THÈSE

présentée

pour obtenir le titre de

DOCTEUR DE L'INSTITUT NATIONAL POLYTECHNIQUE DE TOULOUSE

par

Olivier BERNAL

Équipe d'accueil : Groupe Systèmes Opto-électroniques - LEN7
École Doctorale : Génie Electrique, Electronique et Télécommunications
Spécialité : Conception des Circuits Micro-Electroniques et Micro-Systèmes

Titre de la thèse :

*Conception de Convertisseurs Analogique-Numérique
en technologie CMOS basse tension
pour chaînes Vidéo CCD Spatiales*

Soutenue le 19/10/2006 devant le jury composé de:

MM. :	Alain	FABRE	Rapporteurs
	Pascal	NOUET	
M. :	Marc	LESCURE	Directeur de thèse
MM. :	Jean-Yves	SEYLER	Examineurs
	Philippe	AYZAC	
	Francis	BONY	

Thèse préparée au Laboratoire d'Électronique de l'E.N.S.E.E.I.H.T.

Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales

Mots clefs

- Convertisseur Analogique/Numérique (CAN)
- Technologie CMOS basse-tension
- Durcissement aux radiations
- Mémoire de courant
- Calibrage numérique
- Bruit
- Capacités commutées
- Courants commutés
- Commutateur analogique

Résumé

Dans le cadre des Instruments d’Observation de la Terre, les technologies micro-électroniques sur lesquelles sont basés les systèmes spatiaux embarqués, ont tendance à être de moins en moins basées sur les technologies dites durcies aux radiations au profit de technologies CMOS sub-microniques basse-tension dédiées principalement aux circuits numériques.

Aussi, dans un premier temps, des méthodes de durcissement aux radiations présentes dans l’espace ont dû être analysées tant au niveau système qu’au niveau circuit et layout pour améliorer la fiabilité des Convertisseurs Analogique-Numérique (CAN) utilisés dans les chaînes Video CCD.

Pour atteindre les performances des futurs imageurs CCD (12 bits à 20 Méchantillons/s), les CAN à architecture pipeline apparaissent comme les plus adaptés. Pour anticiper l’évolution des technologies vers les très basses tensions, les méthodes de conception en courant et en tension ont toutes deux été analysées. Dans ce cadre, l’approche originale en courant a aussi été abordée de par ses propriétés d’auto-calibrage (température, vieillissement).

Afin de démontrer la faisabilité de CAN de haute résolution en courant, une mémoire de courant, cellule fondamentale d’un CAN en courant, a été implémentée en technologie CMOS $0.35\mu\text{m}$. Le prototype de cette mémoire atteint une résolution supérieure à 13bits à 10Méchantillons/s. Toutefois, les performances en bruit de cette mémoire de courant ($\approx 65\text{dB}$) ne satisfont pas les critères en bruit d’un CAN 12bits. Aussi, une analyse comparative en bruit entre les circuits à capacités commutées en tension et à courants commutés a été effectuée afin de caractériser chacune des approches en bruit et de déterminer l’approche la moins pénalisante. Elle a permis de mettre en évidence un gain de 17dB environ des structures en tension sur celles en courant. C’est pourquoi, une approche en tension dont une méthode de conception optimisée a été développée, apparaît comme nécessaire pour les premiers étages de haute résolution au moins.

Contrairement à l’approche en courant qui ne requiert pas de commutateurs analogiques performants et qui par là-même est plus adaptée au contexte spatial, l’approche en tension nécessite des commutateurs fonctionnant sur une large plage de tension. En géné-

ral, les méthodes de conception basse-tension reposent sur une architecture dite “boots-trappée” pour améliorer leurs caractéristiques. Toutefois, non applicables directement de par les contraintes de l’environnement spatial, une autre architecture basée sur des transistors PMOS a été proposée.

Enfin, pour pouvoir relaxer les contraintes sur la conception des circuits analogiques, une nouvelle méthode de calibrage et de correction numérique adaptable à la fois aux CAN en tension et en courant est proposée. Elle permet de corriger les erreurs de gain, d’offsets, et des niveaux de référence utilisés. Elle améliore aussi la linéarité du convertisseur, sa précision absolue, sa consommation et sa robustesse vis-à-vis des radiations. Pour le cas des structures en courant, la méthode proposée permet de doubler la vitesse d’échantillonnage du CAN.

Design of Pipelined Analogue-to-Digital Converters (ADC) in Low-Voltage CMOS technology for Space Systems

Keywords

- Analogue-to-Digital Converter (ADC)
- Low-Voltage CMOS technologies
- Radiation Hardening
- Current Memory Cell
- Digital Calibration
- Noise
- Switched-Capacitors
- Switched-Currents
- Analogue Switches

Abstract

Over the last few years, circuit technologies used in space embedded systems have evolved from radiation-hardened technologies to more conventional CMOS/BiCMOS ones for three main reasons : cost effectiveness, wide availability of these technologies and greater integration. In fact, full monolithic CMOS Analogue-Front-Ends (AFE) are required for low-power consumption and higher-level integration purposes.

Therefore, radiation hardening methods have been firstly studied to improve the reliability of both Analogue-to-Digital Converter design and layout dedicated to space CCD processors.

Instead of flash, successive approximation or sigma-delta converters, pipelined ADCs are employed to achieve the required performances of future CCD processors (12bits, 20MSamples/s) because both high-speed and high-resolution can be obtained simultaneously. Moreover, since CMOS technologies are scaling toward smaller device sizes and lower supply voltage, both voltage and current mode approaches have been analysed. Indeed, the current mode approach has self-calibrating characteristics (for example : temperature, ageing and process) as well as low-voltage low-power architectures, which can be useful for designing low-power ADCs in such a harsh environment.

Consequently, to verify that current pipelined ADCs can reach high-resolutions, a current memory cell, which is the fundamental structure of such ADCs, has been designed and implemented in $0.35\mu\text{m}$ CMOS technology. Although this current memory cell can fulfill such high performances (14bits, 10MSamples/s), its noise characteristics are not suitable for 12bits ADCs. Actually, noise is a key parameter which has a large influence on both power consumption and bandwidth. A comparative noise analysis between switched-capacitor and switched-current structures indicates that voltage mode structures are less noisy relative to current mode ones by more than 17dB. Therefore, the voltage mode approach is required for the first few ADC stages.

Contrary to the current mode approach which does not require any high-swing analogue switches, thereby, suiting better space conditions, the voltage mode approach needs such switches to improve their noise performances. Bootstrapped switch structures are usually used to improve their characteristics in low-voltage designs. Since space radiations can damage these switch architectures, another switch design based on the bootstrapped

principle and PMOS devices has been proposed to improve their reliability.

In addition, to relax the analogue design requirements, a new digital calibration method has been proposed to correct gain, voltage references and offset errors occurring in both voltage and current ADCs. It is shown that this calibration algorithm significantly improves the linearity, precision, power consumption and radiation robustness of pipelined ADCs. Finally, as far as current pipelined ADCs are concerned, such a calibration method can enhance the sampling frequency by a factor of two.

Remerciements

Tout d'abord, je souhaiterais remercier mon directeur de thèse Marc LESCURE, professeur à l'E.N.S.E.E.I.H.T., pour ses innombrables conseils. Ce fut vraiment un privilège de travailler avec lui. En plus de ses remarques sur la conception de circuits, il m'a aussi fait part de son aide pour la rédaction du présent manuscrit. Je n'oublierai pas aussi les discussions ouvertes que nous avons souvent eues l'occasion d'avoir en fin d'après-midi.

Je voudrais aussi exprimer ma joie d'avoir pu travailler au sein d'un groupe de doctorants extras Caroline BÉS, Laurent GATET, Pierre LAQUERRE, Saroj PULLTEAP, Joseph EL ASSAD, Denis STANDAROVSKI, Maha SULEIMAN, Patrick ZIVOJINOVIC et donc dans une ambiance agréable et chaleureuse. Je souhaite en particulier remercier Caroline pour avoir réussi à me supporter durant ces 3 années et pour m'avoir permis de rester en bonne santé grâce à nos nombreuses escapades dans divers restaurants de Toulouse, Denis pour nos discussions "métaphysiques" sur l'Univers, les notions fondamentales des circuits CMOS ... et nos folles soirées de conception de circuits et Pierre pour nos échanges d'idées sur la conception de circuits. Un très grand merci à notre entraîneur sportif attitré Laurent dit "coach Lolo" qui m'a permis de garder un corps sain tout au long de ma thèse et d'avoir amélioré mon toucher de balle.

Je souhaite aussi remercier mon petit Hoodz préféré Han Cheng SEAT pour son humour débordant, ses conseils et sa patience sans lesquels ma thèse aurait été plus monotone et mes articles plus fades.

J'adresse aussi mes remerciements à l'ensemble des personnes que j'ai côtoyées durant mes années de thèse : Danielle ANDREU, Francis BONY, Thierry BOSCH, Philippe Bourdeu d'Aguerre, Michel CATTOEN, Marc COUSINEAU, Francis JAYAT, Julien PERCHOUX, Hélène TAP-BETEILLE, Clément TRONCHE.

Je tiens à remercier M. Claude NEVEU, M. Philippe AYZAC et M. Vincent LEBRE du Service Produits Analogiques et Vidéo d'ALCATEL ALENIA SPACE et M. Jean-Yves SEYLER du département Opto-Electronique du CNES pour leurs conseils et pour m'avoir renouvelé leur confiance tout au long de ces années.

Je tiens à exprimer ma reconnaissance aux membres du jury de ma thèse et en particulier à M. Alain FABRE et M. Pascal NOUET en tant que rapporteurs.

Enfin, je souhaite remercier chaleureusement mes parents et ma petite soeur pour leur soutien sans faille tout au long de mes études.

Glossaire

Mémoire de courant

A_o	Gain de plateau en boucle ouverte d'un amplificateur opérationnel
AO	Amplificateur opérationnel
α	Proportion de charges injectées = $Q_{inj}/Q_{tot}^c h$
C	$C = \frac{\sqrt{I_1} - \sqrt{I_2}}{\sqrt{I_1} + \sqrt{I_2}}$
CAN	Convertisseur Analogique-Numérique
C_d	Capacité parasite drain-substrat
C_{gd}	Capacité de recouvrement grille-drain
C_{gs}	Capacité grille-source
C_H	Capacité de maintien de l'information d'une mémoire en courant (elle comprend la capacité C_{gs})
C_{0_x}	Générique pour caractériser les capacités parasites de la mémoire de courant
CMC	Cellule de mémoire de courant
CMFB	Control Mode Feedback (contrôle de mode commun)
CMOS	Complementary Metal Oxide Semiconductor
ΔV_{gs}	Tension de dépassement (d'overdrive)
δV_{gs}	Variation de la tension V_{gs} due par exemple au phénomène d'injection de charges
V_{diff}	Tension différentielle qui existe entre les tensions V_{gs} des transistors de mémoire T_m
ΔV_{diff}^a	Variation de la tension V_{diff} pour une mémoire de courant asymétrique
ΔV_{diff}^s	Variation de la tension V_{diff} pour une mémoire de courant symétrique
ΔV_{diffs}^s	Variation de la tension V_{diff} pour une mémoire de courant symétrique sans effet Miller
ΔV_{diffm}^s	Variation de la tension V_{diff} pour une mémoire de courant symétrique avec effet Miller
δi_{ds}	Variation de I_{ds} due par exemple au phénomène d'injection de charges
δi_{ds}^a	Variation de I_{ds} pour une MC asymétrique
δi_{ds}^s	Variation de I_{ds} pour une MC symétrique
δ_i	Erreur en courant
ϵ	Erreur relative
g_i	facteur de gain de la mémoire de courant
g_m	Transconductance du transistor MOS
g_{ds}	Conductance drain-source d'un transistor MOS (petit signal)
g_{ds}^c	Conductance drain-source du transistor MOS cascode (petit signal)
g_{ds}^{casc}	Conductance de sortie d'une structure cascode (petit signal)
γ	Effet substrat
I_{in}	Courant d'entrée d'une mémoire de courant
i_{in}	Courant d'entrée d'une mémoire de courant dans le domaine petit signal
I_{out}	Courant de sortie d'une mémoire de courant
i_{out}	Courant de sortie d'une mémoire de courant dans le domaine petit signal
I_{bias}	Courant de polarisation
I_{ds}	Courant drain-source d'un transistor MOS

i_{ds}	Courant drain-source d'un transistor MOS dans le domaine petit signal
β	$\mu C_{ox} W/L$
k_B	Constante de Boltzmann
m	Facteur de modulation du courant pour une mémoire de courant
MC	Mémoire de courant
MS	Mega Sample, Million d'échantillons
poly	Poly-silicium
$Q_{tot}^c h$	Charges totales stockées dans le canal d'un transistor MOS
Q_{inj}	Charges injectées
SCv	Switched Capacitor (voltage structure)
SCi	Switched Current (intensity structure)
T_m	Transistor de la CMC au travers duquel s'effectue la mémorisation
T_c	Transistor cascode de la CMC
T_{ac}	Temps d'établissement fort signal
t_{ac}	Temps d'établissement petit signal
τ	Constante de temps principale de la mémoire de courant
V_{gs}	Tension grille-source d'un transistor MOS
v_{gs}	Tension grille-source d'un transistor MOS dans le domaine petit signal
V_{ds}	Tension drain-source d'un transistor MOS
V_{th}	Tension de seuil du transistor MOS

Bruit

BW_{eq}	Bande équivalente de bruit
f_s	Fréquence d'échantillonnage
$\Delta V_1(t)$	Source de bruit en tension fictive ramenée en entrée de T_m durant la phase d'échantillonnage
$\Delta V_2(t)$	Source de bruit en tension fictive ramenée en entrée de T_m durant la phase de maintien
$\Delta V_{s/h}(t)$	Source de bruit en tension fictive ramenée en entrée de T_m incluant les effets de l'échantillonnage sur $\Delta V_1(t)$
$\Delta V_D(t)$	Source de bruit en tension fictive ramenée en entrée de T_m incluant les effets du maintien sur $\Delta V_2(t)$
I_g	Source de bruit thermique d'un commutateur analogique
I_n	Source de bruit thermique d'un transistor MOS
S_{I_g}	Densité spectrale de puissance de I_g
S_{I_n}	Densité spectrale de puissance de I_n
SNR	Rapport Signal sur Bruit
TF(X)	Transformée de Fourier de X
T_s	Période d'échantillonnage
T_h	Durée de la phase de maintien
τ_D	Rapport cyclique
u	Nombre qui quantifie le nombre de repliements de spectre effectif dans la bande de base
ω_n	Pulsation propre d'un système du deuxième ordre
\widehat{X}	Transformée de Fourier de X

CAN

CAN	Convertisseur Analogique-Numérique
CNA	Convertisseur Numérique-Analogique
E	Partie entière
EGR	Etage de gain et de résidu
ENOB	Effective Number of Bit . Nombre de Bits effectifs
ϵ_{P_q}	Erreur moyenne efficace due au processus de quantification
f_s	Fréquence d'échantillonnage
LSB	Least Significant Bit. Bit de poids le plus faible
NLD	Non-Linearité Différentielle
NLI	Non-Linearité Intégrale
P_q	Pas de quantification d'un CAN
$Q_{interface}$	Charges piégées au niveau de l'interface
$\rho(x)$	Distribution linéaire de charges
V_{th}	Tension de seuil

Commutateur Analogique

AO	Amplificateur Opérationnel
α	Rapport entre les charges injectées sur l'armature haute de la capacité C_H et la totalité des charges accumulées dans le transistor MOS
C_H	Capacité de maintien
C_{ov}	Capacité de recouvrement grille-drain et grille-source
ΔV_{clock}	Variation de la tension d'horloge de l'état On à Off
g_{on}	Conductance du commutateur analogique fermé
γ	Paramètre d'effet substrat
M_n	Transistor NMOS
$M_{n_{dummy}}$	Transistor NMOS dummy
M_p	Transistor PMOS
Φ_f	Potentiel de Fermi
Φ_M	Marge de phase
Φ_H	Horloge à l'état haut
Φ_L	Horloge à l'état bas
Ψ_0	Potentiel interne
S_{w_1}	Commutateur analogique principal
S_{w_2}	Commutateur analogique secondaire
u_T	Tension thermodynamique
V_{gs}	Tension grille-source
V_{ds}	Tension drain-source
V_{th_0}	Tension de seuil nominale
V_{th_p}	Tension de seuil d'un PMOS
$V_{th_{vin}}$	Tension de seuil fonction du signal V_{in}

Circuit à capacités commutées

AO	Amplificateur Opérationnel
AO_1	AO du premier ordre
AO_2	AO du deuxième ordre
A_{infty}	Gain d'un système bouclé lorsque la transconductance du système tend vers l'infini
CC	Circuit à capacités commutées
C_s	Capacité d'échantillonnage du montage ESA
C_f	Capacité de contre-réaction du montage ESA
d	Transmittance de fuite
ESA	Échantillonneur-Soustracteur-Amplificateur
f_b	Facteur de boucle
f_{GBW}	Fréquence de gain unitaire d'un AO
f_s	Fréquence d'échantillonnage
G_m	Transconductance du système
g_{on_x}	Conductance du commutateur analogique S_x
$\mathbb{I}(t)$	la fonction échelon $\mathbb{I}(t) = 0$ pour $t < 0$ et $\mathbb{I}(t) = 1$ pour $t \geq 1$
κ	Constante de temps normalisée liée à S_1 $\kappa = \tau_{on_1} / \tau_0$
ω_n	Pulsation propre d'un système du deuxième ordre
OTA	Operational Amplifier Transconductance
R	Coefficient de retour
τ_1	Constante de temps d'un AO du 1er ordre
τ_2	Deuxième constante de temps d'un AO du 2eme ordre
τ_{on}	Constante de temps liée à un commutateur analogique
τ_{on_N}	Constante de temps normalisée liée à un commutateur analogique
ξ	Facteur d'amortissement d'un système du deuxième ordre

Correction d'erreurs

ACEA	Active Capacitor Error-Averaging. Moyennage actif de l'erreur d'appariement de capacités
PCEA	Passive Capacitor Error-Averaging. Moyennage passif de l'erreur d'appariement de capacités
α_c	Coefficient de non linéarité des capacités
α	Facteur d'appariement des capacités
ϵ_{copy}	Erreur relative de recopie en courant
ϵ_{ref}	Erreur relative du signal de référence
$\epsilon_{ref/4}$	Erreur relative du signal de test de référence
N	Nombre d'étage du CAN pipeline (ne tient pas compte des étages supplémentaires)
NLI	Non-Linéarité Intégrale
NLD	Non-linéarité Différentielle
N_{offset}	Nombre de codes manquants pour l'ensemble du CAN dû aux offsets des comparateurs
N_{offset_i}	Nombre de codes manquants pour l'étage i du CAN dû aux offsets des comparateurs

poly-poly	Capacité réalisée par la mise en regard de 2 surfaces de poly-Silicium
q	Bit de sortie du comparateur
$S_{i,x}^{1,2}$	Constantes de calibration
σ_α	Variance du paramètre α
VHDL	Very High Speed Integrated Circuit Hardware Description Language
ω_i	Poids de l'étage i

Table des matières

Résumé	i
Glossaire	v
Table des matières	xii
Introduction générale	1
1 Convertisseurs Analogique-Numérique pour chaînes video CCD spatiales	3
1 Etat de l'art des convertisseurs analogique-numérique (CAN)	4
1.1 Signaux et convertisseurs	4
1.2 Les différents types de convertisseur	4
a) Le convertisseur FLASH	5
b) Le convertisseur à multiples étages Flash	5
c) Le convertisseur à approximations successives SAR	6
d) Le convertisseur Pipeline	7
e) Le convertisseur Pipeline Cyclique	8
f) Le convertisseur Sigma-Delta	9
1.3 Comparaison	9
2 Circuits intégrés et environnement spatial	12
2.1 Description de l'environnement spatial	12
2.2 Les différents types d'interactions entre les particules énergétiques / rayonnements et la matière	13
2.3 Effets des radiations sur les paramètres physiques des transistors MOS	14
a) Le phénomène d'accumulation de charges dans l'oxyde des transistors MOS [ANE00], [SAI98]	14
b) La dégradation de mobilité des porteurs	16
c) Les défauts du réseau cristallin par déplacements	17
d) Les SEE : Single Event Effect	17
e) Le SEL : Single Event Latch up	18
f) Le SES : Single Event Snapback	18
g) Le SEU : Single Event Upset	19
h) Le SHE : Single Hard Error	19
i) Le SEGR : Single Event Gate Rupture	19
j) Impact des radiations sur le bruit	19
k) Classement des technologies vis-à-vis des radiations	20
2.4 Comment se protéger de ces radiations au niveau de la conception	21

a)	L'utilisation de technologies à faible épaisseur d'oxyde de grille	21
b)	La technologie SOI	22
c)	L'utilisation de transistors MOS fermés	23
d)	Les anneaux de garde	23
e)	Quelques règles pour la conception numérique	23
f)	Utilisation de commutateurs analogiques à base de transistors PMOS	24
2	Les Mémoires de Courant	25
1	La mémoire de courant et ses limitations	26
1.1	Le principe de fonctionnement d'une mémoire de courant	27
1.2	Stabilité et temps d'établissement	28
a)	Temps d'établissement et fort signal	28
b)	La stabilité	30
1.3	L'erreur liée à la tension de drain V_{ds}	31
a)	La structure cascode	32
b)	La structure cascode régulé	32
1.4	L'injection de charges	33
a)	Injection de charges constante	34
b)	Injection de charges non-constante	35
1.5	Le bruit	36
1.6	Quelques mémoires de courant réalisées	37
2	La cellule de mémoire de courant proposée	38
2.1	La conception	38
a)	Généralités	38
b)	La réduction de l'injection de charges	40
2.2	Réalisation et Résultats	42
a)	Réalisation	42
b)	Tests quasi-statiques	44
c)	Tests dynamiques	50
d)	Tests de fonctionnalité sous environnement spatial	52
2.3	La mémoire de courant et le CAN pipeline	53
3	Analyse des Circuits à Capacités Commutées d'un CAN pipeline	57
1	Analyse des circuits bouclés par la méthode du coefficient de retour	60
1.1	La méthode du coefficient de retour de Bode	60
a)	Extraction des paramètres de la boucle	60
b)	Analyse des circuits	62
1.2	Temps d'établissement d'un circuit ESA idéal du 1 ^{er} ordre	64
1.3	Temps d'établissement d'un circuit ESA idéal du 2 ^{ème} ordre	65
2	Contribution des commutateurs analogiques sur un circuit du 1 ^{er} ordre	67
2.1	Impact du commutateur S_1	67
2.2	Impact du commutateur S_2	71
2.3	Impact du commutateur S_3	72
2.4	Impact simultané des commutateurs S_1 et S_2	73
2.5	Impact simultané des commutateurs S_1 , S_2 et S_3	75
3	Contribution des commutateurs analogiques sur un circuit du 2 ^{ème} ordre	76
3.1	Impact du commutateur S_1	77

3.2	Impact simultané des commutateurs S_1 et S_2	78
3.3	Impact simultané des commutateurs S_1 , S_2 et S_3	79
4	Conception d'un circuit ESA en CMOS pour une résolution de 12bits à 30Méch/s	81
1	Détermination des caractéristiques du bloc	81
1.1	La taille des capacités et le bruit	81
1.2	Détermination du gain en boucle ouverte de l'OTA et de son produit Gain-Bande passante	82
2	Conception du circuit ESA	83
2.1	Principe de base du cascode régulé (boosted cascode)	83
a)	Le Gain	83
b)	Stabilité	84
c)	Temps d'établissement	85
d)	Résumé sur la méthode de conception de l'OTA pour le circuit ESA	85
2.2	Réalisation de l'OTA cascode télescopique régulé	85
a)	Réalisation du cascode télescopique simple	86
b)	Réalisation des amplificateurs additionnels du cascode télescopique régulé	87
c)	L'amplificateur total	87
d)	Temps d'établissement	88
2.3	Réalisation de l'OTA cascode replié	90
a)	Le mode commun d'entrée	90
b)	La plage de sortie	90
c)	La réalisation	91
d)	Le Temps d'établissement	91
2.4	Conclusion	92
5	Les commutateurs analogiques	93
1	Le transistor MOS : commutateur analogique	93
1.1	Généralités [WH02b]	93
1.2	Le phénomène d'injection de charges et de clock feedthrough [WH02b] [THB94]	95
2	Comment améliorer les performances du commutateur analogique	97
2.1	La porte de transmission	97
2.2	L'utilisation de dummy ou transistor fantôme	98
2.3	La méthode du bottom plate sampling [WH02b]	99
2.4	La méthode du bootstrapping [WH02b]	99
2.5	Proposition d'un commutateur compatible avec l'environnement spatial	100
a)	Présentation	100
b)	Le principe de fonctionnement	101
c)	La compensation des charges	102
d)	Résultat de simulation	103

6	Le bruit	107
1	Analyse de bruit d'une mémoire de courant simple	107
1.1	Analyse petits signaux de la cellule	109
	a) Fonction de transfert $F(p)$ liée à la source $I_n(t)$	109
	b) Fonction de transfert $G(p)$ liée à la source $I_g(t)$	109
	c) Contribution totale	110
1.2	Impact de l'échantillonnage du signal sur la densité spectrale du bruit	110
1.3	Evaluation de la densité spectrale de puissance de la composante directe du bruit $S_D(f)$	112
1.4	Evaluation de la densité spectrale de puissance totale $S(f)$ et de la valeur quadratique moyenne de bruit $\overline{i_{noise}^2}$	114
	a) Evaluation de la densité spectrale de bruit	114
	b) Evaluation de $\overline{i_{noise}^2}$	115
2	Analyse de bruit de structure à capacités commutées	117
2.1	Échantillonneur-bloqueur à capacités commutées	117
2.2	Étage de gain en tension à capacités commutées	119
3	Bruit et convertisseur pipeline	120
3.1	Comparaison des SNR entre une approche en courant et une ap- proche en tension	120
	a) Mémoire de courant	120
	b) Échantillonneur-Bloqueur en tension	122
	c) Comparaison des SNR	122
3.2	Bruit et résolution des convertisseurs Pipeline	124
7	Analyse des sources d'erreur d'un CAN pipeline	127
1	Impact de l'offset des comparateurs	128
1.1	Offset et Codes manquants	129
1.2	Offset et non linéarité différentielle	130
2	Impact de l'erreur de gain	130
2.1	Gain < 2	132
2.2	Gain > 2	133
2.3	Evaluation de l'impact de l'erreur de gain sur la NLD (en tension de la structure de la figure 7.4(a))	134
2.4	Evaluation de l'impact de l'erreur de gain sur la NLI (en tension) .	137
3	Impact de l'erreur des signaux de référence	139
3.1	Evaluation du NLD	140
3.2	Evaluation du NLI	141
4	Composition de l'erreur de gain avec l'erreur sur les signaux de référence .	142
5	Impact de la non-linéarité des capacités sur l'étage de gain en tension . . .	142
5.1	Etude de la NLD	144
5.2	Impact d'une structure différentielle sur la non-linéarité des capacités	144
8	Analyse des méthodes de correction et de calibrage	147
1	Utilisation de plusieurs comparateurs par étage	148
1.1	Multi-comparaisons et offset	148
1.2	Multi-comparaisons et erreur de gain	151
1.3	Multi-comparaisons et erreur des seuils de référence	152
2	Méthodes de calibration numérique	152

2.1	Rappel sur les erreurs transmises d'étage en étage	152
2.2	Notion de poids et calibrage (en tension)	153
2.3	Evaluation des poids pour la correction des erreurs de discontinuité : la méthode standard	154
3	Méthode de correction numérique proposée [BLL06]	157
3.1	L'algorithme de calibrage proposé	157
3.2	La procédure de calibrage proposée	160
4	Les résultats de simulation sous Matlab	161
5	Implémentation en VHDL-AMS	162
Conclusion générale		164
Annexes		169
A Caractéristiques des convertisseurs analogique-numérique		169
1	La fonction de transfert d'un CAN	169
2	La précision absolue d'un CAN	169
3	L'erreur de quantification	170
4	La dynamique d'entrée	170
5	La Non-Linearité Différentielle (NLD)	171
6	La Non-Linearité Intégrale (NLI)	171
7	Monotonie	172
8	Les codes manquants	172
9	L'erreur de gain	172
10	L'erreur d'offset	172
11	Bande passante d'entrée	173
12	Le rapport Signal-sur-Bruit (SNR)	173
13	Le nombre effectif de bits ENOB	173
B Calcul des bandes passantes équivalentes de bruit		175
1	Filtre passe-bas du premier ordre	175
2	Filtre passe-bas du deuxième ordre	176
2.1	Cas où $\xi > 1$	176
2.2	Cas où $\xi < 1$	177
3	Autre Filtre	178
Bibliographie		186
Table des figures		187
Table des tableaux		193

Introduction générale

Les programmes d'observation spatiale de la Terre permettent d'obtenir des données importantes sur le climat et son évolution, sur l'urbanisation, la végétation, les ressources naturelles et le dynamisme de la planète. De par les contraintes imposées à la fois par un environnement sévère qu'est l'espace, et par le besoin de précision sur les données recueillies, les instruments d'observation nécessitent plusieurs années de développement et de caractérisations. Plus particulièrement, l'électronique et les circuits intégrés embarqués sont soumis aux radiations spatiales et à une large gamme de température (-40°C, 125°C). Cet environnement peut ainsi créer des dysfonctionnements ou des destructions des fonctions électroniques embarquées. C'est pourquoi, en général, les technologies micro-électroniques et les méthodes de conception utilisées pour le domaine spatial sont dites "Rad-Hard", c'est-à-dire qu'elles permettent de renforcer ou de durcir naturellement les circuits intégrés faces aux radiations.

Toutefois, ces technologies dédiées au domaine spatial (militaire...) ne permettent pas de bénéficier des dernières avancées technologiques de la micro-électronique et peuvent poser des problèmes en terme de pérennité. En effet, le volume (nombre de circuits) et la durée des programmes spatiaux (5 à 10 ans) imposent des contraintes supplémentaires aux fondeurs.

En réponse à ces problèmes, la NASA, le CNES et Alcatel Alenia Space se tournent de plus en plus vers deux alternatives possibles : (1) l'utilisation des circuits du commerce et (2) l'utilisation des technologies dites "standards" qui sont majoritairement des technologies CMOS sub-microniques basse-tension dédiées principalement au numérique. La première alternative a pour principal inconvénient de nécessiter de nombreux tests pour qualifier le fonctionnement des circuits pour un environnement spatial donné. La seconde autorise un degré de liberté supplémentaire en autorisant des modifications au niveau de la conception des circuits intégrés (design et layout) pour améliorer la tenue aux radiations de ces derniers.

En outre, l'utilisation de ce type de technologie permet d'augmenter la complexité des circuits conçus et en général de diminuer aussi la consommation requise tout en améliorant les performances des fonctions réalisées. A cela s'ajoute la possibilité de pouvoir avoir accès à de faibles volumes via les centres multi-projets (CMP). Cependant, le problème de la pérennité se pose toujours à cause des évolutions rapides des technologies.

Dans ce cadre particulier, le travail de cette thèse s'intéresse à la conception de Convertisseurs Analogique-Numérique (CAN) en technologie CMOS sub-micronique basse-tension pour chaînes de traitement vidéo CCD embarquées dans les satellites d'observation. Les performances souhaitées par Alcatel Alenia Space et le CNES pour les convertisseurs des futures sondes spatiales sont de 12bits à une fréquence d'échantillonnage supérieure à 20Méchantillons/s. A travers le terme de "conception", la notion de réalisation complète d'un CAN ne doit pas être sous-entendue. On s'intéresse ici, en effet, plus particulièrement à une méthode d'analyse et de conception dont l'objectif est de permettre de formaliser

les étapes nécessaires au développement d'un système CAN complet répondant aux précédents critères énumérés. Afin de faire place à un formalisme, le plus complet possible, des analyses descendantes et montantes seront imbriquées tout au long de l'étude pour optimiser les relations entre les briques de base du système et le système lui-même. Cette thèse devra répondre aux questions sous-jacentes au problème posé : La contrainte basse-tension nécessite-t-elle de nouvelles topologies de circuit ? Quels sont les éléments les plus sensibles aux radiations ? Comment la topologie du système CAN complet peut influencer la conception de ses sous-parties ? Quelle est l'influence de l'échantillonnage sur le bruit ?

Ainsi, dans un premier temps, le problème du choix de l'architecture de convertisseur la mieux adaptée à cette application sera abordé ainsi que les contraintes imposées par le domaine spatial pour proposer des méthodes de conception permettant de durcir les circuits intégrés vis-à-vis des radiations.

A partir de cette entrée en matière, les notions de conception en mode tension et mode courant seront explicitées pour mettre en valeur les avantages que possèdent les circuits en courant sur ceux en tension relativement aux basses tensions et à l'environnement spatial. L'étude théorique de la cellule mémoire de courant qui est la structure principale d'un convertisseur analogique-numérique mettra en avant les points forts et sensibles de ce type d'architecture. Les résultats de simulation et expérimentaux d'une mémoire implémentée en technologie CMOS $0.35\mu\text{m}$ seront présentés.

Afin de conserver un esprit critique, les structures d'amplification à capacités commutées en tension seront étudiées dans le chapitre suivant. L'objectif consistera à mettre en place une méthode de conception optimisée indépendante de la technologie CMOS utilisée qui tient compte des non-idéalités liées aux conductances finies des commutateurs analogiques. La structure d'amplificateur à gain décuplé sera aussi introduite, structure à partir de laquelle deux types d'implémentation d'amplificateur illustreront les résultats obtenus avec la méthode d'optimisation.

Puis, un petit chapitre sur les commutateurs analogiques dépeindra les problèmes liés aux phénomènes d'injection de charges qui limitent la précision ainsi que ceux liés à l'environnement spatial sur la fiabilité des commutateurs dits "bootstrappés". Une architecture de commutateur analogique mieux adaptée au domaine spatial sera proposée.

Un chapitre entier sera ensuite consacré au bruit des structures en courant et tension car cette notion est essentielle quand rapidité et précision sont requises à la fois. Une méthode d'étude de l'impact de l'échantillonnage sur le bruit sera présentée et la comparaison entre les performances des architectures en courant et en tension sera effectuée.

Quand on parle de convertisseur analogique-numérique, la notion de système est sous-entendue. C'est pourquoi l'analyse des erreurs introduites par l'imperfection de chacun des circuits intervenants dans la réalisation d'un convertisseur est nécessaire pour pouvoir être à même d'avoir un esprit critique sur la façon de réaliser certaines fonctions et de les agencer. Une fois de plus cette étude mettra en évidence des différences et similitudes entre les structures en courant et en tension.

Enfin le dernier chapitre traitera des méthodes de calibrage et de correction qui doivent être associées à l'architecture du convertisseur. Une nouvelle méthode de calibrage numérique sera présentée. Le concept sur lequel elle repose est appliqué aux architectures en tension et on montrera qu'il peut être étendu aisément au domaine dual en courant. Des résultats de simulations seront présentés mettant en évidence l'apport de cette méthode de correction par rapport à des méthodes de correction dites classiques.

Chapitre 1

Convertisseurs Analogique-Numérique pour chaînes video CCD spatiales

Introduction

Un convertisseur analogique-numérique (CAN) est un système qui permet de prélever périodiquement¹ des échantillons d'un signal analogique provenant du monde macroscopique² qui nous entoure, et de le quantifier (une valeur numérique est alors affectée à l'échantillon). Cette quantification permet un traitement ultérieur numérique des données recueillies. C'est pourquoi, suivant l'application visée, les caractéristiques du CAN varient à la fois en terme de précision, résolution (linéarité), vitesse d'échantillonnage et puissance consommée.

Dans le cadre de notre étude, on s'intéresse plus particulièrement aux CANs utilisés dans les chaînes vidéos pour le domaine spatial comme par exemple pour les satellites d'observation de la Terre SPOT ou Pléiades. Les signaux à numériser sont des signaux issus des capteurs CCD³. Afin de répondre aux besoins des futures chaînes video spatiales, les CANs employés doivent avoir une résolution ≥ 12 bits et une fréquence d'échantillonnage ≥ 10 Mpixels/s avec une consommation totale la plus faible possible (< 250 mW). En outre, à ces performances se rajoutent les contraintes de disponibilité de la technologie utilisée sur la durée du programme spatial et de la fonderie faible volume. C'est pourquoi, les acteurs du domaine spatial (Alcatel Alenia Space, le CNES, la NASA ...) se tournent vers l'étude soit directement des composants du commerce qui possèdent les caractéristiques souhaitées, face aux radiations spatiales, soit vers la conception d'ASIC⁴ durci aux radiations à partir de technologies Silicium classiques.

Par suite, il est nécessaire de déterminer dans un premier temps l'architecture de CAN la mieux adaptée à ce type d'utilisation, puis dans un second temps d'analyser les contraintes imposées par l'environnement spatial sur la conception des circuits intégrés.

¹On parle d'échantillonnage

²On ne considère pas le monde quantique

³Charge Coupled Device

⁴Application Specific Integrated Circuit

1 Etat de l'art des convertisseurs analogique-numérique (CAN)

1.1 Signaux et convertisseurs

Avant d'aborder plus en détail les différentes architectures de CAN qui existent, il est intéressant d'analyser le type de signal qui doit être traité par ce dernier [Hoe94]. En général, les signaux à numériser peuvent être classés en 3 catégories :

- Les signaux continus ou lentement variables. En général, pour ce type de signal, les CAN utilisés sont les CAN à rampe, double rampe, conversion tension/fréquence et sigma delta.
- Les signaux qui changent au cours du temps mais dont la bande de fréquence est parfaitement délimitée (à l'aide de filtre anti-repliement en général). Pour effectuer la numérisation de ce type de signal, il est nécessaire de le figer périodiquement à l'aide par exemple d'une structure échantillonneur-bloqueur (EB). La fréquence d'échantillonnage du CAN doit être au moins égale au double de la plus haute des fréquences du signal à convertir pour vérifier le principe de Shannon. En outre, un paramètre important pour ce type de conversion est l'exactitude de la périodicité de l'échantillonnage, c'est-à-dire que la gigue de phase de l'horloge doit être la plus faible possible. Les convertisseurs généralement utilisés sont les convertisseurs à approximations successives (SAR), cyclique, flash, pipeline et sigma delta.
- Les signaux de type impulsion. En général pour ce type de signal, il y a très peu de corrélation entre les successions de signaux (comme pour les signaux issus des CCD (charge-coupled device) voir Fig. 1.1). Le paramètre critique pour ce type de signal est le temps disponible pour effectuer la conversion⁵. Pour ce type d'application, ce sont en général les convertisseurs de type flash, SAR et pipelines qui sont employés.

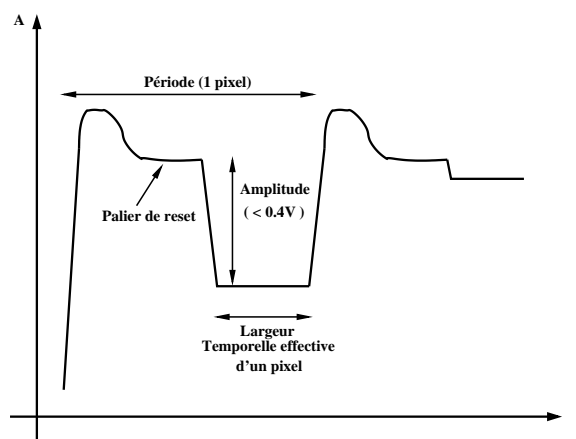


FIG. 1.1: Signal CCD typique

1.2 Les différents types de convertisseur

L'objectif de cette étude est de déterminer l'architecture la mieux adaptée à l'application visée à partir de la description des différentes architectures de CAN existantes ainsi

⁵La gigue de phase n'est pas un paramètre important pour ce type de conversion

que de décrire les méthodes employées pour les qualifier.

Remarque. Les architectures de type CAN à rampe, double rampe et à conversion tension/fréquence ne sont pas traitées ici car ces architectures sont dédiées aux applications basses fréquences.

a) Le convertisseur FLASH

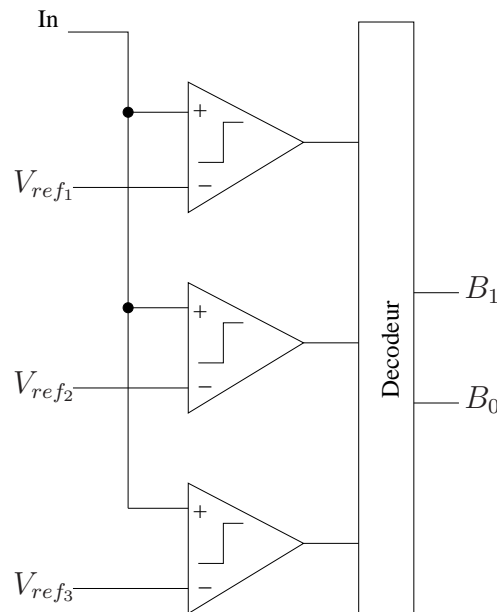


FIG. 1.2: Schéma synoptique d'un convertisseur Flash 2bits

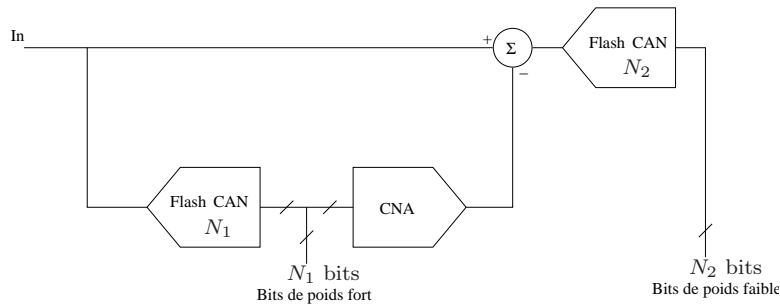
L'architecture Flash est celle qui permet d'atteindre les plus grandes vitesses de conversion car la conversion s'effectue en une seule étape.

Un convertisseur Flash de N bits de résolution est constitué d'un ensemble de $2^N - 1$ comparateurs et signaux de référence. La figure 1.2 représente un CAN Flash 2bits. Chacun des comparateurs compare le signal échantillonné avec un des $2^N - 1$ signaux de référence. Ainsi, chacun des comparateurs génère un signal de sortie qui indique si le signal est supérieur ou inférieur au signal de référence. Ces multiples comparaisons effectuées en parallèle permettent de déterminer la plage dans laquelle se situe le signal à numériser.

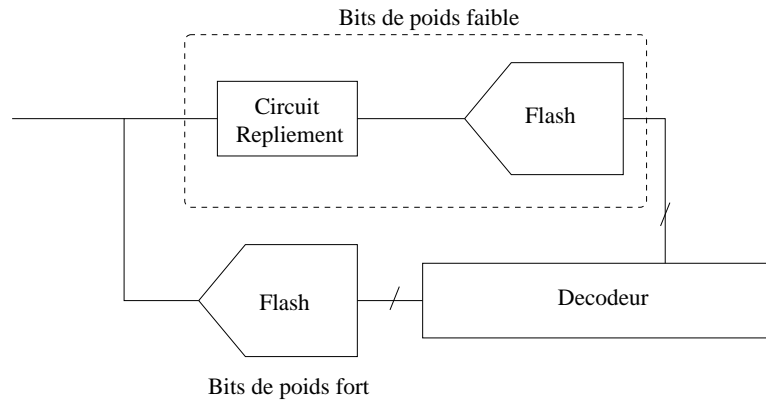
Le principal inconvénient de ce type d'architecture est le nombre important de comparateurs et de références qui sont nécessaires dès que la résolution souhaitée est grande, ce qui se traduit par une augmentation de la surface utilisée, de la consommation et de la capacité d'entrée. Par exemple, pour 10bits, il faut 1023 comparateurs et référence de tension. De plus, pour de telles résolutions, les erreurs d'offsets des comparateurs et des références doivent être inférieures à la résolution souhaitée.

b) Le convertisseur à multiples étages Flash

Afin de diminuer le nombre de comparateurs et de références, la conversion peut être effectuée en 2 étapes successives par 2 convertisseurs Flash (Fig 1.3(a)). Durant la première étape, les bits de poids fort sont déterminés par le premier CAN Flash. Ensuite, un convertisseur numérique-analogique (CNA) re-convertisse ces bits en signal analogique



(a) Convertisseur Flash à 2 étages



(b) Convertisseur Flash à repliement

FIG. 1.3: Schéma synoptique de convertisseur Flash à multiples étages

qui est soustrait au signal d'entrée. Le signal analogique résultant est ensuite envoyé au deuxième convertisseur Flash après ou sans avoir été préalablement amplifié. Le nombre⁶ de comparateurs utilisés $2^{E(n/2)+1}$ est bien moindre que pour une structure Flash classique.

Un autre type d'architecture pour ce FLASH à 2 étages est le CAN à structure à repliement (Fig 1.3(b)). Pour réaliser ce type d'architecture, le CNA est remplacé par un circuit analogique de pré-traitement appelé circuit de repliement. La sortie de ce circuit attaque l'entrée du deuxième convertisseur Flash dont le nombre de comparateurs est diminué d'un facteur égal au nombre de repliements effectués.

c) Le convertisseur à approximations successives SAR

Le convertisseur à approximations successives est un convertisseur qui utilise un CNA pour générer un signal analogique qui approxime au mieux le signal d'entrée à numériser (Fig. 1.4). La sortie du CNA est pilotée à l'aide d'un code numérique généré par un processeur numérique (en général l'algorithme est de type dichotomique). Ce code correspond au code numérique du signal d'entrée lorsque la sortie du CNA correspond au signal d'entrée (\pm la résolution). Ce type de convertisseur utilise en général un seul comparateur, ce qui correspond à la détermination d'un bit par coup d'horloge.

Ce type d'architecture a l'avantage d'être donc très simple puisqu'il n'a besoin que d'un comparateur et d'un CNA de Nbits. En général, le CNA doit être calibré pour pouvoir atteindre une très grande précision. De plus, cette architecture a le désavantage de nécessiter un grand nombre de coups d'horloge (qui dépend de la résolution souhaitée).

⁶Dans le cadre d'une équi-répartition des bits entre les étages

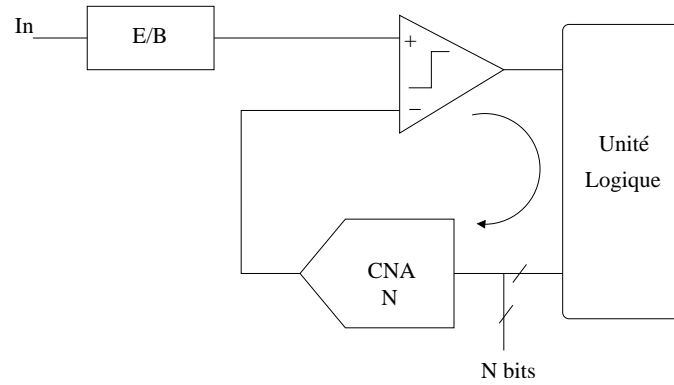


FIG. 1.4: Schéma synoptique d'un convertisseur à approximations successives

d) Le convertisseur Pipeline

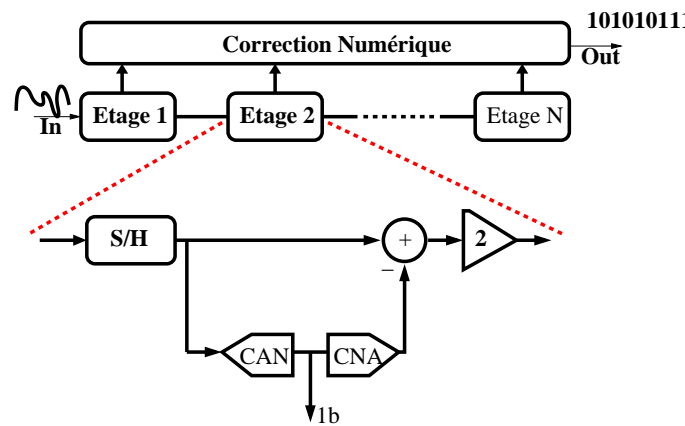


FIG. 1.5: Schéma synoptique d'un convertisseur pipeline à 1bit par étage

Un CAN pipeline est un autre type de convertisseur à multiples étages Flash dont l'architecture a été modifiée pour optimiser la vitesse d'échantillonnage, augmenter la tolérance vis-à-vis des offsets des comparateurs et diminuer la consommation globale.

L'architecture de ce type de CAN est découpée en sous-étages qui ont chacun une résolution assez faible (1 à 3bits en général) (Fig. 1.5). Chacun des étages possède son propre échantillonneur-bloqueur pour échantillonner le signal issu de l'étage précédent, signal que l'on appelle résidu. Cette particularité permet à chaque étage d'échantillonner un nouveau signal dès que son résidu a été échantillonné par l'étage suivant. Par conséquent, la vitesse d'échantillonnage de ce type de convertisseur est indépendante du nombre d'étages employés. Celle-ci dépend directement des caractéristiques propres de chacun des étages. Par contre, le délai entre le moment où le signal entre dans le CAN et le moment où le mot numérique correspondant est disponible en sortie est proportionnel au nombre d'étages.

Le principe de fonctionnement de chaque étage est le suivant (Fig. 1.6). Dans une première phase, le signal d'entrée est échantillonné et comparé à un ou plusieurs comparateurs suivant la résolution effective de chaque étage. Puis, de même que pour les CAN à multiples étages, un signal de référence obtenu par un CNA piloté par le(s) bit(s) de ce(s) comparateur(s) est retranché ou additionné au signal échantillonné. Enfin, le signal résultant de cette opération est amplifié d'un facteur $G=2^i$ (où i est la résolution effective

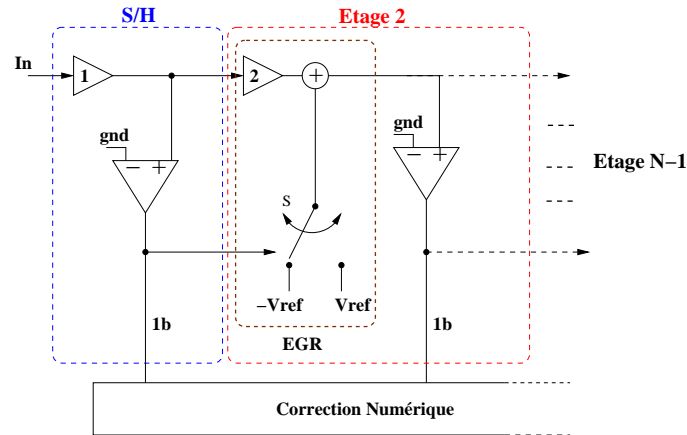


FIG. 1.6: Schéma synoptique des deux premiers étages d'un CAN pipeline de résolution 1bit/étage. EGR : étage de gain et de résidu

de l'étage). C'est ce signal amplifié que l'on appelle résidu. Cette amplification permet de relaxer d'autant la résolution des étages qui suivent. Ceci se traduit essentiellement en terme d'économie d'énergie. Cette économie d'énergie est cependant amoindrie par la nécessité d'amplifier le signal entre chaque étage, nécessité qui devient alors la principale source de dissipation énergétique du dispositif.

Un point fort des structures pipelines est la simplicité avec laquelle un algorithme de calibrage peut être utilisé pour améliorer les performances du CAN (voir chapitre 8).

e) Le convertisseur Pipeline Cyclique

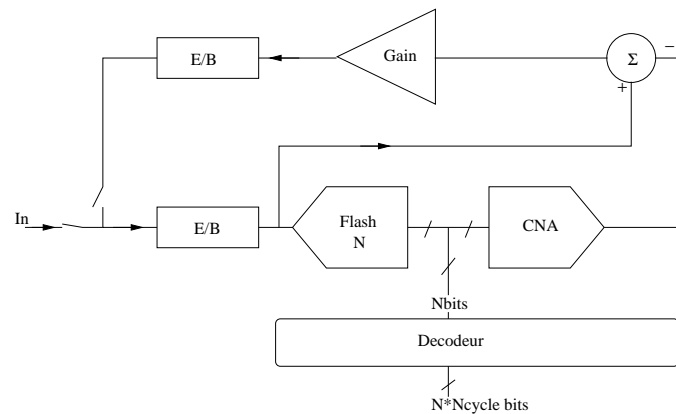


FIG. 1.7: Schéma synoptique d'un convertisseur cyclique

Un convertisseur pipeline cyclique est un convertisseur pipeline classique possédant un seul étage qui est rebouclé sur lui-même (Fig. 1.7). Le délai entre la sortie et l'entrée est le même que pour un convertisseur pipeline de même résolution. Par contre, la vitesse d'échantillonnage est divisée par le nombre de cycles nécessaires pour numériser un échantillon.

L'avantage de cette structure est qu'elle ne requiert que peu de place et qu'elle consomme peu par rapport au convertisseur pipeline (voir Tableau 1.1). De plus, l'étage peut être optimisé et le CAN calibré plus simplement puisqu'il ne faut calibrer qu'un seul étage.

f) Le convertisseur Sigma-Delta

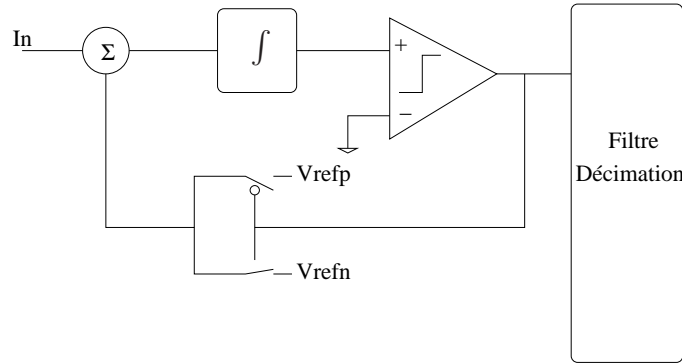


FIG. 1.8: Schéma synoptique d'un convertisseur sigma delta

Le fonctionnement d'un convertisseur sigma-delta est basé sur le principe du sur-échantillonnage et de mise en forme du bruit⁷. Son principe repose sur un modulateur sigma-delta qui échantillonne périodiquement le signal d'entrée et qui effectue une quantification d'un bit (ou plusieurs bits) par coup d'horloge non du signal mais de l'erreur résiduelle entre le signal et l'estimation de la valeur de ce signal (Fig. 1.8). Grâce au sur-échantillonnage, les erreurs dues à la quantification imprécise et au bruit sont amoindries par moyennage.

L'avantage d'une telle structure est qu'elle permet d'atteindre une très grande résolution avec peu de structures analogiques. Elle tire directement profit de la forte intégration du traitement numérique.

1.3 Comparaison

La description simplifiée des différents types de CAN existants permet d'avoir une idée de leurs propriétés intrinsèques. Ainsi, le tableau 1.1 effectue une comparaison qualitative de chacun des types de CAN.

	Flash	Multi-Flash	Pipeline	SAR	Cyclique	Sigma-Delta
Vitesse	+++	++	+	--	--	---
Consommation	---	--	-	++	++	+
Precision	---	--	+	++	++	+++
Latence	+++	++	+	+	+	--

TAB. 1.1: Tendances Générales des CANs

Afin d'approfondir cette étude, une comparaison brute des performances des divers CAN est souhaitable. Cette comparaison doit prendre en compte l'aspect résolution et l'aspect fréquence d'échantillonnage pour permettre d'en extraire suivant l'application visée l'architecture la mieux adaptée. Le graphe 1.9(a) rassemble diverses architectures du commerce ou de laboratoires en fonction de la fréquence d'échantillonnage et du nombre de bits effectifs [BG99], [MJ94], [WW01], [WW99], [YP99], [TW01], [CSB00], [CS02], [IMUD06], [MKB⁺03], [MB03], [AHB⁺05], [CSB01], [vdPHT⁺01], [YKM⁺01], [MHK00] et [PKK⁺03].

⁷Noise shaping

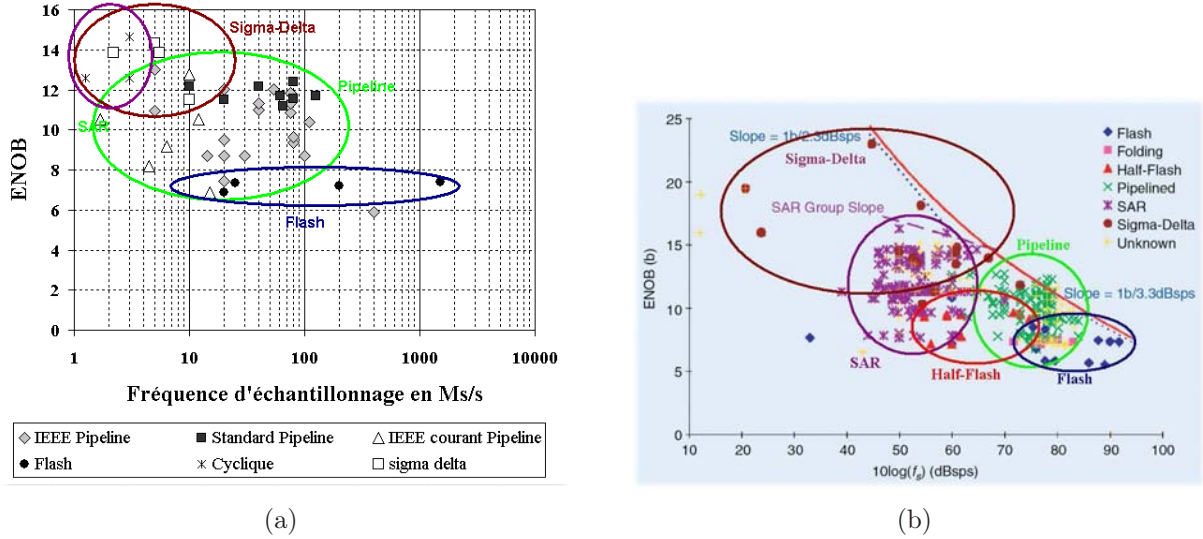


FIG. 1.9: Classement de diverses architectures CAN en fonction de la résolution et de la fréquence d'échantillonnage (a) et (b) (Source [LRRB05]). L'appellation IEEE fait référence aux CAN publiés dans une revue IEEE par opposition au terme standard qui désigne les composants disponibles dans le commerce. La dénomination "courant" quant à elle fait référence aux architectures mode courant.

Ce classement est à mettre en regard avec une analyse récente [LRRB05] qui a été effectuée sur 2000 CAN fin novembre 2005.

De l'analyse des 2 graphes 1.9(a) et 1.9(b), il ressort que la structure de type pipeline est la mieux adaptée pour une résolution comprise entre 11 et 13bits effectifs et une fréquence d'échantillonnage f_s de 10 à 200MEchantillons/s⁸.

L'utilisation d'un facteur de mérite peut permettre d'affiner le classement des diverses architectures CAN en tenant compte par exemple de la puissance dissipée par l'architecture [LRRB05]. Les deux facteurs de mérite P et M sont généralement utilisés pour caractériser un CAN :

$$\begin{aligned} - P &= 2^{enob} \cdot f_s \\ - M &= 2^{enob} \cdot f_s / P_{diss} \end{aligned}$$

Le graphe 1.10 représente le rapport f_s/P_{diss} en fonction de la résolution effective du convertisseur.

Il met en évidence de façon claire que pour la zone de résolution souhaitée [10bits; 14bits], l'architecture pipeline présente un bon compromis entre le vitesse d'échantillonnage, la puissance consommée et la résolution. La structure Sigma-Delta est avantageuse tant en consommation qu'en résolution mais pour des fréquences d'échantillonnage plus faible. Ce dernier point est d'autant plus justifié que les signaux à traiter sont des signaux de capteur CCD (Fig. 1.1). En effet, ces signaux étant des signaux de type créneau, les fréquences contenues dans les harmoniques sont très grandes, ce qui impliquerait une bande passante équivalente pour le Sigma Delta très grande.

Les graphes précédents soulignent aussi que les structures en courant peuvent atteindre des performances qui conviennent à l'application visée et ce avec des facteurs de mérite équivalents voire supérieurs à leurs homologues en tension [WW99].

Enfin, l'analyse des graphes 1.11(a) et 1.11(b) permettent de voir l'évolution des caractéristiques

⁸Pour la suite du manuscrit, on remplacera MEchantillons/s par la notation MS/s

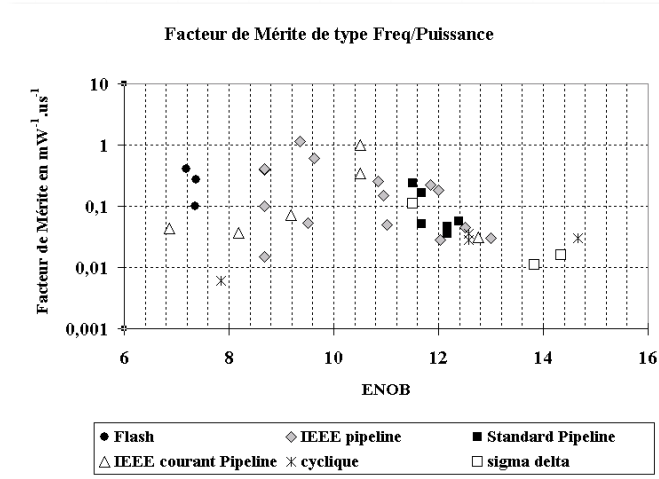


FIG. 1.10: Classement de diverses architectures CAN d'après leur facteur de mérite

téristiques des convertisseurs au cours du temps. Ainsi, les structures pipeline, sigma-delta et SAR sont les architectures dont les performances évoluent notablement par rapport aux autres types de CAN.

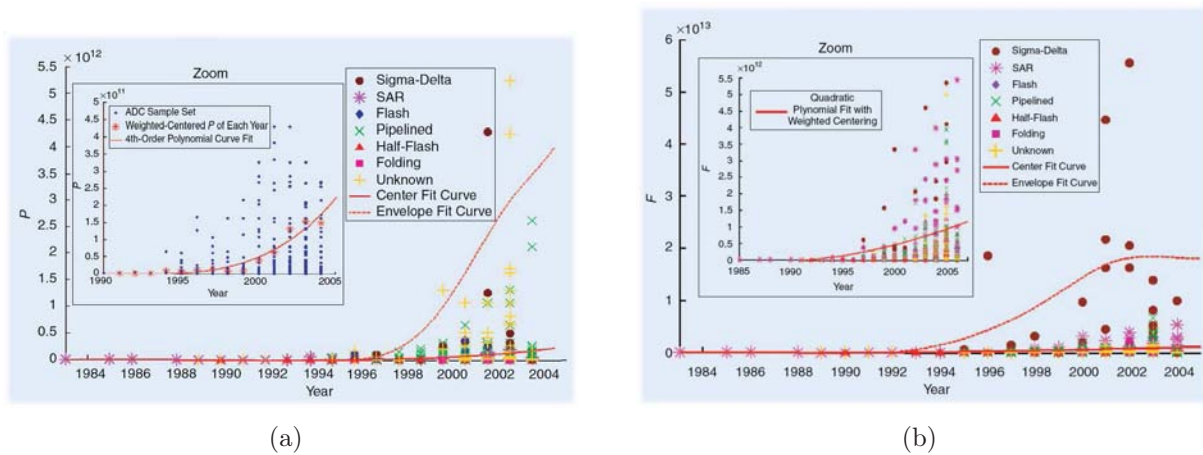


FIG. 1.11: Evolution du facteur de mérite P (a) et M (b) en fonction du temps. Source [LRRB05]

Conclusion

Il ressort de cette étude que l'architecture CAN pipeline apparaît comme la plus adaptée aux besoins actuels en terme de précision, de consommation et de fréquence d'échantillonnage pour les chaînes de traitement vidéo. Bien que les structures Sigma-Delta présentent des avantages certains en progrès permanents, elles ne peuvent être utilisées dans le cadre spécial de numérisation des signaux CCD où la bande passante requise est élevée.

Les architectures pipelines réalisées en mode tension et mode courant présentent toutes deux des caractéristiques intéressantes. La deuxième voie de recherche en courant est plus récente et comme on le verra dans le chapitre 2 présente des particularités qui peuvent être intéressantes pour le domaine spatial.

2 Circuits intégrés et environnement spatial

Les systèmes électroniques embarqués à bord des missions spatiales sont soumis à différents types de radiations. Il est ainsi primordial d'avoir une bonne connaissance de l'environnement spatial et des effets physiques causés par ce dernier sur les circuits intégrés. Ceci est d'autant plus important que l'on se propose d'employer des technologies CMOS du commerce et non des technologies durcies aux radiations. Cette étude a donné lieu à la rédaction d'un rapport interne [Ber05].

Le but de cette étude n'est pas d'effectuer une description exhaustive de l'environnement spatial mais plutôt de donner un ordre d'idée de ce dernier, de mettre en avant l'impact des radiations spatiales sur le fonctionnement des circuits réalisés en technologie silicium CMOS et enfin de proposer des méthodes pour minimiser les causes de dysfonctionnement dues aux radiations.

2.1 Description de l'environnement spatial

Les différentes sources de radiations sont d'une part électromagnétique et d'autre part corpusculaire. Dans le domaine électromagnétique, il y a des rayonnements de type micro-onde, de lumière visible, de rayons X et de rayons γ hautement énergétiques. Et dans le cadre corpusculaire, on trouve : des électrons et autres leptons⁹, des hadrons¹⁰, des neutrons, des protons, et des ions lourds. Les principales sources de ces radiations sont le Soleil et le rayonnement cosmique. La Terre (à l'altitude 0) qui possède un champ

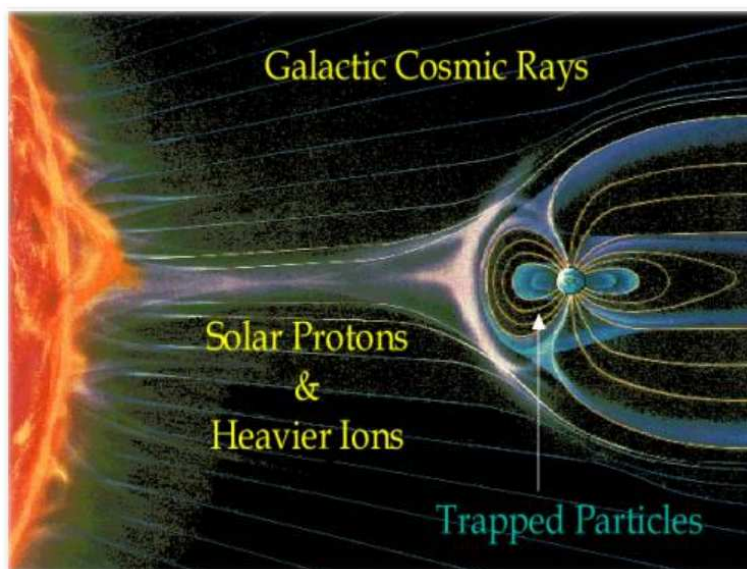


FIG. 1.12: La Terre et son environnement spatial

magnétique propre est imperméable à ces rayonnements sauf au niveau des pôles et pour les particules qui possèdent de très grandes énergies. La figure 1.12 propose une vue d'artiste de l'environnement spatial terrestre. Toutefois, bien que ce champ magnétique (appelé aussi magnétosphère) permet de protéger la Terre de ce flux de radiations, les particules chargées (protons, électrons, ions lourds) qui y pénètrent peuvent y être piégées

⁹groupe de particules participant aux interactions électromagnétiques faibles, et possédant un $\frac{1}{2}$ spin

¹⁰particule qui interagit fortement avec les autres

et former ainsi des ceintures de particules chargées autour de la Terre. La présence de ces ceintures autour de la Terre peut avoir des répercussions importantes sur les satellites envoyés en orbite autour de la Terre. En effet, suivant l'altitude et l'inclinaison du satellite vis-à-vis de la Terre, la dose¹¹ de radiation reçue peut varier fortement. Par exemple, dans la zone interne ("inner zone") dont l'altitude est comprise entre 200km-10 000km, des protons et des électrons avec de hautes énergies (500MeV) sont piégés alors que dans la zone extérieure ("outer zone" >10 000km) les électrons piégés ont une énergie bien moindre (7MeV). Le tableau 2.1 donne les ordres de grandeurs des doses reçues en fonction de l'orbite et de l'inclinaison [NAS96].

Type d'Orbite	GEO	GPS	LEO	DMS
Altitude (km)	35 800	20 200	1 600	850
Dose (rads(Si)/an)	6 600	59 000	17 300	1 260

TAB. 1.2: Valeurs typiques des doses totales reçues par an en fonction de l'orbite pour le Silicium

2.2 Les différents types d'interactions entre les particules énergétiques / rayonnements et la matière

Lorsqu'une particule interagit avec son environnement, elle lui transmet une part de son énergie [SAI98], [ANE00]. La quantification de cette interaction est appelée LET pour Linear Energy Transfer. Le LET dépend de la nature, de l'énergie des particules incidentes et aussi du type de matériau qui les absorbe. L'expression mathématique est la suivante :

$$1 \text{ LET} = \frac{1}{r} \frac{\partial E}{\partial x} \quad (1.1)$$

où r est la masse volumique de la matière bombardée exprimée en kg/m^3 et $\partial E/\partial x$ est l'énergie moyenne transférée au matériau par unité de longueur. Le LET est exprimé en $\text{J}\cdot\text{m}^2/\text{kg}$ ou plus communément en $\text{MeV}\cdot\text{cm}^2/\text{mg}$.

La connaissance du LET est très importante car une fois le LET et l'énergie de la particule mise en jeu connus, le nombre de paires électron-trou générées par ionisation est obtenu en divisant l'énergie totale recueillie par le matériau par l'énergie nécessaire à la création d'une paire électron-trou soit environ 17 eV pour le SiO_2 .

Dans le cas de l'interaction électromagnétique via les photons de haute énergie, on peut observer les interactions suivantes :

- $E < 10\text{eV}$: excitation
- $E < 100\text{keV}$: effet photoélectrique
- $E \approx \text{MeV}$: effet Compton
- $E > 1\text{MeV}$: matérialisation de paires électron-trou
- $E > 6-25\text{MeV}$: réaction photonucléaire
- $E > \text{GeV}$: production de méson.

Le schéma 1.13 représente de façon simplifiée les différentes interactions des radiations avec les circuits intégrés.

À présent, l'effet des radiations sur les circuits intégrés va être abordé de façon plus détaillée.

¹¹La dose reçue par un matériau correspond à l'énergie déposée par les radiations dans ce matériau par unité de masse. L'unité utilisée est le Gray (Gy) ou le rad tels que : $1\text{Gy}=1\text{J}\cdot\text{kg}^{-1}$ et $1\text{Gy}=100\text{rad}$

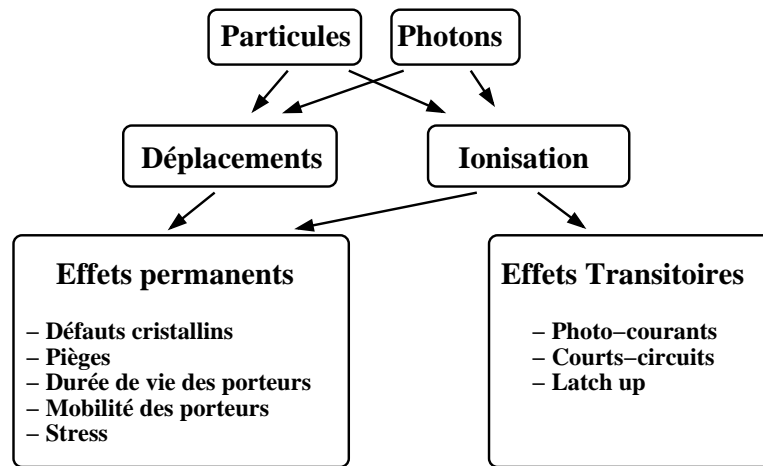


FIG. 1.13: Interactions entre les particules-photons et la matière

2.3 Effets des radiations sur les paramètres physiques des transistors MOS

a) Le phénomène d'accumulation de charges dans l'oxyde des transistors MOS [ANE00], [SAI98]

Comme on l'a précédemment vu, l'ionisation dans un semi-conducteur se traduit par la création de paires électron-trou. Le nombre de paires créées est proportionnel à la quantité d'énergie déposée dans le matériau, quantité qui est exprimée au travers de la dose totale absorbée. Aussi, pour étudier les effets de l'ionisation sur un matériau semiconducteur, il suffit de connaître l'énergie déposée dans le matériau indépendamment du type de particules utilisées pour l'irradiation.

Remarque. Alors que la création de paires électron-trou nécessite une énergie d'environ $3,8\text{eV}$ dans le Si , celle-ci est d'environ 17eV pour le SiO_2 .

L'étude de la génération des paires électron-trou dans l'oxyde de grille est particulièrement intéressante car cette génération peut avoir un impact direct sur certaines propriétés physiques du transistor (tension de seuil en particulier). Les particules chargées générées restent piégées dans l'oxyde de grille de par le simple fait que celui-ci est un isolant (Fig 1.14). Aussi, le déplacement des charges au sein de l'oxyde bien que non nul est vraiment très lent. Si aucun champ électrique n'est appliqué à l'oxyde, l'ensemble des paires électron-trou se recombinent. Dans le cas où un champ électrique est appliqué (typiquement le transistor est sous-tension), les charges vont migrer dans l'oxyde diminuant ainsi la probabilité de recombinaison spontanée. Bien que les charges générées soient des paires électron-trou, on ne prend en considération généralement que les charges positives (trous) "emprisonnées" dans l'oxyde. Ceci s'explique par le fait que les trous sont bien moins mobiles (leur mobilité varie de 10^{-4} à $10^{-11}\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$) que les électrons (environ 100 fois moins dans l'oxyde de grille SiO_2 , ce qui est considérable). Aussi, ces derniers sont évacués plus aisément par le champ qui règne dans l'oxyde. De plus, les trous se rapprochent très lentement de l'interface Si/SiO_2 ou $\text{SiO}_2/\text{Polysilicium}$ (suivant la direction du champ). Or au niveau de ces interfaces, il y a beaucoup de pièges dus à des défauts cristallins (maille différente, impureté...). Par suite, une proportion non négligeable de ces trous risque de rester piégée en bordure de l'interface. Les seules façons de les évacuer sont

le transfert par effet tunnel et l'activation thermique suivis par l'évacuation au niveau des électrodes (l'absence de porteurs libres dans l'isolant n'autorisant pas, comme dans les semi-conducteurs, un retour à l'équilibre par recombinaison).

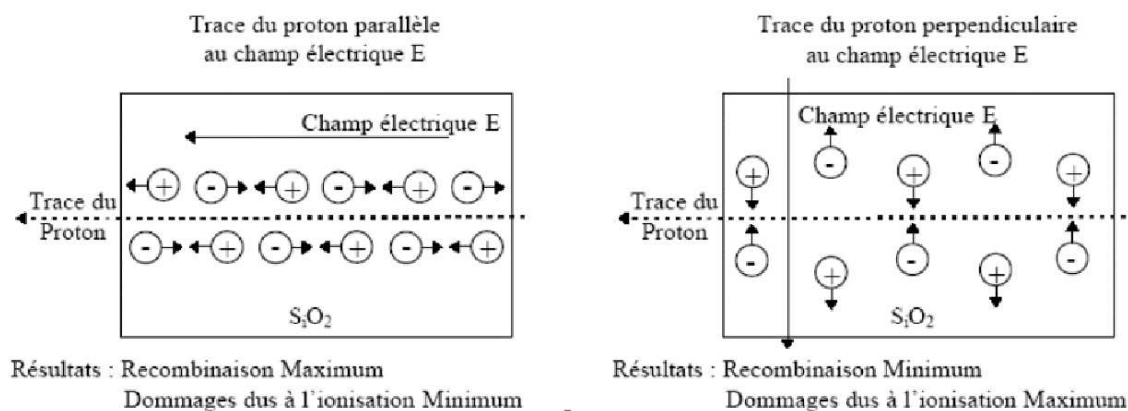


FIG. 1.14: Création de paires électron-trou dans l'oxyde de grille d'un transistor MOS suite à l'ionisation générée par une particule énergétique. Lors de la création de paires électron-trou, en général la majorité des paires créées se recombine dans les pico-secondes qui suivent. La proportion de paires qui se recombinent dépend directement de la direction du champ électrique qui règne dans la zone ionisée et du LET (énergie déposée dans le matériau) ([SAI98])

L'accumulation de ces charges dans l'oxyde et au niveau de l'interface provoque un changement ou une dérive de la tension de seuil V_{th} des transistors MOS.

La variation du V_{th} due aux charges dans l'oxyde est donnée par :

$$\Delta V_{th} = -\frac{1}{C_{ox}} \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx \quad (1.2)$$

Avec $\rho(x)$ la distribution de charges dans l'oxyde (l'axe x étant perpendiculaire à l'épaisseur d'oxyde). Cette formule amène à deux observations. La première repose sur le fait que la variation de la tension de seuil est de signe opposé à celui des charges piégées dans l'oxyde. La seconde stipule que l'impact sur la tension de seuil est d'autant plus grand que les charges sont proches de l'interface Si/SiO₂.

Quant à la variation du V_{th} due aux charges au niveau de l'interface $Q_{interface}$, elle est directement donnée par :

$$\Delta V_{th} = -\frac{Q_{interface}}{C_{ox}} \quad (1.3)$$

Ainsi, contrairement aux transistors PMOS, dans le cas des transistors NMOS, la tension de seuil diminue au fur et à mesure de l'exposition aux radiations. Il est intéressant de noter que l'impact est d'autant plus important que l'oxyde est épais. En effet, l'influence des charges piégées au niveau de l'interface SiO₂-Si augmente avec t_{ox} car ΔV_{th} varie comme le carré de l'épaisseur d'oxyde.

L'accumulation de ces charges a pour incidence une augmentation des courants de fuite et ce pour deux raisons :

- La tension de seuil des NMOS décroît au fur et à mesure que le nombre de charges piégées augmentent. Aussi, le transistor NMOS peut conduire à partir d'une tension de commande inférieure au seuil nominal.

- L'oxyde de champ¹² situé de part et d'autre du transistor MOS est plus épais que l'oxyde de grille, ce qui permet une accumulation plus prononcée de charges. Aussi un courant de fuite peut se créer autour du transistor NMOS. La figure 1.15 représente ce phénomène de fuite.

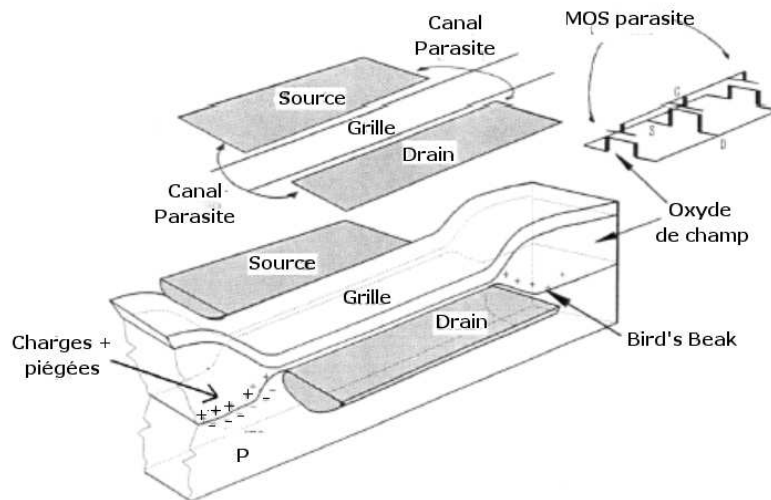


FIG. 1.15: Phénomène de courant de fuite induit par radiations au niveau de la région de Bird's beak ([ANE00],[AF00])

La figure 1.16 met en évidence le problème de courant de fuite dans le cas des transistors NMOS en comparaison avec celui des transistors PMOS. Une façon de se prémunir efficacement de ces courants de fuite est d'avoir recours à des MOS fermés ou ronds (voir section 2.4.c), c'est-à-dire à des MOS où la grille enferme soit la source soit le drain sur elle-même. Ceci afin que tout chemin possible pour le courant entre le drain et la source ne puisse s'effectuer qu'en passant sous la grille. Bien sûr, ce type d'amélioration ne diminue pas le courant de fuite dû au MOS lui-même.

A ces phénomènes se rajoute celui du courant de fuite inter-transistors MOS qui peut avoir lieu à cause de l'oxyde de champ qui assure l'isolation entre les transistors. L'ajout de "channel stop" en P⁺ permet de couper ces courants de fuite.

b) La dégradation de mobilité des porteurs

Cette dégradation est essentiellement due à la création de centres pièges au niveau de l'interface. Elle a pour impact de dégrader par là-même la transconductance du transistor MOS. Il y a trois hypothèses pour expliquer cette création de pièges :

- Création directe de pièges par les radiations.
- Génération de pièges due aux trous pris au piège au niveau de l'interface.
- Création de trous due à des phénomènes secondaires à la création de paires électron-trou.

Dans le cas des technologies où la grille des MOS est réalisée en polysilicium dopé N⁺ que cela soit pour le NMOS ou le PMOS, la dégradation de la mobilité des porteurs

¹²Cet oxyde de champ est appelé bird's beak ou bec d'oiseau. Les becs d'oiseau sont présents dans les technologies CMOS dont l'isolation entre les composants est réalisé en employant une oxydation locale du Silicium (LOCOS). Dans les technologies CMOS sub-microniques, cette isolation a été remplacée par de tranchés d'isolant (STI). Ce type d'isolation n'élimine pas le problème des courants de fuite.

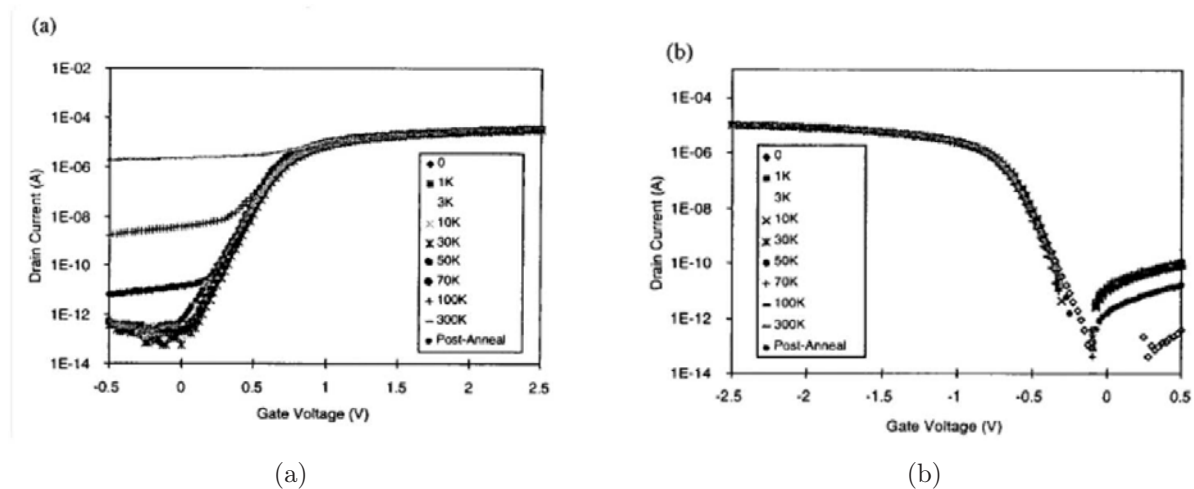


FIG. 1.16: *Mis en évidence du phénomène de courant de fuite induit par radiations pour le NMOS (a) contrairement au PMOS (b). ([LOM⁺98])*

est plus marquée pour le NMOS. Ceci est dû aux différents ajustements de dopage sous la grille pour obtenir la tension de seuil souhaitée. Si la profondeur de diffusion des ions implantés est plus petite que l'épaisseur de la région de déplétion, on peut montrer que l'implantation d'ions a un impact sur la tension de seuil.

Aussi pour diminuer l'impact des radiations, il est intéressant que la technologie utilisée propose la technique de canal enterré (buried) car dans ce cas les porteurs de charge du canal ne sont pas proche de l'interface Si/SiO₂.

c) Les défauts du réseau cristallin par déplacements

A cause du bombardement de particules (protons, électrons d'énergie supérieure à 150keV, neutrons), certains atomes du réseau cristallin sont déplacés. Ce qui a pour effet de créer des défauts de densité dans le cristal. Cela affecte certaines propriétés semi-conductrices du matériau à savoir :

- Modification de la durée de vie des porteurs.
- Modification de la densité de ces porteurs de charge.
- Modification de la mobilité de ces porteurs de charge.

d) Les SEE : Single Event Effect

Ce type d'évènement est dû généralement à des particules très énergétiques qui ionisent le Silicium. Comme on l'a précédemment vu, un ion lourd énergétique dépose des charges sous forme de paires électron-trou dont la densité dépend de l'énergie de la particule ionisante et du champ électrique qui règne dans la zone touchée¹³ lorsqu'il rentre en interaction avec la matière.

A cause du champ électrique existant au niveau d'une jonction PN, les charges électron-trou sont séparées (bien qu'une partie se recombine) et sont collectées de part et d'autre de la jonction (Fig. 1.17). Cela crée ainsi un courant électrique qui peut être à l'origine de divers dysfonctionnements.

¹³On s'intéresse ici plus particulièrement aux jonctions PN

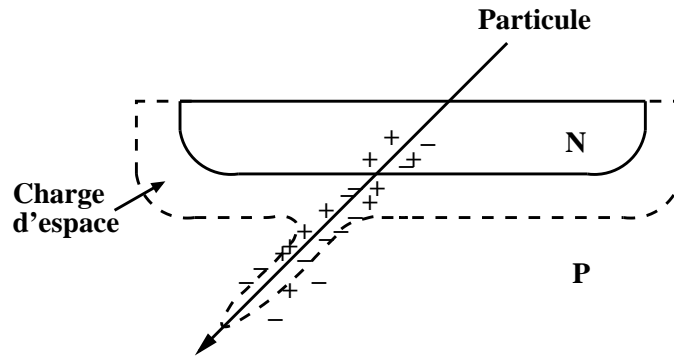


FIG. 1.17: Phénomène de collecte de charges dans une jonction PN

e) Le SEL : Single Event Latch up

Le phénomène de latch up peut être amorcé par le courant généré par l'ionisation au niveau d'une jonction (Fig. 1.18).

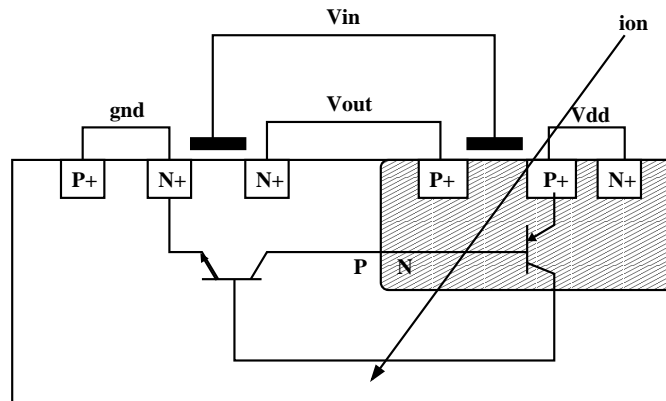


FIG. 1.18: Phénomène de latch up induit par radiations dans le cas d'une simple porte inverseuse

f) Le SES : Single Event Snapback

Comme pour l'effet de latch up, le SES est un mécanisme qui repose sur le principe de boucle fermée, mais il n'a pas besoin d'une structure de thyristor parasite pour exister [KK89], [CM88], [DSW⁺00]. Pour un NMOS transportant un fort courant de drain, le transistor bipolaire parasite NPN, qui a pour émetteur, base et collecteur la source, le substrat et le drain respectivement, peut être activé par un mécanisme d'avalanche déclenché par une particule ionisante dans la jonction de drain (Fig. 1.19). Cette ionisation provoque l'injection de trous dans la région du substrat située directement sous la grille qui joue ici le rôle de base pour le transistor NPN parasite. Cette injection induit en retour l'injection d'électrons de la source (émetteur) vers le drain (collecteur). Cette augmentation de l'intensité de courant renforce l'effet d'avalanche et ferme la boucle.

Ce phénomène est en général subit par les transistors MOS travaillant avec une forte tension d'alimentation, ce qui n'est pas notre cas pour la réalisation de CAN. Le phénomène de repliement peut être stoppé si la valeur de l'intensité du courant descend en deçà d'une certaine valeur limite de maintien.

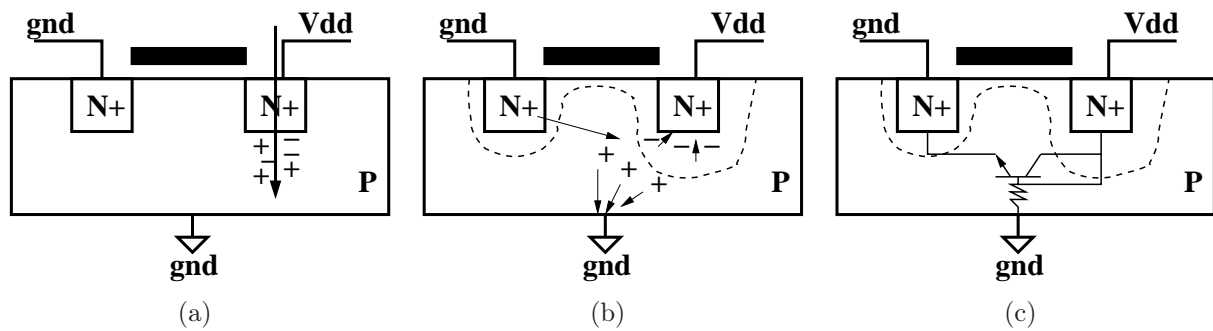


FIG. 1.19: Phénomène de snapback induit par radiation

g) Le SEU : Single Event Upset

Les charges générées et collectées peuvent modifier un état logique mémorisé ou en cours de traitement.

h) Le SHE : Single Hard Error

Si une particule de haute énergie traverse l'oxyde de grille d'un transistor MOS, elle peut déposer suffisamment d'énergie pour induire une variation de la tension de seuil. Cette variation peut être assez importante dans le cas de SRAM pour empêcher le stockage d'information que cela soit au niveau haut ou au niveau bas.

i) Le SEGR : Single Event Gate Rupture

C'est la destruction irréversible de l'oxyde de grille par une particule ionisante [JSME98]. Ce phénomène est particulièrement important dans les cas où le champ dans l'oxyde de grille est particulièrement important (MOS de puissance). Or depuis environ 1994, ce phénomène est aussi observé pour les technologies offrant une haute densité d'intégration avec de faibles épaisseurs d'oxyde de grille ainsi que pour les oxydes de grille nitridés (NO_2). On peut toutefois remarquer que pour les oxydes de grille fin ($<6\text{nm}$), les soft breakdown¹⁴ sont prédominants devant les hard breakdown. Les caractéristiques de ces oxydes de faible épaisseur face aux phénomènes de breakdown dépendent beaucoup des impuretés dans ces derniers.

j) Impact des radiations sur le bruit

Pour le MOS, le principal bruit à basse fréquence provient du bruit de scintillation¹⁵ en $1/f$ [FMS94]. Ce bruit a pour origine le piégeage et le dépiégeage des porteurs de charges mobiles. C'est pourquoi il est dominant à basse fréquence. Cela explique pourquoi ce type de bruit augmente avec la dose reçue puisque cette dernière crée plus de défauts d'interface. Une augmentation d'environ 15% pour les NMOS et une augmentation de 7% pour les PMOS (qui sont en général moins sensibles à ce type de bruit) peut être obtenue.

Néanmoins, cette augmentation de la densité spectrale de puissance du bruit de scintillation n'a que peu d'influence sur la conception de CAN (voir chapitre 6).

¹⁴Courant de fuite au niveau de la grille dû à la détérioration de l'oxyde de grille par les radiations

¹⁵Flicker Noise

k) Classement des technologies vis-à-vis des radiations

Pour la NASA [NAS96], trois catégories doivent être considérées :

1. Composant du Commerce :

- Les procédés technologiques et la conception limitent la tenue aux radiations de ces circuits.
- Il n’y a pas de tests systématiques pour la tenue aux radiations.
- Niveaux de durcissement : Dose totale 2 à 10krad (typique) ; pour les SEU, le seuil de LET est de $5\text{MeV}\cdot\text{cm}^2/\text{mg}$ et le taux d’erreur : 10^{-5} erreurs/bit-jour (typique).
- Le client doit effectuer lui-même les tests aux radiations, et assure tous les risques.

2. Composant tolérant aux radiations :

- La conception au niveau des circuits assure une protection contre les radiations jusqu’à un certain niveau.
- Pas de contrôle de lots aux radiations.
- Niveaux de durcissement : Dose Totale 20 à 50krad (typique) ; pour les SEU, le seuil de LET est de $20\text{MeV}\cdot\text{cm}^2/\text{mg}$ et le taux d’erreur est de 10^{-7} - 10^{-8} erreurs/bit-jour.
- Habituellement testé pour les échecs au niveau de la fonctionnalité.

3. Composant durci aux radiations :

- Conception et procédés technologiques pour obtenir un certain niveau de durcissement aux radiations.
- Test des Wafers aux radiations.
- Niveaux de durcissement : Dose Totale $>200\text{krad}$ à $>1\text{Mrad}$; pour les SEU, le seuil de LET est de 80 à $150\text{MeV}\cdot\text{cm}^2/\text{mg}$ et le taux d’erreur : 10^{-10} à 10^{-12} erreurs/bit-jour.

Le cas qui nous intéresse plus particulièrement est le cas n° 2 puisque l’enjeu consiste à concevoir des circuits de hautes performances durcies intrinsèquement aux radiations à partir des technologies classiques du commerce. Le tableau 1.3 fait état de tests aux radiations de diverses technologies du commerce ([HHMF04], [HBB01]). Il est intéressant de remarquer que certaines caractéristiques s’améliorent avec la technologie (comme la dose totale reçue tolérée) et d’autres non (LET, SEU). Ceci est en accord avec le fait que les technologies récentes présentent une variation de la tension de seuil très faible (quasi inexistante) mais qu’elles sont aussi plus fragiles vis-à-vis des SEU (géométrie plus fine).

Technologie (μm)	0.8	0.5	0.35	0.25	0.18	0.18 SOI	Durci
Dose totale (krad)	10-20	20-40	20-50	40-100	40-150	30-150	200-1000
SEU (bit/jour)	10^{-7}	10^{-6}	$2\cdot 10^{-6}$	$5\cdot 10^{-6}$	10^{-5}	$5\cdot 10^{-6}$	$<10^{-10}$
LET (Mev.cm ² /mg)	7-10	4-5	2-4	1-2	1	<1	>40
Latch up	oui	oui-non	oui-non	immune	immune	possible	immune

TAB. 1.3: Comparaison de diverses technologies vis-à-vis du durcissement aux radiations. Dans le cas de la technologie SOI, on entend par possible le fait que le cas de self-latch up de type snapback peut avoir lieu.

2.4 Comment se protéger de ces radiations au niveau de la conception

L'objectif de cette section est de présenter quelques méthodes pour se prémunir au mieux des effets des radiations sur les performances des circuits intégrés. Les règles ainsi dégagées seront utiles pour la conception de l'ASIC contenant une cellule de mémoire de courant d'un CAN pipeline en courant (voir chapitre 2).

a) L'utilisation de technologies à faible épaisseur d'oxyde de grille

L'utilisation de technologies ayant des couches d'oxyde de grille fines est favorable et est même un atout majeur pour le domaine spatial car ce dernier peut profiter à la fois de certaines qualités vérifiées de ces technologies vis-à-vis de l'environnement radiatif et de la forte intégration qu'elles permettent [ANE00], [SAI98], [CSJ+01]. Ceci s'explique par le fait que d'une part, plus la couche d'oxyde de grille est fine et moins les charges piégées ont de chemin à parcourir pour être évacuées et d'autre part, l'évacuation des charges est effectuée majoritairement par effet tunnel. Ainsi, le phénomène de dérive de la tension de seuil dû à la dose reçue devient peu important (Fig. 1.20). De plus, la qualité de l'oxyde de grille des technologies récentes est meilleure.

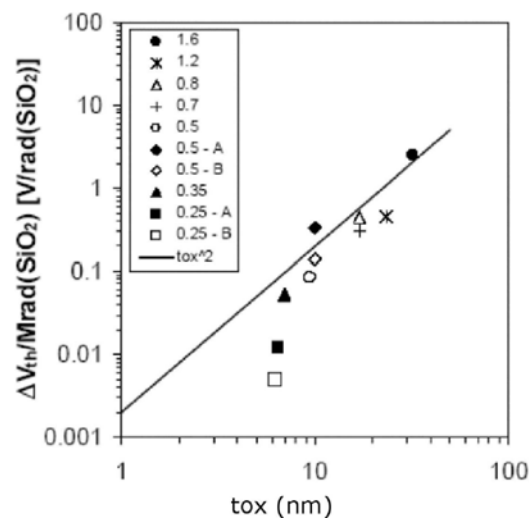


FIG. 1.20: Variation de la tension de seuil en fonction de l'épaisseur d'oxyde ([ANE00])

Cependant, cela amène à se poser la question suivante : est-ce que les couches d'oxyde de grille fines peuvent être détruites par bombardements d'ions lourds ? En effet, bien que les technologies offrant des oxydes de grille fins ont l'avantage de présenter une faible dérive de leur tension de seuil, elles sont toutefois affectées par les radiations [CSJ+01], [CPS+00], [SPM+97], [FRWS00]. Ainsi, des études ont été menées sur des oxydes de 3nm et 4nm (correspondant à des technologies submicroniques CMOS 0.18 μ m et 0.25 μ m). Les effets qui ont été mis en évidence sont :

- Les RLIC (radiation induced leakage current) qui correspondent à des fuites de courant au niveau de l'oxyde de grille du MOS.
- Les phénomènes de SEGR (single event gate rupture) et de RSB (radiation induced soft breakdown).

Bien que la question de l'impact des ions lourds sur les oxydes de grille de faible épaisseur ne soit pas totalement tranchée, il ressort de diverses études que normalement le phénomène de hardbreakdown ne survienne que sous des conditions de polarisation de la grille du transistor MOS au delà de celle d'utilisation normale de ces derniers (en tout cas pour les épaisseurs d'oxyde actuelle $>2\text{nm}$). Ainsi, il est souhaitable d'éviter toute technique de "bootstrap" pour améliorer les caractéristiques des transistors MOS utilisés comme commutateur analogique (voir section 2). Le problème le plus important est celui du RSB à cause du courant de fuite qu'il entraîne.

b) La technologie SOI

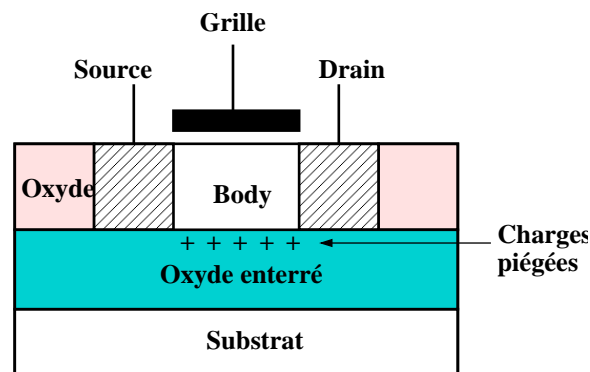


FIG. 1.21: Effet de grille parasite induit par radiation dans une technologie SOI

Utilisée depuis vingt ans, dans le domaine militaire et spatial pour ces caractéristiques vis-à-vis des radiations, cette technologie commence à s'épanouir aussi comme technologie commerciale. Il faut noter que le prix du wafer est 5 à 10 fois plus cher qu'un wafer classique. Toutefois, une des raisons de son intérêt vis-à-vis de son utilisation pour le domaine spatial est son faible coût par rapport à des technologies SOS Silicium sur Saphir.

Les circuits réalisés en technologies SOI présentent une bonne tolérance vis-à-vis des effets radiatifs transitoires tels que les SEE. En fait, le problème de latchup n'existe plus de part l'utilisation de caissons d'isolement pour les transistors MOS qui ne permettent pas d'avoir de thyristors parasites. Cependant, le problème de snapback lui est toujours présent [LNC+01], [SFCS03], [JL94]. La polarisation du body permet de diminuer l'ampleur du phénomène.

Pour pouvoir être utilisée dans le domaine spatial, il faut que la technologie puisse assurer une bonne polarisation du body (comme pour la technologie DMILL) (voir schéma 1.21). En effet, sans protection supplémentaire face aux radiations, la partie la plus soumise aux radiations est la zone d'oxyde sur laquelle repose le transistor MOS. C'est dans cette partie que vont être piégées les charges et ce d'autant plus que le champ qui règne dans cet oxyde est plutôt faible. C'est ainsi que le phénomène de kink¹⁶ peut devenir important. La couche d'oxyde de silicium servant d'isolant se met en effet à jouer le rôle de deuxième grille de contrôle comme le montre le schéma 1.21. C'est pourquoi des courants de fuite entraînant des sur-consommations apparaissent. Aussi, la possibilité de venir polariser le body peut corriger ce problème au risque de perdre des avantages au niveau capacitifs et de vitesse de commutation.

¹⁶Phénomène caractéristique des technologies SOI [BR01]

c) L'utilisation de transistors MOS fermés

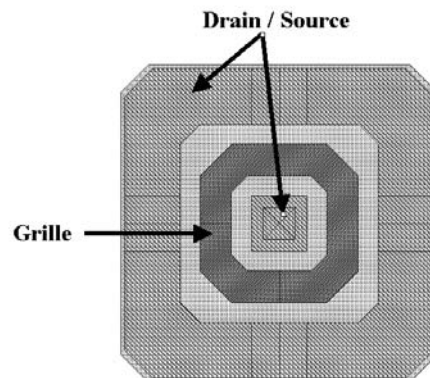


FIG. 1.22: Layout d'un MOS fermé ou rond en technologie ST BiCMOS 0.35µm

L'idée consiste à éliminer les transistors MOS parasites créés dans la région de bec d'oiseau à cause des charges piégées dans l'oxyde. Ainsi, il faut avoir recours à un layout fermé où le drain (ou la source) est entièrement séparé du reste du circuit par la grille [ANE00], [GpM00], [GG82]. Cette architecture est mise en avant sur le schéma 1.22. Cependant, bien que cette structure soit très résistante au point de vue des courants de fuite induits par radiations, elle a aussi quelques inconvénients :

- Perte de la symétrie drain/source. Ainsi suivant le cas, il peut être plus avantageux de mettre le drain à l'intérieur ou à l'extérieur (modification de la conductance et des capacités parasites vues).
- Perte de liberté au niveau du rapport minimum W/L (environ 10 pour la technologie ST BiCMOS 0.35µm).
- Difficulté de la modélisation du $(W/L)_{eff}$.
- Perte de place car la surface globale du circuit est multipliée par un facteur 3.5 environ.
- La valeur de la longueur minimale du canal est supérieure à la finesse de gravure ($0.407\mu\text{m}$ au lieu de $0.35\mu\text{m}$ pour la ST BiCMOS 0.35µm).
- Légère baisse du facteur d'appariement des transistors entre eux.

d) Les anneaux de garde

L'utilisation d'anneaux de garde permet de mieux polariser le substrat et de diminuer le risque d'effet latch up.

e) Quelques règles pour la conception numérique

Le but est de se prémunir au mieux des SEU en utilisant les méthodes [BBM00], [MRCV99], [CLHH92], [FR96] suivantes :

- Créer des constantes de temps pour filtrer les perturbations dues aux particules (désavantage : ralenti le circuit).
- Contrôler la valeur de l'intensité du courant débité par l'alimentation pour la couper en cas de latch up qui est caractérisé par un fort appel en courant.
- Pour les mémoires, prévoir des systèmes de correction.

- Utiliser des composants passifs qui soient naturellement résistants face aux SEE. Ainsi, à la place des résistances diffusées et des capacités poly/diffusion (qui présentent des jonctions PN), des résistances en polysilicium et des capacités poly/poly ou poly/métal ou métal/métal sont préférables.
- Déterminer les points critiques d'un circuit. Il suffit de protéger ces points là essentiellement. Il faut savoir que le rapport entre protection et SEE n'est pas linéaire et que souvent une petite protection peut rendre le circuit insensible aux SEE.
- Dans le cas des circuits logiques, il faut prévoir la possibilité de pouvoir refaire démarrer le circuit à l'aide d'un reset s'il se bloque à la suite d'un SEE.
- L'utilisation de filtrage temporel (principe de vote et de redondance).

f) Utilisation de commutateurs analogiques à base de transistors PMOS

Pour réaliser des commutateurs analogiques dans des zones sensibles, il est intéressant de n'utiliser que des transistors PMOS parce qu'ils ne présentent pas de problèmes de courant de fuite. Cependant, pour une valeur de conductance souhaitée, le rapport W/L équivalent est 2.5 à 3 fois plus important pour un PMOS que pour un NMOS. Cela implique que les charges injectées par ce type de commutateur seront trois fois supérieures à celles injectées par un NMOS équivalent. Toutefois, par rapport à un NMOS fermé, le choix d'un PMOS droit peut être intéressant car :

- L'appariement avec des dummies (voir chapitre 5) est plus simple.
- La taille minimale pour un NMOS fermé en technologie ST BiCMOS 0.35 μ m est W/L=10 avec L=0.407 μ m. Aussi, les transistors PMOS peuvent être dimensionnés plus aisément que les NMOS fermés.

Conclusion

Cette étude a permis de décrire l'environnement spatial dans lequel les circuits intégrés de la chaîne de traitement vidéo CCD doivent fonctionner pour une durée de 5 à 10 ans. On a ainsi mis en évidence l'intérêt que peuvent présenter les technologies CMOS du commerce vis-à-vis des technologies durcies en terme d'intégration et de consommation. Le durcissement aux radiations par des méthodes de conception tant au niveau système que layout permettent de grandement améliorer la fiabilité de ces circuits par rapport aux circuits du commerce. Toutefois, il est nécessaire après conception d'effectuer des tests pour valider la tenue aux radiations.

Les méthodes qui ont été présentées ont été appliquées pour la conception des circuits analogiques qui ont été réalisées au cours de cette thèse.

Chapitre 2

Les Mémoires de Courant

Introduction

Notion de structure en *tension* et *courant*

Le développement des technologies submicroniques d'intégration moderne est essentiellement tourné vers l'amélioration des caractéristiques des circuits numériques (vitesse, consommation, densité). Le procédé technologique actuellement utilisé pour obtenir de hautes densités d'intégration est le CMOS¹. En général, l'augmentation de la densité s'accompagne d'une diminution des tensions d'alimentations. Aussi, bien que les tensions d'alimentation plus basses ne restreignent pas trop les circuits numériques, la conception des circuits analogiques de haute performance est rendue plus difficile par ces nouveaux procédés. Il est à noter que la diminution des tensions de seuil des transistors MOS n'est pas proportionnelle à celle des tensions d'alimentation.

Ces points-là sont d'autant plus vrais que l'on cherche à concevoir des structures en *tension* de basse consommation et large bande sous faibles tensions d'alimentation. Bien qu'une alternative aux structures en *tension* soit apparue dès le début des années 1960 et se soit concrétisée par la réalisation du premier circuit de traitement des signaux en courant (le convoyeur de courant) en 1968, les structures en *courant* ont été mises de côté jusque vers la mi-1990 au profit des structures en *tension* [Kol00]. Ceci est principalement dû au fait que la notion d'amplificateur opérationnel en tension est apparue dès le début des années 1940 et que dans les années 1960, les transistors bipolaires PNP n'avaient pas de très bonnes caractéristiques dans les circuits intégrés.

Pour éviter toute ambiguïté sur la notion de *tension* et de *courant*, on dit que l'on parle de structure en *tension* (*courant*) lorsque l'information est transmise sous forme de tension (d'intensité de courant). Bien sûr, tout circuit qui manipule des courants manipule aussi des tensions de par la structure intrinsèque du transistor MOS [TLH90], [THB94] et [Kol00]. Cependant, dans un circuit en *tension*, quand les signaux se propagent essentiellement sous forme de tension, les capacités parasites se chargent et se déchargent sur toute la dynamique en tension disponible (pour optimiser le rapport signal sur bruit), ce qui limite la vitesse et augmente la puissance consommée du circuit. Dans le cas des circuits en *courant*, de fortes variations de tension sur certains nœuds ne peuvent être évitées mais elles n'apparaissent en général qu'en certains nœuds seulement qui peuvent être optimisés (réduction des capacités parasites). Aussi, il peut être possible d'atteindre de

¹Complementary Metal Oxide Semiconductor

plus grandes bandes passantes et de plus basses consommations. Les transferts en courant entre circuits semblent particulièrement prometteurs.

Le MOS et les technologies numériques

Le transistor MOS, élément de base (quelquefois l'unique) des technologies numériques, présente la particularité de générer un signal de sortie en intensité de *courant* à partir d'une commande en *tension*. Ainsi, quand le signal est transporté sous forme d'intensité de courant², les variations des tensions de commande des transistors MOS sont proportionnelles à la racine carrée du signal (au logarithme) s'ils opèrent en zone de forte inversion (de faible inversion). C'est pourquoi une compression de l'amplitude des signaux en *tension* est possible. Toutefois, comme détaillé dans la section 6.1, bien que cette compression permette d'utiliser plus facilement des tensions d'alimentation plus faibles, elle augmente la sensibilité des circuits aux bruits.

Traditionnellement, les structures à capacités commutées ont été intensivement utilisées pour le traitement des signaux analogiques. Cependant, de telles techniques ne sont pas parfaitement compatibles avec les technologies dédiées aux circuits numériques. En effet, les performances de ces structures sont en grande partie basées sur la linéarité et la forte intégration des capacités poly-poly³. Or, la deuxième couche de poly-Silicium n'est pas nécessairement présente dans les technologies numériques et ainsi peut ne pas être disponible pour le concepteur. De plus, la réduction de la tension d'alimentation réduit la plage de signal utile (dégradation du rapport signal sur bruit). Ces quelques points ont permis aux structures en courant de refaire leur apparition et plus particulièrement à la structure duale des circuits à capacités commutées (SCv⁴) que sont les circuits à courant commuté (SCi⁵) [THB94].

En outre, la conception de CAN à haute résolution doit prendre en compte le plus possible les contraintes imposées par les technologies CMOS numériques dans le sens où :

- Les performances du CAN ne doivent pas dépendre d'un appariement élevé entre ces composants.
- Il faut restreindre l'utilisation de résistances et de capacités linéaires.

Afin de mieux caractériser les méthodes en courant pour la réalisation d'un CAN, l'étude qui suit s'attache tout d'abord à déterminer les caractéristiques de la mémoire de courant de base qui est l'élément essentiel d'un CAN en courant⁶ puis à détailler la conception en technologie CMOS 0.35 μ m d'une mémoire de courant de résolution 12bit à 20M ϵ chantillon/s.

1 La mémoire de courant et ses limitations

Cette première étude a pour but de présenter le fonctionnement d'une mémoire de courant de base et d'explicitier les différentes sources d'erreur auxquelles elle est sujette

²Pour la suite du manuscrit, le terme exact intensité de courant sera remplacé par courant par abus de langage

³poly : poly-Silicium

⁴Switched-Capacitors, le v pour tension

⁵Switched-Current, le i pour courant

⁶Son équivalent en tension est l'échantillonneur bloqueur

afin de pouvoir élaborer une mémoire de courant répondant aux performances souhaitées.

1.1 Le principe de fonctionnement d'une mémoire de courant

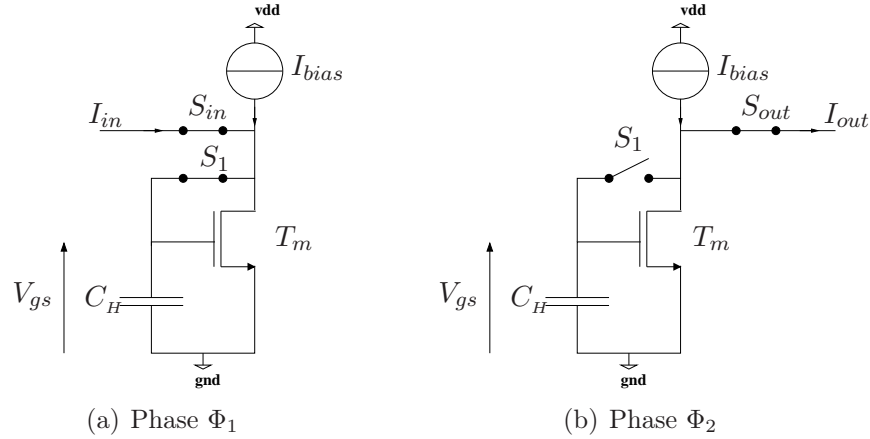


FIG. 2.1: Principe de fonctionnement d'une mémoire de courant

La mémoire de courant la plus simple peut être réalisée à partir d'un seul transistor MOS (si l'on ne considère pas les commutateurs analogiques) [THB94]. Un schéma d'une telle mémoire est représenté sur la figure 2.1.

a) Phase de copie

Durant la phase Φ_1 , les commutateurs analogiques S_1 et S_{in} sont fermés. Ainsi le courant d'entrée I_{in} s'ajoute au courant de polarisation I_{bias} . Avec S_1 fermé, le transistor T_m est en configuration transdiode. C'est pourquoi, le courant de drain résultant correspond à la somme de ces deux courants $I_{in} + I_{bias}$ qui imposent alors la tension de polarisation V_{gs} qui correspond aussi à celle aux bornes de la capacité C_H . Au fur et à mesure que C_H se charge, la tension grille-source V_{gs} évolue de sorte à ce que l'intensité du courant drain du transistor T_m soit égale à l'ensemble du courant.

b) Phase de maintien

Puis durant la phase Φ_2 , le commutateur S_1 est d'abord ouvert afin que la tension V_{gs} obtenue à la fin de la phase Φ_1 soit retenue aux bornes de la capacité C_H , ce qui permet à T_m de maintenir un courant égal à $I_{in} + I_{bias}$. C'est ainsi que l'opération de mémorisation du courant a lieu. Ensuite le commutateur S_{in} est ouvert et S_{out} est fermé. Le courant de sortie I_{out} est alors égal à $-I_{in}$.

Il est intéressant de remarquer qu'une telle mémoire s'auto-calibre naturellement. En effet, de part la contre-réaction locale, le transistor T_m s'auto-impose la tension de commande nécessaire. Le système est donc moins sensible aux aléas des process technologiques et de la température.

Toutefois, une mémoire de courant aussi simple ne peut permettre d'atteindre une résolution de 12bits de par :

- L'influence de la tension drain-source V_{ds} sur la valeur du courant I_{ds} comme le rappelle l'équation (2.1).

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (2.1)$$

avec le paramètre de transconductance $\beta = \mu C_{ox} W/L$, λ le paramètre de modulation de la longueur de canal et V_{th} la tension de seuil du transistor MOS T_m .

- L'influence de la tension drain-source via la capacité de recouvrement grille-drain C_{gd}
- Le phénomène d'injection de charges du commutateur S_1

Aussi, il est nécessaire d'étudier les caractéristiques de la mémoire en terme de temps d'établissement et de précision de sorte à pouvoir remédier aux limitations en employant des méthodes adaptées.

1.2 Stabilité et temps d'établissement

L'évaluation du temps d'établissement d'une mémoire de courant du type de la figure 2.1 n'est pas simple car en toute rigueur celle-ci doit être effectuée dans le domaine des forts signaux [Nai93]. Cependant, cette première analyse ne tient pas compte de l'influence du commutateur dans la boucle de contre-réaction pour des raisons de complexité. Les influences de ce dernier sur le temps d'établissement et sur la stabilité du système seront analysées plus facilement dans le domaine petit signal.

a) Temps d'établissement et fort signal

a) Le régime fort signal

Pour cette étude, on suppose le transistor en régime de forte inversion et que le courant de polarisation I_{bias} est nul. Une expression simplifiée (eq. (2.1)) du courant de drain est donnée par :

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_{th})^2 \quad (2.2)$$

A partir de la loi des nœuds effectuée au niveau du drain du transistor T_m , on obtient l'équation différentielle suivante pour le phase Φ_1 :

$$I_{in}(t) + \frac{1}{C_H} \frac{\partial V_{gs}(t)}{\partial t} + I_{ds}(t) = 0 \quad (2.3)$$

Ainsi si $I_{in}(t)$ est un échelon de courant qui passe de I_1 (à $t=0^-$) à I_2 (à $t=0^+$), alors on montre que l'équation (2.3) admet une solution de la forme [Nai93] :

$$V_{gs}(t) = V_{th} + \sqrt{\frac{2I_2}{\beta}} \left(\frac{1 + C e^{-\frac{\sqrt{2\beta I_2}}{C_H} t}}{1 - C e^{-\frac{\sqrt{2\beta I_2}}{C_H} t}} \right) \quad (2.4)$$

avec $C = \frac{\sqrt{I_1} - \sqrt{I_2}}{\sqrt{I_1} + \sqrt{I_2}}$.

En injectant directement l'expression obtenue de V_{gs} dans l'équation (2.2), on peut en déduire l'évolution de l'intensité du courant de drain au cours du temps et donc une expression du temps d'établissement T_{ac} (pour une erreur⁷ $\pm \delta_i$ en courant) qui est donnée par :

$$T_{ac_{I_1 \rightarrow I_2}} = \frac{C_H}{\sqrt{2\beta I_2}} \ln \left[C \frac{\sqrt{I_2} \pm \delta_i + \sqrt{I_2}}{\sqrt{I_2} \pm \delta_i - \sqrt{I_2}} \right] \quad (2.5)$$

⁷signe + si $I_1 > I_2$, - sinon

Cette expression du temps d'établissement T_{ac} pour les forts signaux montre que le temps d'établissement est d'autant plus long que le courant à mémoriser est faible. En effet, T_{ac} tend vers l'infini quand I_2 tend vers 0. Cette évolution est compréhensible dans le sens où le transistor T_m est d'autant moins actif que le courant qu'il doit mémoriser est faible. C'est pourquoi, un courant de polarisation I_{bias} est utilisé afin d'assurer un courant minimal à mémoriser, ce qui permet par là-même de déterminer le temps d'établissement le plus défavorable.

b) *Le régime petit signal*

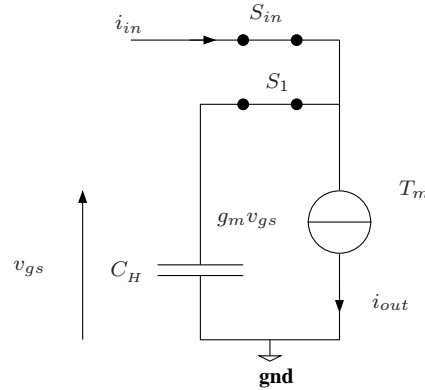


FIG. 2.2: Schéma petit signal simple d'une mémoire de courant

Si l'on fait la même étude en régime petit signal à partir du schéma 2.2, on peut en déduire facilement une expression caractéristique de la réponse temporelle de la mémoire à un échelon de courant passant de i_1 à i_2 :

$$i_{ds}(t) = i_{out} = i_2 - (i_2 - i_1) e^{-\frac{g_m}{C_H} t}$$

et donc le temps d'établissement petit signal t_{ac} est :

$$t_{ac_{i_1 \rightarrow i_2}} = \frac{C_H}{g_m} \ln \frac{i_1 - i_2}{\pm \delta_i} \quad (2.6)$$

Pour pouvoir plus aisément comparer le temps d'établissement déterminé par l'étude fort signal et par celle petit signal (on confond alors I et i), il est alors intéressant de poser :

$$\begin{aligned} I_1 &= I_{bias} (1 + m) \\ I_2 &= I_{bias} (1 - m) \\ g_m &= \sqrt{2\beta I_{bias}} \\ \delta_i &= \epsilon I_{bias} \end{aligned}$$

avec m le coefficient de modulation et g_m la transconductance du transistor MOS T_m polarisé par le courant I_{bias} . En utilisant ces notations, les équations (2.5) et (2.6) deviennent :

$$t_{ac_{I_1 \rightarrow I_2}} = \frac{C_H}{g_m} \left(\ln \left(\sqrt{1+m} - \sqrt{1-m} \right) - \ln \epsilon \right) \quad (2.7)$$

$$T_{ac_{I_1 \rightarrow I_2}} = \frac{C_H}{g_m} \frac{1}{\sqrt{1-m}} \left[\ln \left(\frac{\sqrt{1+m} - \sqrt{1-m}}{\sqrt{1+m} + \sqrt{1-m}} \right) - \ln \frac{\epsilon}{4(1-m)} \right] \quad (2.8)$$

Ainsi pour des taux de modulations inférieurs à 1/2, on a :

$$T_{ac_{I_1 \rightarrow I_2}} \approx \frac{t_{ac_{I_1 \rightarrow I_2}}}{\sqrt{1-m}} \quad (2.9)$$

Ainsi d'après eq. (2.9), pour une modulation de 50%, le temps d'établissement T_{ac} issu de l'analyse "fort signal" est environ 30% plus grand que t_{ac} . Par conséquent, cette étude du temps d'établissement à fort signal nous permettra d'avoir une idée plus fine du temps d'établissement réel (avec le commutateur analogique pris en compte) à partir du modèle petit signal.

b) La stabilité

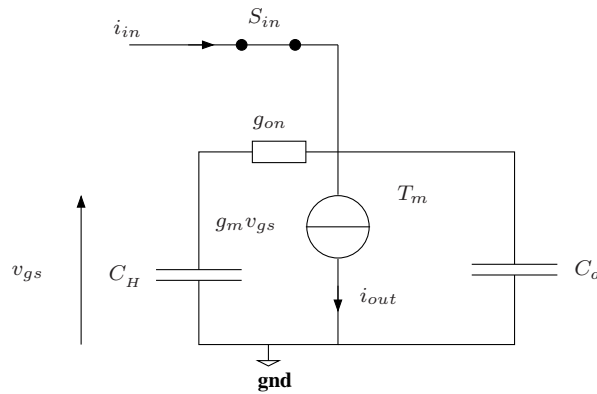


FIG. 2.3: Schéma petit signal d'une mémoire de courant prenant en compte la conductance du commutateur S_1

Si l'on considère à présent le schéma complet petit signal qui tient compte de la conductance g_{on} du commutateur analogique S_1 , on obtient le schéma petit signal de la figure 2.3. Durant la phase Φ_1 , la fonction de transfert associée est donnée par :

$$H(p) = \frac{i_{out}(p)}{i_{in}(p)} = -\frac{1}{1 + \frac{C_H + C_d}{g_m} p + \frac{C_H C_d}{g_m g_{on}} p^2} \quad (2.10)$$

avec C_d la capacité parasite drain-substrat. Le système traité se comporte donc comme un système du 2nd ordre avec

$$\begin{aligned} \omega_0 &= \sqrt{\frac{g_m g_{on}}{C_H C_d}} \\ \xi &= \frac{1}{2} \frac{C_H + C_d}{g_m} \sqrt{\frac{g_m g_{on}}{C_H C_d}} \end{aligned} \quad (2.11)$$

Pour un tel type de système, les temps d'établissement les plus courts sont obtenus pour $\xi < 1$. La réponse temporelle à un échelon en courant est :

$$i_{out} = 1 - e^{-t\xi\omega_0} \left(\cosh\left(\omega_0 t \sqrt{\xi^2 - 1}\right) + \frac{\xi}{(\xi^2 - 1)} \sinh\left(\omega_0 t \sqrt{\xi^2 - 1}\right) \right)$$

La réponse temporelle la plus rapide est obtenue pour $\xi_{optimal}$ qui est donnée par [CF99] et [YA90] :

$$\xi_{optimal} = \frac{1}{\sqrt{1 + \left(\frac{\pi}{0.693 N}\right)^2}} \quad (2.12)$$

avec N la résolution en bit souhaitée. On obtient alors comme temps d'établissement :

$$t_{ac_{min}} = \frac{\pi}{2\sqrt{1 - \xi_{optimal}^2}} \tau$$

avec $\tau = \frac{C_H + C_d}{g_m}$.

Résolution en bit	10	12	14
$\xi_{optimal}$	0.911	0.935	0.951
$t_{ac_{min}}/\tau$	3.81	4.43	5.08

TAB. 2.1: Constante de temps d'établissement minimale suivant la résolution souhaitée

Ainsi pour une résolution de 12bits (voir tableau 2.1), le temps d'établissement optimal est voisin de 4.4τ , ce qui représente une amélioration de 50% par rapport au temps d'établissement d'un système du premier ordre (sans le commutateur analogique). Néanmoins de par des variations de process technologique et de température, le gain effectif est plutôt voisin de 20-30%. De plus, on a montré au cours de la précédente étude que le temps d'établissement était plutôt du type fort signal et qu'il était d'environ 30% plus grand pour les temps de descente que pour celui obtenu avec les petits signaux. Par suite, une bonne approximation du temps d'établissement est donnée par environ $9-10\tau$ pour une résolution de 12bits, ce qui revient au calcul du temps d'établissement d'un système du 1^{er} ordre.

Remarque. *Il est intéressant de remarquer que dans un système à mémoires de courant (MC), l'information est véhiculée de MC en MC. Par suite, la charge capacitive parasite C_d est augmentée d'au moins d'un facteur 2 à laquelle il faut rajouter les capacités parasites des commutateurs analogiques.*

1.3 L'erreur liée à la tension de drain V_{ds}

Les variations de la différence de potentiel (d.d.p.) drain-source ont deux impacts distincts sur la valeur du courant mémorisé. D'une part, comme le souligne l'équation (2.1), la conductance du canal dépend de la tension V_{ds} . D'autre part, les variations de la tension V_{ds} se répercutent via le pont capacitif $C_{gd}-C_H$ sur la tension de commande du transistor MOS T_m [THB94]. Ainsi, la mémoire de courant en mode retenu possède une conductance de sortie équivalente à

$$g_{ds_m} = g_{ds} + \frac{C_{gd}}{C_H + C_{gd}} g_m \quad (2.13)$$

Par conséquent, l'erreur commise sur le courant de sortie est :

$$\delta I_{ds} = \left(g_{ds} + \frac{C_{gd}}{C_H + C_{gd}} g_m \right) \delta V_{ds}$$

Or la conductance de sortie du transistor MOS à canal court n'est pas aussi faible que celle d'un transistor bipolaire. Typiquement à partir des abaques de la technologie ST BiCMOS $0.35\mu\text{m}$, la conductance de sortie est voisine de $1e^{-5}\text{S}$ pour un transistor NMOS de $W/L=10$ et $L=0.5\mu\text{m}$ polarisé par un courant de $100\mu\text{A}$, ce qui correspond à une tension équivalente $V_A = 1/\lambda = 10\text{V}$. Aussi, pour atteindre les résolutions escomptées voisines de 12bits, il faut augmenter cette impédance de sortie.

a) La structure cascode

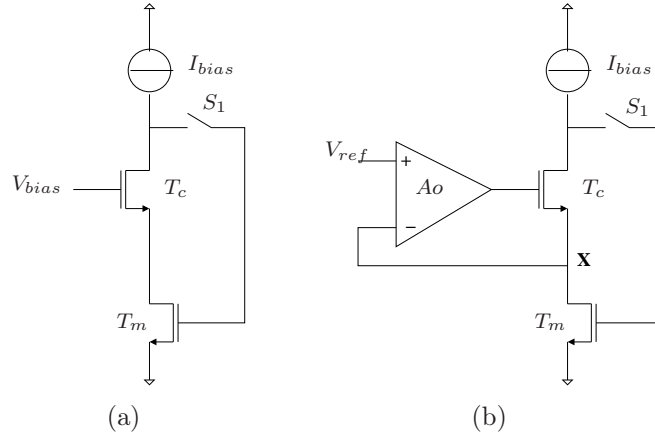


FIG. 2.4: Schéma de principe d'une structure cascode (a) et cascode régulé (b)

La structure cascode (fig. 2.4(a)) permet de diminuer la conductance de sortie de la mémoire [GHLM01] [THB94]. Ainsi, avec S_1 ouvert, la conductance résultante en sortie est g_s^{casc} :

$$g_s^{casc} = \frac{g_{ds}^c}{1 + \frac{g_{mc}}{g_{ds_m}}}$$

Celle-ci est plus petite d'environ un facteur 30 à 100 par rapport à la conductance du transistor simple. Toutefois, pour que l'effet cascode persiste, il faut que les deux transistors fonctionnent en zone saturée quelque soit la phase de fonctionnement de la mémoire de courant. Ainsi durant la phase de recopie Φ_1 , il faut que :

$$V_{bias} > V_{th} + [(V_{gs} - V_{th})_m + (V_{gs} - V_{th})_c] \sqrt{1 + m} \quad (2.14)$$

et durant la phase de transmission (de part l'inversion du courant), on doit avoir au niveau du drain de T_c :

$$V_d = (V_{gs} - V_{th})_m \sqrt{1 + m} > [(V_{gs} - V_{th})_m + (V_{gs} - V_{th})_c] \sqrt{1 + m} = V_{bias} - V_{th} \quad (2.15)$$

Cette équation impose de faire un compromis entre la tension de dépassement⁸ $\Delta V_{gs} = V_{gs} - V_{th}$ et le facteur de modulation m .

Remarque. Lorsque S_1 est fermé, nous pouvons remarquer que la conductance d'entrée de la mémoire correspond à g_{mm} de façon analogue au simple circuit transdiode.

b) La structure cascode régulé

Cette structure est abordée plus en détail (problèmes de stabilité en fréquence et de temps d'établissement) dans le chapitre 4. Il est ici surtout important de noter que la conductance de sortie est à nouveau diminuée d'un facteur égal au gain en tension en

⁸overdrive voltage

boucle ouverte A_o de l'amplificateur utilisé (voir eq. (2.16)) pour effectuer la régulation du nœud X (fig. 2.4(b)).

$$g_s^{casc\ reg} \approx \frac{g_{ds}^c}{1 + (1 + A_o) \frac{g_{mc}}{g_{dsm}}} \quad (2.16)$$

Ce circuit cascode régulé permet au total de diminuer d'environ un facteur 1000 à 10 000 la conductance de sortie de la mémoire de courant par rapport à un simple transistor MOS. Ici encore la structure est soumise à la contrainte des équations (2.14) et (2.15) bien que celle-ci puisse être un peu relâchée vis-à-vis du transistor T_c . En effet, grâce à la boucle de contre-réaction, même si celui-ci s'approche du régime de la zone ohmique, la conductance de sortie reste encore faible.

1.4 L'injection de charges

Le phénomène d'injection de charges étant traité plus en détail dans la section 5.1, le but de cette étude est d'analyser l'impact de cette injection sur la résolution d'une mémoire de courant (en fonction du type de mémoire employé).

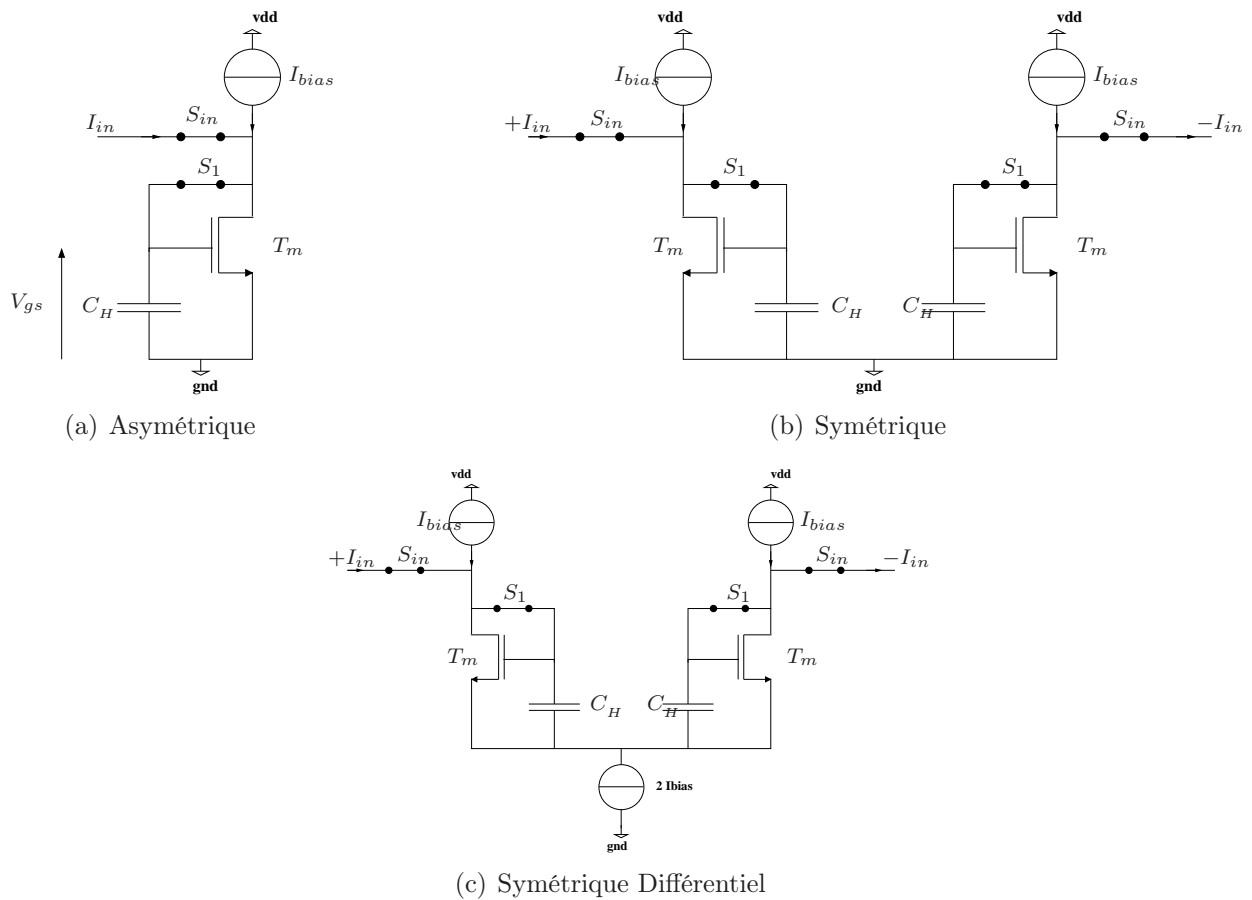


FIG. 2.5: Types de mémoire de courant

a) Injection de charges constante

Si l'injection de charges est relativement constante (c'est-à-dire indépendante de l'amplitude du signal voir section 5.2) et si l'on se place en mode petit signal⁹ alors on a dans le cas d'une mémoire asymétrique (Fig 2.5(a)) :

$$\delta I_{ds} = g_m(I_{ds}) \delta V_{gs}$$

avec $\delta V_{gs} = \frac{\delta q}{C_H}$ et δq les charges injectées. Dans le cas d'une mémoire asymétrique, ceci peut être mis sous la forme suivante :

$$\delta I_{ds}^a = \sqrt{2\beta I_{bias}} \delta V_{gs} \sqrt{1+m} \quad (2.17)$$

De même dans le cas symétrique (Fig 2.5(b)), on obtient :

$$\delta I_{ds}^s = \sqrt{2\beta I_{bias}} \delta V_{gs} \left(\sqrt{1+m} - \sqrt{1-m} \right) \quad (2.18)$$

La comparaison des équations (2.17) et (2.18) met en évidence que l'impact de l'injection de charges sur le courant mémorisé est plus linéaire dans le cas de la mémoire de courant symétrique que dans le cas asymétrique pour des facteurs de modulation inférieurs à 1/2 comme le montre la figure 2.6 et le développement en série de Taylor suivant :

$$\begin{aligned} \delta I_{ds}^a &= \sqrt{2\beta I_{bias}} \delta V_{gs} \left(1 + \frac{1}{2} m - \frac{1}{8} m^2 + \frac{1}{16} m^3 + o(m^4) \right) \\ \delta I_{ds}^s &= 2 \sqrt{2\beta I_{bias}} \delta V_{gs} \left(\frac{m}{2} + \frac{1}{16} m^3 + o(m^5) \right) \end{aligned}$$

Néanmoins, l'impact de l'injection de charges est plus important dans le cas d'une structure mémoire de courant que dans le cas d'une structure échantillonneur-bloqueur en tension puisque dans ce dernier cas, une injection de charge constante se traduit simplement par un offset.

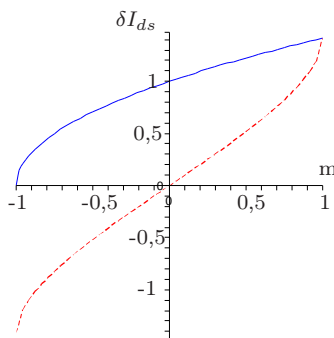


FIG. 2.6: Impact d'une injection de charges constante dans le cas d'une structure asymétrique (trait plein) et symétrique (tirets) pour une modulation $-1 < m < 1$

Par contre, dans le cas symétrique et différentiel (Fig 2.5(c)), l'erreur différentielle sur le courant est nulle. En effet, l'erreur de tension commise sur les grilles de la paire différentielle résulte en une erreur de mode commun. Ainsi, il apparaît qu'une structure symétrique est très intéressante pour minimiser le phénomène de non-linéarité dû au phénomène d'injection de charges.

⁹On suppose que l'injection de charges est de l'ordre de quelques milliVolt

b) Injection de charges non-constante

A présent, on considère une injection de charges non constante, c'est-à-dire qui dépend du signal mémorisé. Si l'on se reporte au chapitre 5, et si l'on tient compte de l'effet substrat au travers de l'approximation suivante $V_{th_{vin}} \approx V_{th} + \frac{\gamma}{3} V_{gs}$ [THB94], on a :

$$\Delta I_{ds}^a = g_m \left(\alpha \frac{C_{ch}}{C_H} \left(\overbrace{\Phi_H - \left(1 + \frac{\gamma}{3}\right) V_{gs}}^{V_{gs}^{commutateur}} - V_{th} \right) - \frac{C_{gd}}{C_H + C_{gd}} \Delta V_{clock} \right) \quad (2.19)$$

avec Φ_H le niveau haut de l'horloge (logique NMOS)¹⁰, C_{ch} la capacité grille-canal du commutateur analogique et α la proportion des charges injectées dans la capacité C_H .

On obtient alors dans le cas asymétrique en utilisant les notations précédentes et avec $(1 - \frac{\gamma}{3}) V_{gs} = V_{th} + \frac{2I}{g_m}$:

$$\begin{aligned} \Delta I_{ds}^a &= \sqrt{2\beta I_{bias}} \left(\alpha \frac{C_{ch}}{C_H} \left(\Phi_H - \left(2 + \frac{\gamma}{3}\right) V_{th} \right) - \frac{C_{gd}}{C_H + C_{gd}} \Delta V_{clock} \right) \sqrt{1+m} \\ &\quad - 2\alpha \frac{C_{ch}}{C_H} \left(1 + \frac{\gamma}{3}\right) I_{bias} (1+m) \end{aligned} \quad (2.20)$$

Dans le cas différentiel symétrique¹¹, l'erreur différentielle en tension au niveau des capacités C_H est :

$$\Delta V_{injecte} = \alpha \frac{C_{ch}}{C_H} \left(1 + \frac{\gamma}{3}\right) \overbrace{(V_{gs1} - V_{gs2})}^{\Delta V_g} \quad (2.21)$$

Il est alors intéressant de remarquer qu'il est aussi possible d'écrire¹² :

$$\begin{aligned} \Delta V_g &= \sqrt{2 \frac{I_1}{\beta}} - \sqrt{2 \frac{I_2}{\beta}} = \sqrt{2 \frac{I_{bias}}{\beta}} \left(\sqrt{1+m} - \sqrt{1-m} \right) \\ &= \sqrt{2 \frac{I_{bias}}{\beta}} \left(m + \frac{m^3}{8} + o(m^5) \right) \\ &\approx \sqrt{2 \frac{I_{bias}}{\beta}} m \end{aligned} \quad (2.22)$$

Ainsi, d'après l'équation (2.22), la variation de la tension différentielle de commande est proportionnelle au courant à mémoriser¹³ (proportionnel à m). L'erreur différentielle

¹⁰Dans ce cas $V_{sb}^{commutateur} = V_{gs}$ car le transistor MOS du commutateur et de la mémoire de courant sont du même type ici NMOS

¹¹on considère les 2 aspects simultanés car l'étude précédente a montré que la structure différentielle était très bénéfique

¹²On rappelle que le développement limité de la fonction $\sqrt{1+x}$ est $1+1/2x - 1/8x^2 + 1/16x^3 + o(x^4)$

¹³Pour une modulation de 50% du courant de polarisation I_{bias} , l'erreur de l'approximation est de 1.5%

en courant suivante¹⁴ est alors obtenue :

$$\begin{aligned}\Delta I_{ds}^{diff} &= (g_{m_1} + g_{m_2}) \frac{\Delta V_{injecte}}{2} \\ &= \sqrt{2\beta I_{bias}} \left(\sqrt{1+m} + \sqrt{1-m} \right) \frac{\Delta V_{injecte}}{2}\end{aligned}\quad (2.23)$$

$$\approx \underbrace{2\alpha \frac{C_{ch}}{C_H} \left(1 + \frac{\gamma}{3}\right)}_{\epsilon_G} I_{bias} m \quad (2.24)$$

Par suite, l'erreur commise dans le cas différentiel est linéaire ce qui se traduit sous forme d'une erreur de gain au final.

1.5 Le bruit

Une étude de bruit générale qui porte tant sur les systèmes en tension et en courant est effectuée dans la section 6.1. Une conclusion importante qui ressort de cette étude est que le bruit d'une mémoire de courant simple se ramène à l'expression suivante :

$$\bar{I}_{noise}^2 \approx k_B T \frac{g_m^2}{C_H + C_d} \quad (2.25)$$

Ce bruit est similaire à celui d'un bruit en $k_B T/C$ ramené en courant par la transconductance du transistor MOS T_m . L'écart type de bruit est directement proportionnel à cette transconductance.

Dans le cas d'un échantillonneur bloqueur simple, le bruit est en $k_B T/C$ et la constante de temps associée au circuit est en C/g_{on} . Ainsi, bande passante et bruit sont découplés via le dimensionnement possible du commutateur analogique. Ceci est très différent pour la MC. En effet, la constante de temps associée C/g_m et le bruit en $k_B T g_m^2 / C$ sont étroitement liés. Aussi, pour optimiser à la fois le rapport signal sur bruit et la bande passante du système, il faudrait diminuer la transconductance et la valeur de la capacité de maintien en même temps.

Remarque. *La structure cascode n'introduit qu'un bruit supplémentaire négligeable devant celui généré par T_m de par la présence de la contre-réaction série. La figure montre le schéma équivalent petit signal d'un circuit cascode. L'application de la loi des nœuds nous donne :*

$$\begin{aligned}0 &= g_m v(t) + i_{noise}(t) + g_{ds_m} v(t) + g_{ds_c} v(t) \\ i_{out}(t) &= -g_{ds_m} v(t)\end{aligned}$$

On obtient alors :

$$i_{out}(t) \approx \left(1 - \frac{g_m + g_{ds_c}}{g_m + g_{ds_m} + g_{ds_c}} \right) i_{noise}$$

soit encore

$$i_{out}(t) \approx \frac{i_{noise}}{2 + \frac{g_m}{g_{ds_m}}} \ll i_{noise}$$

Ceci montre bien que la structure cascode ne pénalise pas en terme de bruit la mémoire de courant.

¹⁴on considère qu'il n'y a pas d'effet substrat pour les MOS mémoires

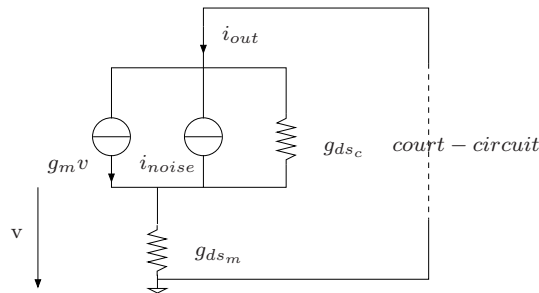


FIG. 2.7: Impact du bruit introduit par le MOS cascode T_c

1.6 Quelques mémoires de courant réalisées

A partir des années 1990, des cellules de mémoire de courant ont été développées. Le tableau 2.2 permet de recenser différentes structures avec leurs performances et leurs particularités. Il permettra de mieux situer les performances obtenues par la cellule de mémoire de courant durcie aux radiations proposée au cours de cette thèse. Les cellules réalisées permettent d'atteindre les résolutions souhaitées en réduisant les erreurs introduites par injection de charges et par la conductance de sortie. Deux principes différents sont mis en œuvre dans l'ensemble des structures de mémoire de courant à savoir : l'effet Miller et le fonctionnement des commutateurs analogiques avec une tension de commande constante.

Auteur	[WCCC95]	[Nai96]	[GDG94]	[WHT03]
Linéarité	10bit	13bit	11bit	10bit
Vitesse	6.6MS/s	50MS/s	100kS/s	120MS/s
Consommation	20mW	5.3mW	300 μ W	1.45mW
Bruit	79dB	67dB		63dB
Surface	0.64mm ²	0.1mm ²		0.043mm ²
Principe	Miller	Tension constante	Miller	classe AB
Année	1995	1996	1994	2003

TAB. 2.2: Performances obtenues pour les mémoires de courant

Conclusion

L'étude du principe de fonctionnement de la mémoire de courant simple ainsi que de ses limitations permet de définir les points importants à respecter pour la conception d'une mémoire de courant rapide et de grande résolution.

En effet, l'intérêt d'employer une structure symétrique par rapport à une structure asymétrique permet de diminuer fortement l'impact des injections de charges sur la précision et la résolution de la mémoire de courant. Il a été montré en particulier que même dans le cas où l'injection de charges des commutateurs analogiques n'est pas constante, l'erreur générée pour une architecture symétrique est linéaire, ce qui revient à dire que la résolution de la mémoire de courant ne doit être que très peu affectée par ce phénomène. Il est alors intéressant de noter que dans ce cas, l'erreur est semblable à une erreur de gain de la structure (voir section 7.2). Dans le cadre très particulier des convertisseurs

analogique-numérique en courant, cette erreur de gain se traduit simplement par une réduction de la plage dynamique et non par une augmentation de la non-linéarité intégrale et différentielle.

De plus, cette analyse du phénomène d'injection de charges démontre aussi que l'utilisation de commutateur analogique dit "bootstrapped" (voir section 5.2) n'est pas nécessaire pour obtenir une très grande linéarité. Ce point est particulièrement intéressant pour la conception de circuits dédiés au domaine spatial (voir section 1.2).

Une méthode obtenue à partir de l'étude du temps d'établissement et de la stabilité des mémoires de courant permet de déterminer la constante de temps globale τ de la mémoire de courant à partir de son comportement petit signal.

Enfin, l'emploi de la structure cascode régulée permet de diminuer fortement l'admittance de sortie de la mémoire de courant et donc d'améliorer d'autant la précision du transfert du courant mémorisé (source de courant de la mémoire).

2 La cellule de mémoire de courant proposée

Dans cette partie, on propose de concevoir et réaliser une mémoire de courant tout CMOS de 12bits de résolution avec une fréquence d'échantillonnage de 20MS/s [BCL05a] et [BCL05b] en technologie ST BiCMOS $0.35\mu\text{m}$ en se basant sur les méthodes précédemment décrites. Cette réalisation a pour but de montrer la faisabilité des méthodes en courant pour concevoir des CANs en courant pour le domaine spatial. Elle s'est essentiellement focalisée sur la linéarité de la structure, la réduction du phénomène d'injection et sur le durcissement aux radiations. L'étude de bruit de ce type de structure est effectuée dans la section 6.1.

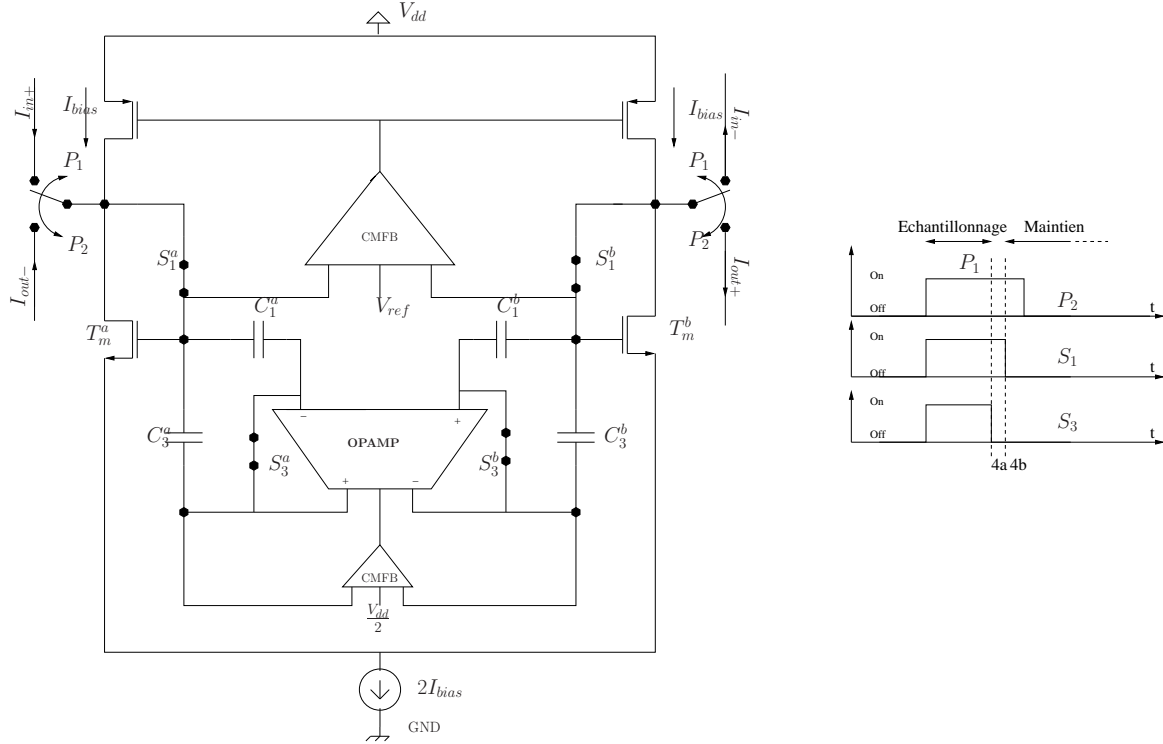
2.1 La conception

a) Généralités

Afin d'améliorer les performances de la cellule de mémoire de courant (CMC), une structure symétrique et différentielle a été choisie (voir fig. 2.8). Cette structure permet d'être non seulement moins sensible au phénomène d'injection de charges (présence naturelle de la réjection du mode commun) mais aussi d'être moins sensible aux bruits liés aux perturbations environnantes (de l'alimentation, des commutations ...). Ceci est d'autant plus important que le circuit fonctionne en "mono-tension" et que la tension de mode commun risque d'être fortement perturbée.

Afin de diminuer la conductance de sortie de la mémoire de courant, une structure du type cascode régulé a été choisie. L'amplificateur inhérent à cette structure a été réalisé à l'aide d'un circuit simple à source commune. Un tel dispositif offre typiquement un gain DC en tension de 40dB. L'avantage de ce circuit est qu'il assure une polarisation en zone saturée (zone où le transistor fonctionne en source de courant) du transistor MOS mémoire en maintenant une tension V_{ds} égale à un V_{gs} . L'inconvénient réside dans la répartition non-optimale du budget en tension. En effet, on pourrait utiliser un V_{ds} un peu plus faible (plus proche de la tension $V_{gs} - V_{th}$). D'autres types d'amplificateur peuvent être utilisés (voir chapitre 4) pour diminuer autant que possible la tension d'alimentation de la CMC.

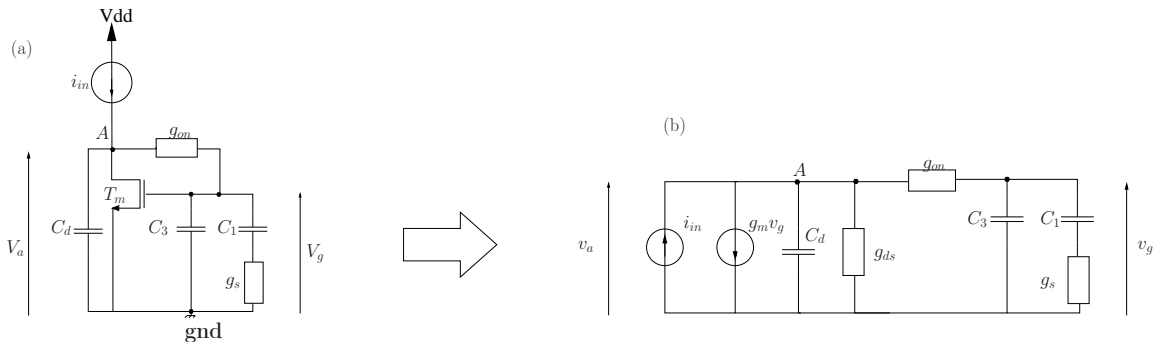
L'intensité du courant de polarisation I_{bias} a été fixée à $250\mu\text{A}$ et le coefficient m de


FIG. 2.8: Cellule de Mémoire de courant différentielle DME-CMC

modulation voisin de 0.5, ce qui permet d'avoir de bonnes caractéristiques au niveau du temps d'établissement. Comme l'on cherche à avoir une vitesse d'échantillonnage égale à 20MS/s, il faut que le temps d'établissement global soit inférieur à 25ns. Pour tenir compte des temps de commutations, on se fixe un temps d'établissement de $t_{ac}=20\text{ns}$ soit encore une constante de temps globale de 2ns. Le schéma petit signal de la mémoire de courant utilisée est représenté sur la figure 2.9. La fonction de transfert globale est donnée par l'équation (on suppose $g_{ds} \ll g_m$ et $g_{ds} \ll g_{on}$, de plus le terme en p^3 est négligé) :

$$\frac{i_{out}}{i_{in}} = \frac{1 + \frac{C_1}{g_s} p}{1 + \left(\frac{C_1}{g_s} + \frac{C_1 + C_d + C_3}{g_m} \right) p + \left(\frac{(C_1 + C_3)C_d}{g_m g_{on}} + \frac{C_1(C_d + C_3)}{g_m g_s} \right) p^2}$$

avec $i_{out} = g_m v_g$. La constante de temps τ est donnée par $\frac{C_1 + C_d + C_3}{g_m}$.


FIG. 2.9: Evaluation du temps d'établissement : i_{in} est le courant à mémoriser, $g_m v_g$ le courant de sortie, g_{on} la conductance de S_1 à l'état ON, g_s la conductance de S_3 à l'état ON, g_{ds} la conductance de sortie de T_m et C_d la capacité parasite.

En première approximation, avec une capacité de maintien $C_H = C_3 + C_1$ de 1pF, une transconductance de 0.5mS est nécessaire pour satisfaire à la fois la bande passante et le

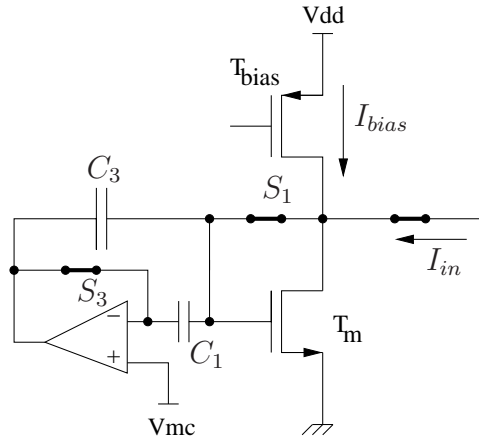


FIG. 2.10: Version asymétrique de la mémoire de courant utilisant le principe de réduction du phénomène d'injection de charges par effet Miller

bruit. Toutefois, de par les capacités parasites supplémentaires évaluées à 0.3pF (C_{gd} et C_d évaluées sous SPICE) (soit environ 0.6pF pour 2 mémoires de courant en communication), la capacité de maintien a été légèrement diminuée à 0.85pF et la transconductance a été augmentée à 0.7mS ce qui pénalise légèrement le comportement en bruit de la cellule.

A partir des équations (2.11) et (2.12), les commutateurs S_1 peuvent être dimensionnés. Leur résistance $1/g_{on}$ doit être inférieure à environ 1.85k Ω et leurs dimensions sont déterminées à l'aide d'abaque de la technologie utilisée. Il est à noter que ces commutateurs sont réalisés à l'aide de PMOS pour des questions de durcissement aux radiations. Ils ont été préférés aux NMOS ronds bien que 3 fois plus gros (donc trois fois plus de charges) par manque de données sur de tels commutateurs en terme de performance de charges injectées (la structure est asymétrique \Rightarrow compensation avec dummy plus compliquée¹⁵).

b) La réduction de l'injection de charges

Afin de réduire le phénomène d'injection, on peut utiliser une structure qui augmente la valeur de la capacité de stockage C_H via le condensateur C_3 dont on met à profit l'effet Miller [LW91], [WCCC95], [GDG94] et [WH02b] dont le schéma de principe est illustré par la figure 2.10. Toutefois, contrairement à [WCCC95], la structure n'a pas besoin d'un buffer supplémentaire pour éliminer l'erreur de mode commun créée par l'injection de charges grâce à la structure symétrique différentielle de la mémoire de courant.

Ce type de circuit repose sur deux phases de fonctionnement : une phase d'échantillonnage et une phase de maintien (voir fig. 2.8). En outre, les 2 différentes phases de ce circuit sont explicitées à l'aide des figures 2.11 (a) et (b).

Ainsi durant la phase d'échantillonnage, tous les commutateurs sont fermés sauf P_2 (car point de sortie). Par conséquent, l'amplificateur opérationnel (noté OPAMP sur les schémas) de la mémoire de courant s'auto-polarise à sa tension de mode commun choisie proche de $V_{dd}/2$ pour optimiser la dynamique de sortie et le courant différentiel à mémoriser est échantillonné par la mémoire de courant. Durant cette phase, le couple capacitif (C_1, C_3) se charge de sorte à permettre au courant $I_{bias} + I_{in+}$ et $I_{bias} - I_{in-}$ de pouvoir traverser les transistors T_m . Juste avant de passer en mode de maintien, les commutateurs S_3 sont ouverts pour rendre actif l'effet Miller. Il est intéressant de noter que puisque ces commutateurs sont polarisés de la même manière juste avant d'être ouvert, les injections de charges induites par ces commutateurs dans les capacités d'entrée

¹⁵Difficulté de simulation des asymétries du MOS rond

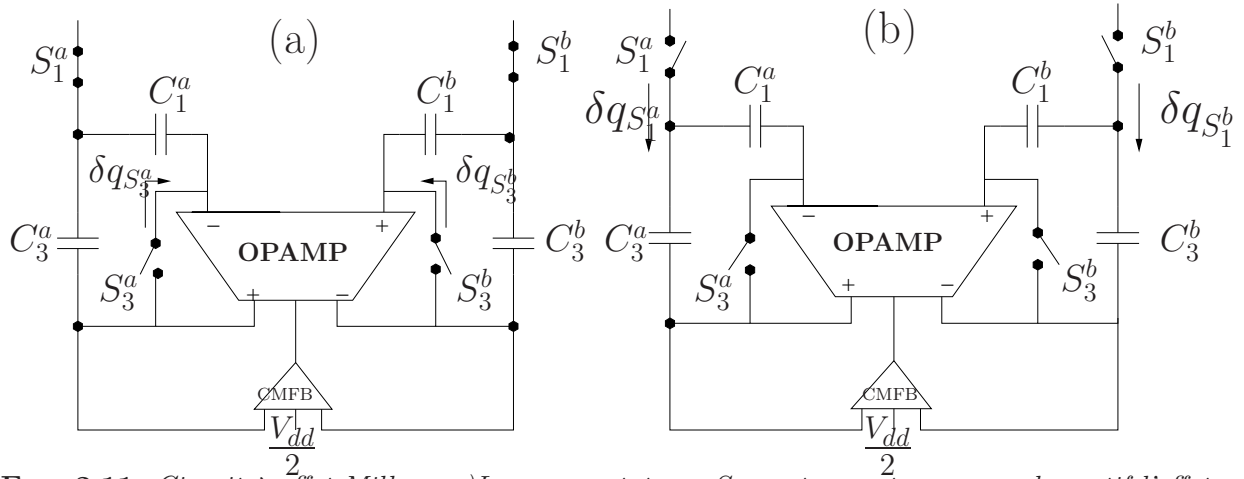


FIG. 2.11: Circuit à effet Miller : a) Les commutateurs S_3 sont ouverts pour rendre actif l'effet Miller ; b) Les commutateurs S_1 sont ouverts pour figer la valeur du signal d'entrée

de l'OPAMP et de C_1 doivent être non seulement identiques (à l'appariement près) mais aussi être indépendantes du signal d'entrée à mémoriser. Par conséquent, ces injections de charges apparaissent essentiellement comme une erreur de mode commun qui est rejetée par la structure différentielle de l'OPAMP et de la CMC. Ensuite, les commutateurs S_1 sont ouverts à leur tour. L'injection de charges causée par S_1 qui elle dépend du signal mémorisé est diminuée par l'utilisation de l'effet Miller. La tension différentielle d'erreur résultante ΔV_{diff} résultant de cette différence d'injection Δq [WCCC95] est donnée par :

$$\Delta V_{diff} \approx \frac{\Delta q}{2 C_{Miller}} \quad (2.26)$$

avec $C_{Miller} = (1 + \frac{A_d}{2}) \cdot C_3$ où A_d est le gain en boucle ouverte (sorties symétriques) de l'OPAMP et $\Delta q = \delta q_{S_1^a} - \delta q_{S_1^b}$ l'injection différentielle de charges (δq_{S_x} sont les charges injectées par S_x).

Remarque. Si l'on analyse en détail l'effet Miller à l'aide du principe de conservation de charges, on s'aperçoit que la capacité parasite C_p à l'entrée de l'OPAMP joue un rôle important si elle n'est pas négligeable devant C_1 . En effet, si l'on en tient compte, l'effet Miller est pondéré par le rapport $\frac{C_1}{C_p + C_1}$. On verra un peu plus loin qu'un autre effet parasite peut amoindrir l'effet Miller.

Par conséquent, le gain de plateau et la bande passante de l'OPAMP doivent être choisis de sorte à pouvoir atteindre une linéarité supérieure à 12bits. En utilisant l'équation (2.24), l'erreur différentielle en courant peut être approximée par (les transistors T_m fonctionnant en zone de forte inversion) :

$$\begin{aligned} \Delta I_d &= \delta I_{d(T_m^a)} - \delta I_{d(T_m^b)} \\ \Rightarrow \Delta I_d &= \alpha \frac{C_{ch}}{C_{Miller}} \left(1 + \frac{\gamma}{3}\right) I_{bias} m \end{aligned} \quad (2.27)$$

où α ($0 < \alpha < 1$) quantifie la proportion de charges injectées dans la capacité de maintien équivalente (en cas de commande rapide de l'horloge on a $\alpha=0.5$).

Pour atteindre la précision d'un CAN 12bits, la capacité équivalente $2 C_{Miller}$ doit être choisie de sorte à avoir $\Delta I_d < 25nA$ ($\frac{1}{2}$ LSB) pour un courant différentiel max de $200\mu A$

(soit encore $400\mu\text{App}$). A partir des équations (2.26) et (2.27) ainsi que du dimensionnement des commutateurs ($W=60\mu\text{m}$, $L=0.5\mu\text{m}$), le gain en boucle ouverte de l'OPAMP doit être supérieur à 52dB pour $\alpha = 0.5$ dans le pire des cas (en fait α est inférieur à 0.5 grâce à l'utilisation de dummies qui permettent de diminuer d'un facteur >3 l'injection de charges).

Afin de clore l'étude sur le système à effet Miller, il faut caractériser l'OPAMP complètement en terme de bande passante nécessaire. En effet, dans le but d'utiliser cette mémoire de courant dans un CAN pipeline en courant [WW99] dont chaque étage est composé de 2 CMCs, le temps d'établissement de l'OPAMP doit être inférieur à $t_{ac}/2$ ($<10\text{ns}$). Ceci permet la comparaison du courant mémorisé par rapport aux courants de référence pendant que l'autre CMC échantillonne le signal d'entrée. Les équations suivantes donnent une première estimation de la bande passante de l'OPAMP requise pour atteindre un temps d'établissement inférieur à 10ns. D'après eq. (2.26),

$$\Delta V_{diff}(p) = \frac{\Delta q(p)}{2 \left(1 + \frac{A_d(p)}{2}\right) \cdot C_3}$$

où $A_d(p)$ est le gain en boucle ouverte de l'OPAMP et $\Delta q(p)$ les charges injectées ($\Delta q(p) = \Delta q_{max}/p = C_3 \Delta V_{diffmax}/p$). Donc $\Delta V_{diffmax}$ est la tension maximale d'erreur obtenue sans effet Miller). Si l'on suppose que l'OPAMP se comporte comme un amplificateur opérationnel du 1^{er} ordre, alors on a :

$$\tau_{Opamp} \leq \frac{(1 + A_{d0})t_{ac}}{\ln\left(\frac{A_{d0}}{\gamma(1+A_{d0})-1}\right)} \quad (2.28)$$

$$\text{avec } \frac{\Delta V_{diff}(t)}{\Delta V_{diffmax}} = \gamma \quad \text{et} \quad A_d(p) = \frac{A_{d0}}{1 + \tau_{Opamp} p}$$

D'après eq. (2.28), pour un facteur de réduction de $\frac{1}{\gamma} = 100$, le produit Gain-Bande passante doit être supérieur à 70MHz pour $t_{ac} < 10\text{ns}$ avec un gain de 60dB. Par suite, la conception de cet OPAMP n'est pas réhibitoire comme pourrait l'être celui de l'OPAMP utilisé dans une structure similaire à celle de [Nai96]. La structure choisie de l'OPAMP est un amplificateur cascode replié différentiel avec un circuit de contrôle de mode commun (CMFB)(voir fig. 2.12). Il a été conçu pour avoir un gain voisin de 60dB et un produit gain-bande égal à 250MHz (non chargé) pour une marge de phase de 80° (donc un temps d'établissement d'environ 4ns).

Remarque. *En ce qui concerne la plage admissible de mode commun de l'OPAMP, il faut prendre garde aux commutateurs S_3 car l'injection de charges de ces commutateurs provoque un changement de la valeur du mode commun (car les 2 injections sont égales (à l'appariement près)). La plage d'entrée de mode commun pour une structure cascode repliée est plus grande que pour celle d'une structure cascode ampilée. Ici elle est comprise entre 0.8V et 2.8V.*

2.2 Réalisation et Résultats

a) Réalisation

La mémoire de courant a été conçue et réalisée en technologie ST BiCMOS $0.35\mu\text{m}$ en respectant les règles de conception citées dans la section 1.2 (voir Fig. 2.13). Afin de

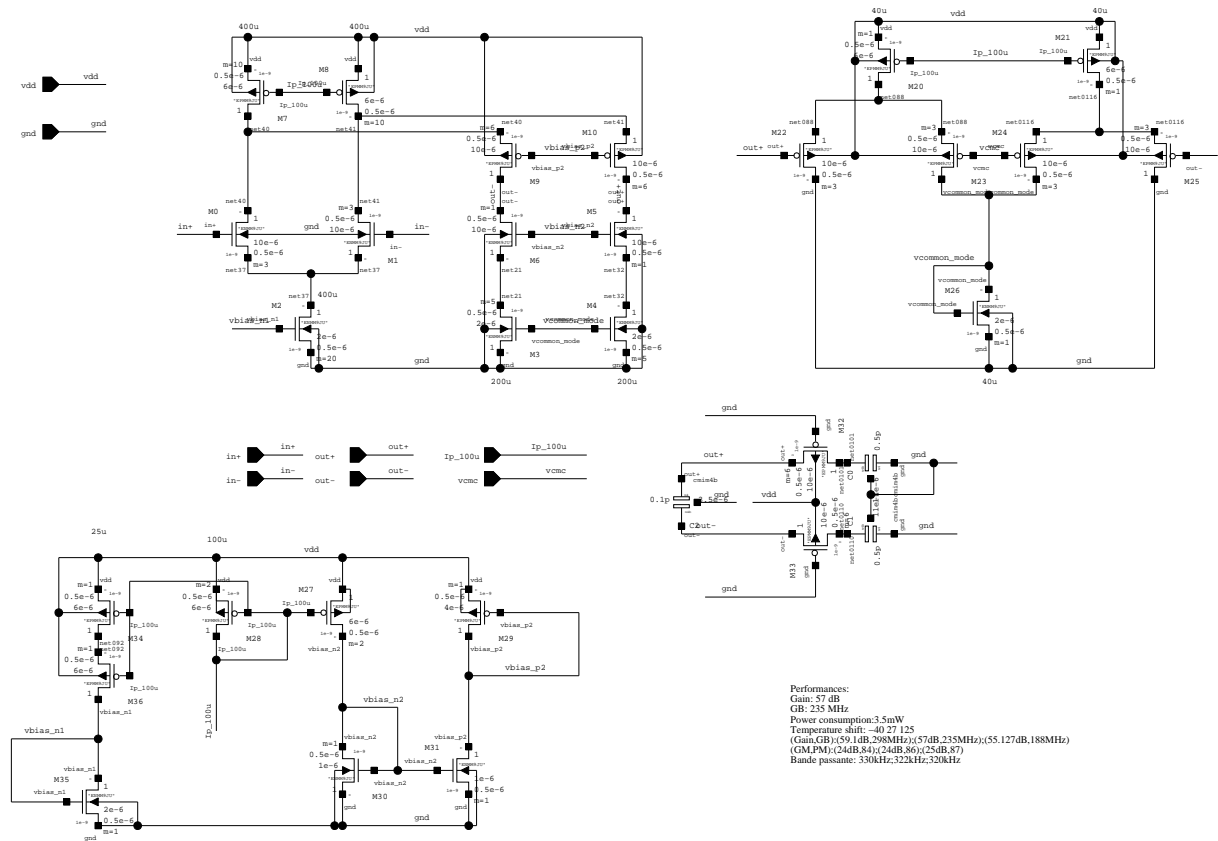


FIG. 2.12: Schéma électrique de l'Opamp avec son circuit de CMFB. Le circuit est inconditionnellement stable au gain unitaire.

pouvoir tester celle-ci et valider les concepts proposés, des circuits annexes ont dû être incorporés :

- Des circuits transimpédances : pour convertir l'information en courant en tension de sortie ($10\text{mV}/\mu\text{A}$).
- Des références en courant : pour fournir les signaux en courant à mémoriser
- Des buffers en tension : pour pouvoir sonder directement les tensions de grilles des transistors T_m et les nœuds d'entrée de la mémoire.
- Des circuits logiques : pour piloter les sources de courant et les différents commutateurs analogiques qui permettent d'obtenir les différents modes de test.

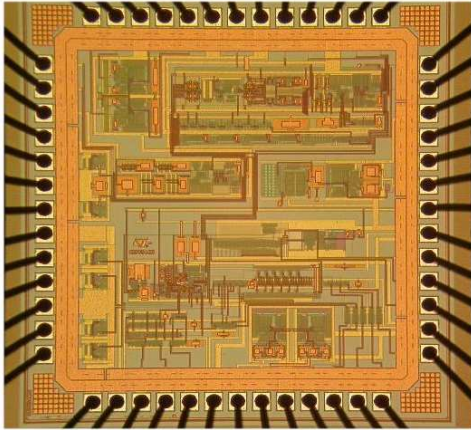
Un schéma synoptique du circuit implémenté est représenté sur la figure 2.14.

Le système ainsi réalisé permet de tester la mémoire de courant dans différentes configurations :

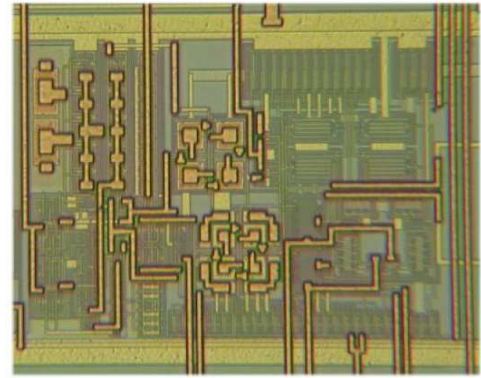
- Mémorisation sans effet Miller et sans dummies SMSD
- Mémorisation sans effet Miller avec dummies SMAD
- Mémorisation avec effet Miller et sans dummies AMSD
- Mémorisation avec effet Miller et avec dummies AMAD

Ces différentes configurations permettent de mieux quantifier l'apport des méthodes de réduction du phénomène d'injection de charges.

Remarque. Pour améliorer la précision des mesures, le circuit de test fait appel à des amplificateurs d'instrumentation AD622 avec un gain de 20 pour mesurer la tension différentielle entre les grilles des transistors T_m .



(a) Puce complète comprenant : un circuit échantillonneur bloqueur, une tension de référence de type Bandgap, les courants de référence, la cellule de mémoire de courant, des circuits logiques de configuration, les buffers et les circuits transimpédances.



(b) Mémoire de courant

FIG. 2.13: Photos des circuits intégrés réalisés

b) Tests quasi-statiques

Ces tests sont effectués avec une horloge à 100kHz. Les buts de ces tests sont :

- Analyser l'évolution du V_{diff} ¹⁶ de la paire différentielle de la mémoire de courant en fonction du courant à mémoriser.
- Analyser le phénomène d'injection de charges pour en déduire la résolution atteinte par la mémoire de courant.

a) Analyse du V_{diff_m}

Pour mesurer l'évolution de V_{diff} en fonction du courant à mémoriser, on utilise les buffers dynamiques qui sondent les tensions des grilles des transistors mémoires T_m pour différentes valeurs des courants de référence appliqués. La mémoire de courant est mise en mode d'échantillonnage. Le graphe 2.15 est ainsi obtenu. La dynamique totale est d'environ 260mV pour V_{diff} pour une variation de $200\mu A$ du courant mémorisé.

L'analyse de cette courbe met en évidence un comportement linéaire de V_{diff} en fonction du courant à mémoriser. Ceci correspond bien au fonctionnement de la structure différentielle symétrique. En effet, on a :

$$\begin{aligned} I_m^a &= \frac{\beta}{2} (V_{gs_m}^a - V_{th})^2 \\ I_m^b &= \frac{\beta}{2} (V_{gs_m}^b - V_{th})^2 \\ 2 I_{bias} &= I_m^a + I_m^b \end{aligned}$$

¹⁶La tension V_{diff} représente la tension différentielle qui existe entre les tensions V_{gs} des transistors de mémoire T_m

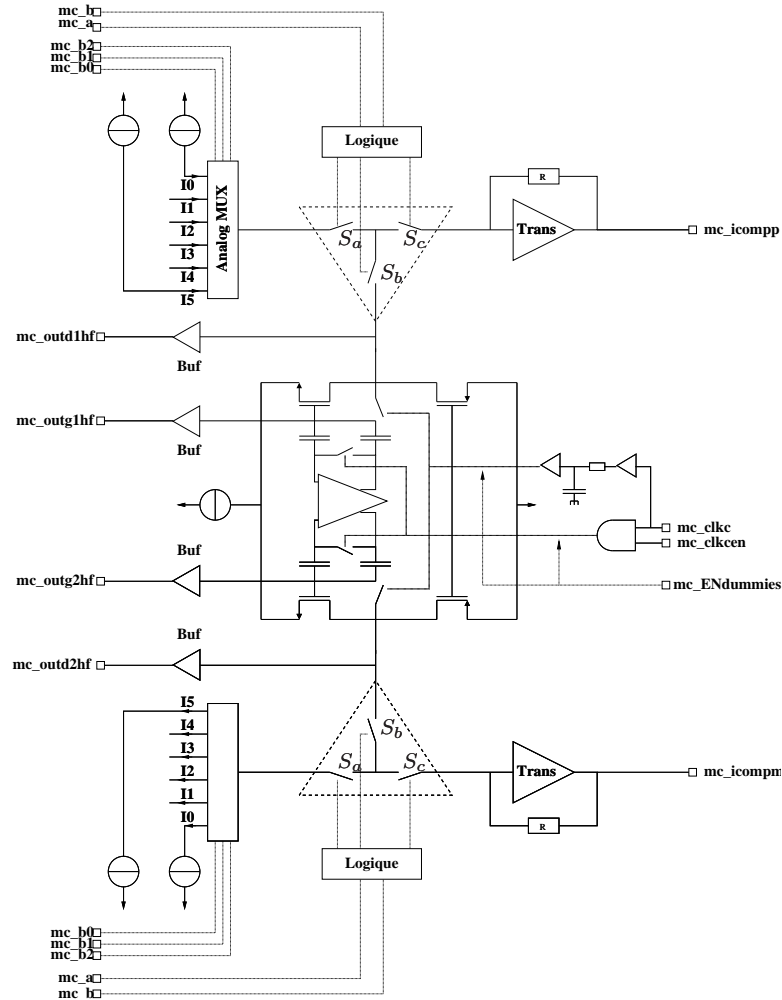


FIG. 2.14: Schéma synoptique de la cellule de mémoire de courant conçue en ST BiCMOS $0.35\mu\text{m}$

avec $I_m^a = I_{bias}(1 + m)$ le courant de drain de T_m^a (et I_m^b de T_m^b) (voir Fig. 2.8).

$$\text{D'où } V_{diff} = V_{gs_m}^a - V_{gs_m}^b = \sqrt{\frac{2 I_{bias}(1 + m)}{\beta}} - \sqrt{\frac{2 I_{bias}(1 - m)}{\beta}} \quad (2.29)$$

Par développement limité, on obtient l'équation (2.30) qui correspond bien à un comportement linéaire au premier ordre.

$$V_{diff} = \sqrt{\frac{2 I_{bias}}{\beta}} \left(m + \frac{1}{8} m^3 + o(m^5) \right) \quad (2.30)$$

b) Analyse du $\Delta V_{diff_s}^s$ sans effet Miller

Si l'on s'intéresse à présent au phénomène d'injection de charges, il faut mettre la mémoire de courant en mode d'échantillonnage/blocage. Dans le cas où l'effet Miller est désactivé (sans effet Miller), l'amplificateur opérationnel reste en mode suiveur. La courbe 2.16 répertorie l'erreur en tension constatée sur V_{diff} en fonction du courant à mémoriser. A partir des données ainsi obtenues, une bonne approximation linéaire par la méthode des moindres carrés peut être effectuée (I en μA et $\Delta V_{diff_s}^s$ en mV) :

$$\Delta V_{diff_s}^s \approx -0.47 + 12.85 \cdot 10^{-3} I \quad (2.31)$$

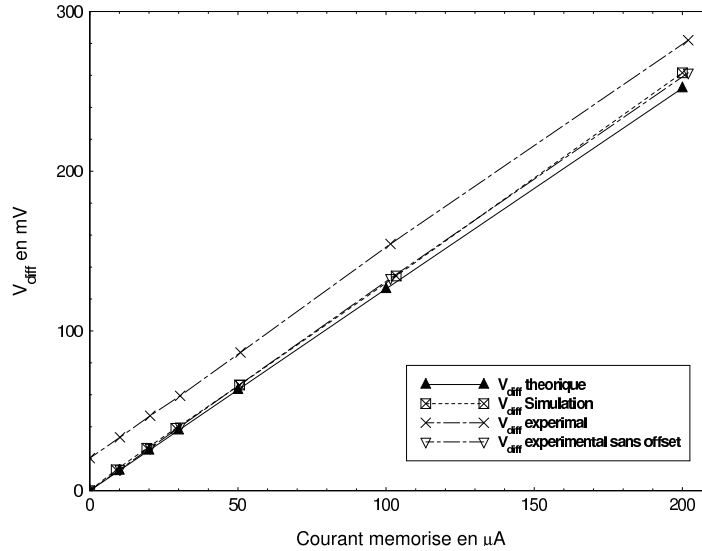


FIG. 2.15: Evolution de V_{diff} en fonction du courant à mémoriser

L'erreur relative maximale due à cette approximation est de $\pm 1\%$ maximum. Cette étude confirme parfaitement l'étude théorique précédente qui modélise l'injection de charges dans une mémoire de courant différentielle symétrique (eq. (2.22) et (2.24)). On note aussi la présence d'un offset qui est dû au désappariement entre les capacités de maintien et les commutateurs analogiques. Cet offset permet d'évaluer l'erreur relative à l'appariement : 2.5%.

De plus, à partir des figures 2.15 et 2.16 et de l'équation (2.24), on peut déduire le coefficient α d'injection. Ici, il est voisin de 0.25, ce qui signifie que les dummies utilisés permettent de réduire d'un facteur 4-5 environ l'injection de charges (si l'on se place dans le cadre d'un partage équitable des charges entre la source et le drain correspondant à $\alpha = 0.5$ sans les dummies).

Si l'on se ramène en courant, on obtient à partir des équations (2.23) et (2.31) :

$$\Delta I_{ds} \approx g_m (-0.47 \cdot 10^{-3} + 12.85 \cdot 10^{-6} I)$$

avec $g_m = 0.7mS$.

c) Analyse du $\Delta V_{diff_m}^s$ avec effet Miller

Grâce aux circuits qui permettent différentes configurations de test (Fig. 2.14), il est possible de tester la mémoire avec ou sans effet Miller en contrôlant le commutateur S_3 (fig 2.10). Aussi, la quantification de l'amélioration apportée par l'effet Miller est plus simple. Le graphe 2.17 obtenu à partir de données expérimentales met en évidence l'erreur de tension différentielle provoquée par l'injection de charge ΔV_{diff} sans et avec effet Miller. Ainsi la précision brute¹⁷ de la mémoire de courant sans effet Miller est inférieure à 5.7bit ($\Delta V_{diff_s}^s \approx 2.5mV$) et celle avec effet Miller est de l'ordre de 10bit ($\Delta V_{diff_m}^s \approx 0.125mV$) (erreur 1/2 LSB). L'approximation des moindres carrés (déviations maximale de 1.25%) donnent l'expression suivante (I en μA) :

$$\Delta V_{diff_m}^s \approx -4.25 \cdot 10^{-3} + 0.625 \cdot 10^{-3} I \quad (2.32)$$

¹⁷On entend par précision brute : l'erreur commise / le signal utile

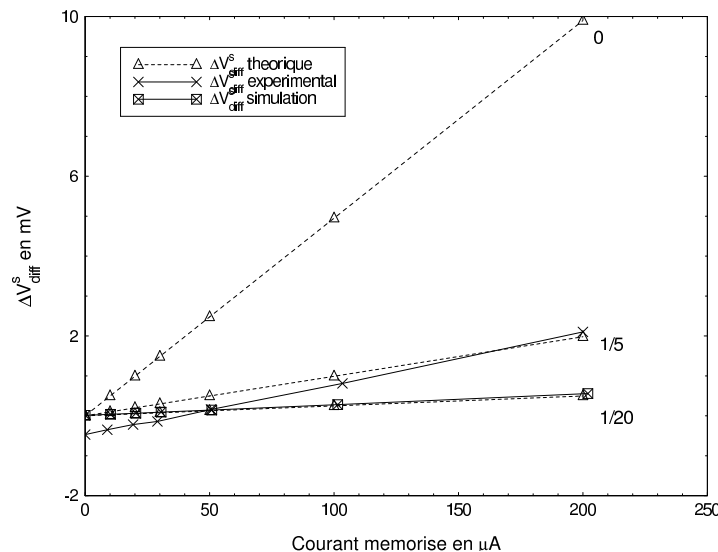


FIG. 2.16: Evolution du $\Delta V_{diff_s}^s$ en fonction du courant à mémoriser sans effet Miller. Les courbes théoriques représentent l'erreur induite sans dummy (0) et avec des dummies permettant de réduire de 80% (1/5) et 95% (1/20) les charges injectées

Par conséquent, la variation de tension $\Delta V_{diff_m}^s$ peut être approximée par une fonction f telle que :

$$f(x) = ax + b + \epsilon_f(x) \quad (2.33)$$

où ϵ_f représente la composante non-linéaire avec :

$$\forall x \quad \left| \frac{\epsilon_f(x)}{f(x)} \right| < 2\%$$

Ainsi à partir des équations (2.22) et (2.24), la linéarité de la mémoire de courant peut être évaluée. Elle est de 15bits (1/2 LSB) pour $|\epsilon_f| < 2\%$. Il est toutefois à noter que cette évaluation est qualitative de par les imprécisions de mesures puisque sans la composante d'offset, la déviation maximale de $\Delta V_{diff_m}^s$ est de seulement $125\mu V$ (sensibilité verticale de l'oscilloscope $10mV/div$ avec une résolution verticale de 8bits $\Rightarrow \pm 0.2mV \Rightarrow \approx \pm 10\mu V$ (pour la mesure sans l'amplification de l'AD622 d'un facteur 20)) .

L'analyse à la fois des données expérimentales et de simulations montrent toutes deux que l'effet Miller apporte une amélioration nette sur la réduction de l'injection de charges. Toutefois, cette réduction est bien moindre que celle calculée théoriquement qui s'approche du facteur 700 (comparer les figures 2.17 (a) et (b)). Expérimentalement la réduction apportée par effet Miller est comprise entre 10 et 20 suivant les puces testées. L'explication la plus simple pour tenir compte de cette baisse de gain provient de la non prise en compte dans les calculs de la capacité parasite C_{0_2} qui existe entre l'entrée et la sortie de l'amplificateur opérationnel qui permet l'effet Miller (voir Fig. 2.18). Ainsi, si l'on affine les calculs en se basant sur la figure 2.18, on peut écrire (version asymétrique) :

$$Q_A^i = (C_3 + C_1) V_{in}^i \quad (2.34)$$

$$Q_A^f = Q_A^i + \delta q_{inj} = (C_3 + C_1) V_{in}^f - C_1 V_p - C_3 V_{out} \quad (2.35)$$

$$Q_P^i = -C_1 V_{in}^i \quad (2.36)$$

$$Q_P^f = -C_1 V_{in}^f + (C_{0_1} + C_1 + C_{0_2}) V_p - C_{0_2} V_{out} \quad (2.37)$$

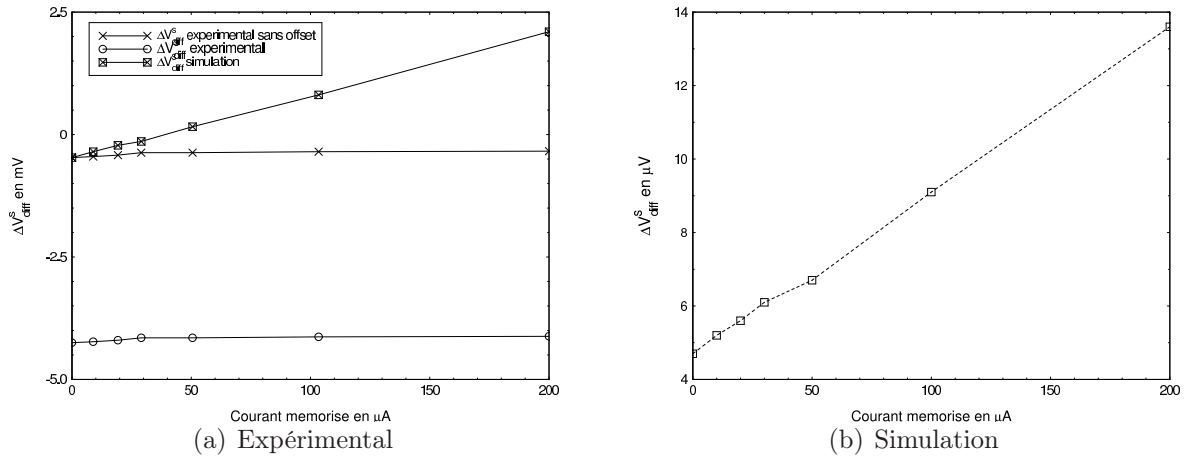
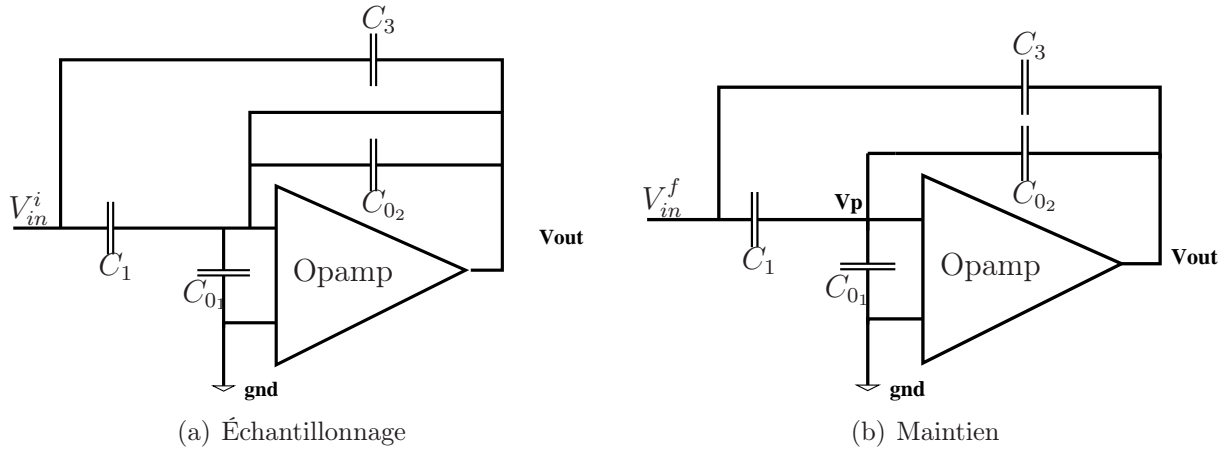
FIG. 2.17: ΔV_{inj} sans et avec effet Miller

FIG. 2.18: Effet Miller et capacités parasites

A partir de ces équations, on peut en déduire la variation finale de tension $\Delta V_{in} = V_{in}^f - V_{in}^i$.

$$\Delta V_{in} = \frac{\delta q_{inj}}{C_3 + C_1 + \frac{A_d C_3 - C_1}{C_{01} + C_1 + (1 + A_d) C_{02}}} C_1 \quad (2.38)$$

L'équation (2.38) met en évidence la présence d'une terme parasite ς qui vient pondérer l'effet Miller :

$$C_{Miller} \approx \frac{(1 + A_d) C_3}{\varsigma}$$

avec $\varsigma = C_1 / (C_1 + (1 + A_d) C_{02})$ et en négligeant C_{01} . Par suite, si $A_d \gg 1$, on a :

$$\Delta V_{in} = \frac{\delta q_{inj}}{C_3 \left(1 + \frac{C_1}{C_{02}}\right) + C_1}$$

Ainsi même si la capacité parasite C_{02} est faible, le terme ς peut être grand. De plus, si le gain A_d de l'amplificateur est très grand, l'apport obtenu par l'effet Miller est donné par le rapport entre C_1/C_{02} (fig 2.19). C'est pourquoi, il est nécessaire d'avoir une capacité C_1 grande devant la capacité parasite. Par contre, il n'est pas nécessaire d'avoir un gain A_d trop fort.

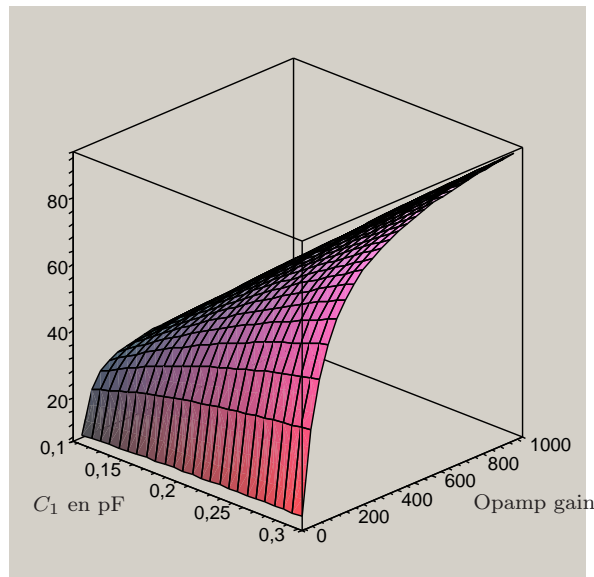


FIG. 2.19: Capacité vue par effet Miller C_{Miller} pour $C_3=1pF$, $C_{0_2}=3fF$ et $C_{0_1}=0$

Pour mettre en avant cette hypothèse, des simulations complémentaires ont été effectuées avec différentes valeurs de C_1 et C_3 . En observant la variation de tension par rapport aux charges injectées et à partir de l'équation (2.38), on peut obtenir une valeur approchée de cette capacité parasite C_{0_2} .

	ΔV_{in}	δq_{inj}	C_{0_2} estimée
$(C_1, C_3)=(0.25pF, 0.6pF)$	$14\mu V$	$0.410fC$	$4.8fF$
$(C_1, C_3)=(2.5pF, 0.6pF)$	$3\mu V$	$0.491fC$	$5fF$
$(C_1, C_3)=(0.25pF, 6pF)$	$0.9\mu V$	$0.8fC$	$1.5fF$

TAB. 2.3: Evaluation de la capacité parasite C_{0_2}

Une approximation raisonnable de cette capacité est alors $C_{0_2} = 3fF$. En outre, cette capacité parasite est a priori supérieure dans la puce de par les capacités parasites liées au layout, ce qui peut expliquer la différence avec la simulation.

En ce qui concerne l'injection de charge différentielle, on constate que celle-ci est peu dépendante des capacités vues (Tab. 2.3). Ceci est en accord avec une distribution équitable des charges du commutateur S_1 entre drain et source. Néanmoins, des simulations complémentaires montrent que l'injection de charges sans effet Miller est 2 fois plus petite que lorsque l'armature des capacités connectées à la sortie de l'amplificateur est connectée à la masse. Cet effet peut s'expliquer par le fait qu'en transitoire l'impédance vue par le commutateur S_1 est bien plus grande du côté des capacités de maintien à cause de l'amplificateur opérationnel qui ne réagit pas instantanément. Il faut tenir compte de cet aspect pour ré-hausser d'un facteur 2 le gain obtenu par effet Miller \rightarrow 20-40.

De plus, il est intéressant de remarquer l'offset de $-4mV$ sur le graphe 2.17 qui est dû au problème d'appariement¹⁸ entre les commutateurs S_3 (fig 2.10). L'activation des dummies pour ces commutateurs permet de diminuer l'offset observé d'environ 30%. Il est aussi intéressant de noter que cet offset est quasiment stable pour l'ensemble des puces testées

¹⁸L'appariement est moins bon que pour le commutateur S_1 à cause de sa taille qui est plus petite que pour S_3

(voir tableau), ce qui laisse supposer qu'une partie de cet offset est due au non-symétrie du layout. Cette erreur d'offset se traduit par une erreur constante (donc un offset) en courant.

Puce	1	2	3	4	5	6
Offset	4.7mV	4.2mV	4.15mV	4.25mV	3.6mV	4mV

TAB. 2.4: Offset mesuré sur le ΔV_{inj}^m avec dummies

c) Tests dynamiques

Les tests dynamiques ont pour but de mettre en évidence le bon fonctionnement de la mémoire de courant et de mesurer le temps d'établissement de la mémoire de courant.

a) Fonctionnement échantillonneur-bloqueur

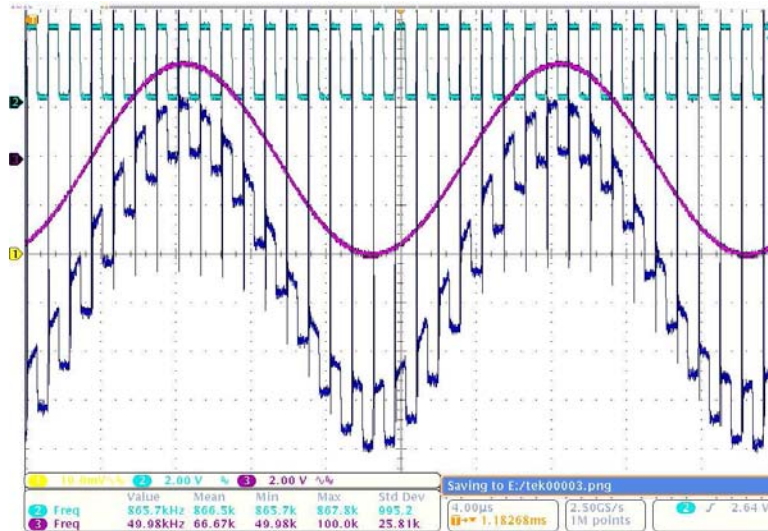


FIG. 2.20: Visualisation du phénomène d'échantillonnage-blocage d'un signal sinusoïdal de fréquence 50kHz avec une fréquence d'horloge de 850kHz et sans effet Miller

Le fonctionnement échantillonneur-bloqueur ne peut être directement mis en évidence par les méthodes de test précédentes dont l'objectif était de quantifier les performances en terme de précision et de linéarité de la cellule de mémoire de courant. Les sources de courant de référence étant fixe, l'idée consiste à moduler le courant de polarisation de l'ensemble de la puce. Cette modulation permet de moduler par là-même les références de courant. Ainsi si une modulation de type sinusoïdale est appliquée, l'évolution de la tension V_{gs} d'un transistor T_m est retranscrite sur l'oscillogramme 2.20 pour une modulation de l'ordre de $\pm 40\%$ du courant de référence de $100\mu A$ et donc aussi de tous les courants de polarisation de la mémoire de courant. Si la modulation est de type triangulaire, l'oscillogramme 2.21 est obtenu.

Il est aussi possible d'observer la modulation des courants de sortie via les transimpédances dont la résistance de transfert $R_f = 10k\Omega$. On obtient ainsi l'oscillogramme 2.22.

Il est intéressant de remarquer que malgré la forte modulation des courants de référence et des courants de polarisation de la mémoire de courant, le bon fonctionnement

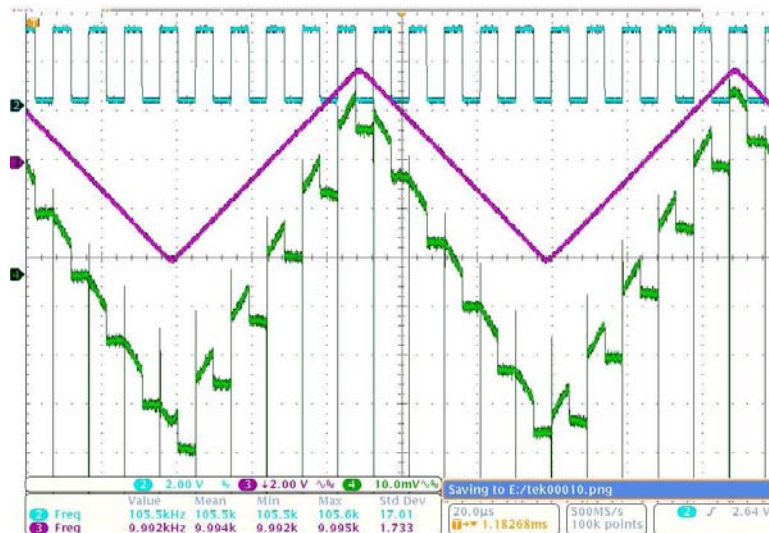


FIG. 2.21: Visualisation du phénomène d'échantillonnage-blocage d'un signal triangulaire de fréquence 10kHz avec une fréquence d'horloge de 100kHz et effet Miller

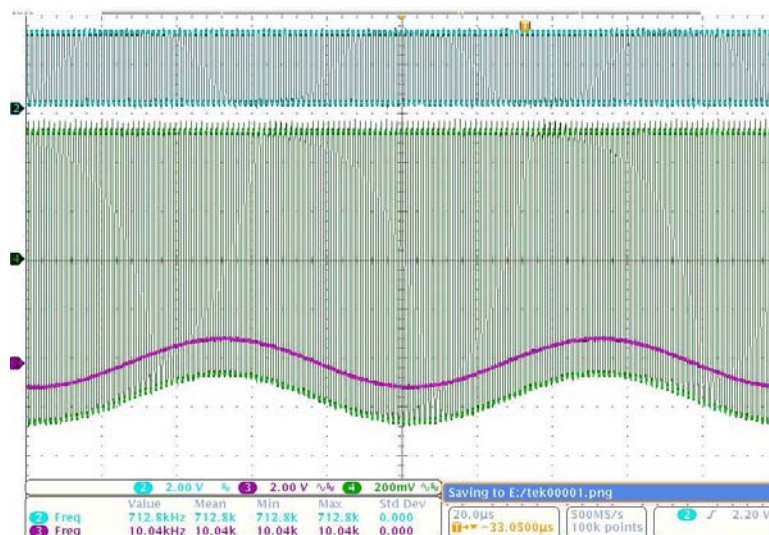


FIG. 2.22: Visualisation du phénomène d'échantillonnage-blocage d'un signal sinusoïdal de fréquence 10kHz avec une fréquence d'horloge de 700kHz

de la mémoire est observée. L'observation du graphe 2.21 met en évidence au moment du blocage la présence d'un offset constant dû à l'injection de charges avec effet Miller.

Toutefois, ces tests de modulations ont aussi permis de mettre en évidence un problème de réjection de mode commun en courant. En effet, la modulation de la source de courant de la paire différentielle de la mémoire de courant n'est pas éliminée par la symétrie du circuit. En fait, cette symétrie est mise en défaut par la présence d'une tension différentielle V_{diff} non nulle. C'est pourquoi, bien que l'information contenue dans V_{diff} soit conservée comme en atteste les graphes 2.20 et 2.21, le courant de sortie mémorisé n'est pas constant mais est modulé par la modulation des sources de courant.

Cette remarque est importante pour le calcul du bruit. En effet, cela implique que le bruit généré par la source de courant de la paire différentielle induit un bruit en courant différentiel (et non de mode commun) en sortie. Par conséquent, le bruit de cette source de courant doit être a priori pris en compte.

b) Mesure du temps d'établissement

Enfin pour pouvoir mesurer le temps d'établissement, la mémoire de courant est mise en mode échantillonnage et l'on fait basculer brutalement le courant différentiel à mémoriser de $200\mu A$ à 0 avec un courant de polarisation de $I_{bias} = 250\mu A$. On obtient alors le graphe 2.23. Le temps d'établissement expérimental est difficile à déterminer à cause de signaux parasites (problèmes de compatibilité électromagnétique de la carte de test) et est évalué à environ 50ns. Or la simulation montre un temps d'établissement de 21.2ns pour une résolution de 14bit, ce qui est en accord avec les calculs théoriques.

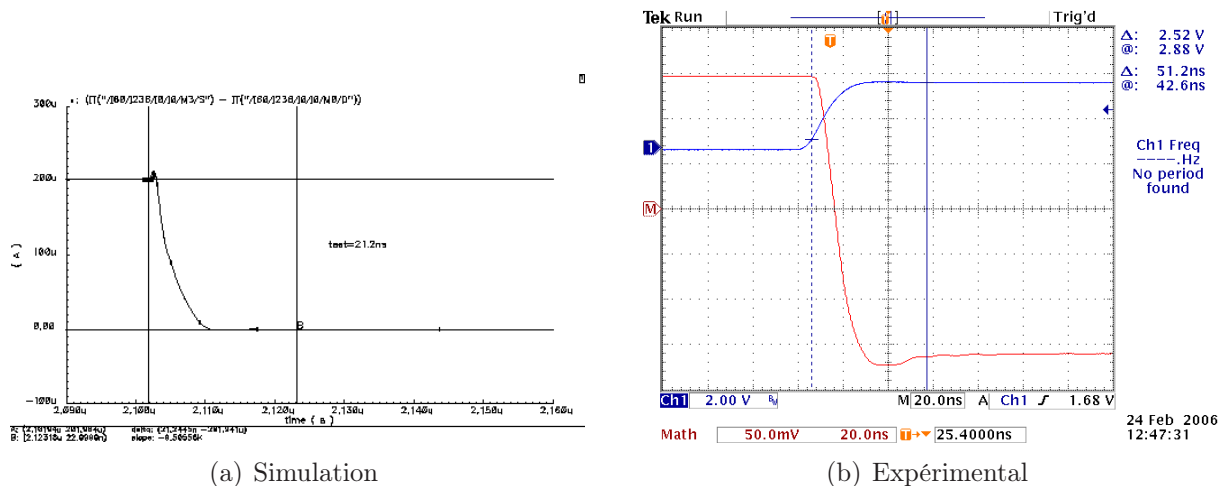


FIG. 2.23: Temps d'établissement de la mémoire de courant

d) Tests de fonctionnalité sous environnement spatial

Le circuit intégré a été implémenté de sorte à pouvoir mieux résister à l'environnement agressif spatial. Ainsi, des tests en température de la puce sont nécessaires ainsi que des tests sous radiation (dose) pour la qualifier.

a) Test en température

Dans l'espace, les circuits intégrés doivent pouvoir fonctionner sur une plage de température allant de $-40^{\circ} C$ à $125^{\circ} C$. Le circuit intégré qui a été implémenté a donc été testé en température à l'aide d'une étuve. Les mesures effectuées ont pour but de mettre en évidence le bon fonctionnement du circuit sous cette plage de température. Lors de ces mesures, la tension de mode commun est prise égale à 1V au lieu des 1.65V sans modification de la valeur des intensités de courant de référence et de polarisation.

L'évolution de V_{diff} est en accord avec la dégradation de la mobilité des porteurs de charges dans le canal des transistors MOS avec la température.

Il est intéressant de remarquer que la précision absolue de la mémoire de courant ne varie que très peu sur l'ensemble de la plage de température bien que le gain par effet Miller chute pour les hautes températures. Ceci s'explique par une moins forte injection de charges sans effet Miller (une réduction d'environ un facteur 5 par rapport à $T=36^{\circ} C$). Au contraire, les simulations ne montrent pas de variations significatives du gain par effet Miller voisin de 80.

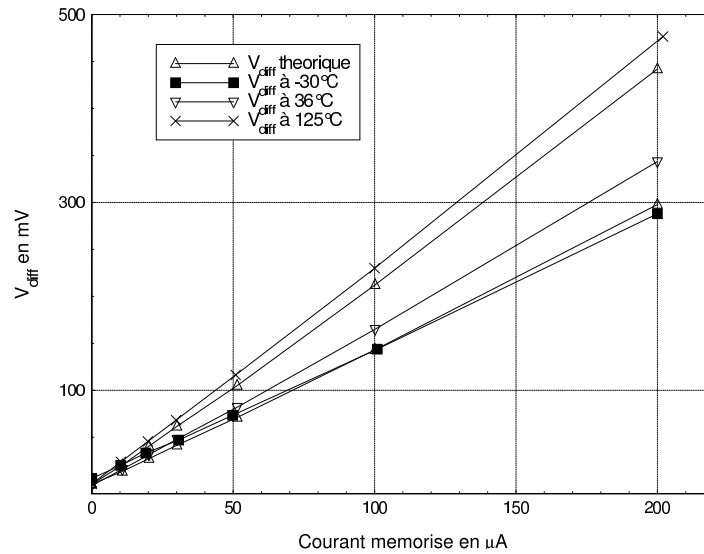


FIG. 2.24: Influence de la température sur V_{diff} . Pour les courbes théoriques, on s'est servi de la courbe obtenue à 36 °C comme référence et on a tenu compte de la loi pour la mobilité suivante $\mu(T) = \mu(300) \cdot (T/300)^{-k}$ avec $k=2$. (Données expérimentales)

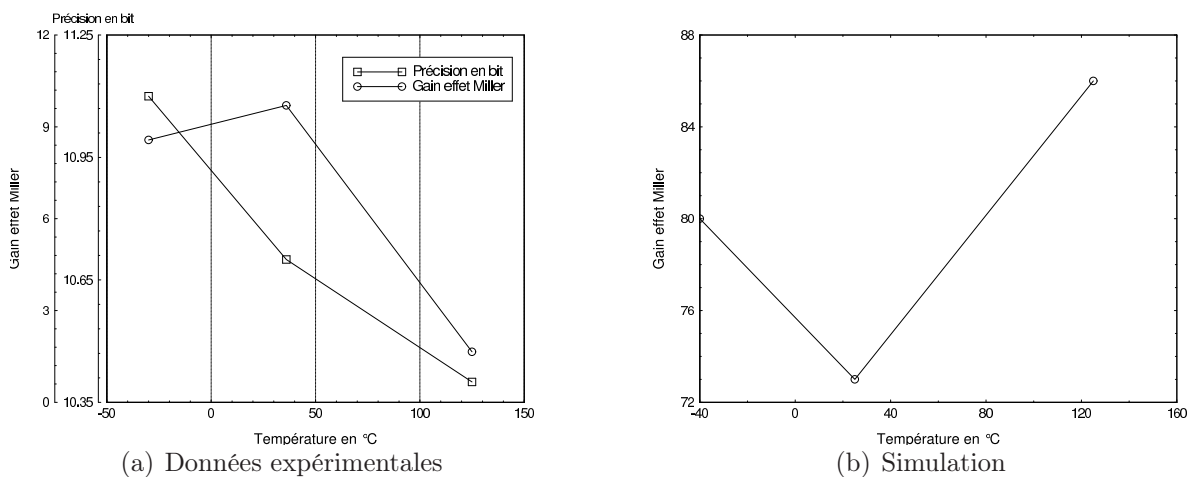


FIG. 2.25: Evolution du gain par effet Miller et de la précision absolue de la mémoire de courant en fonction de la température.

b) Test sous radiation

La campagne de tests sous radiations doit avoir lieu en Septembre 2006. Cette campagne soumet plusieurs circuits intégrés polarisés et en fonctionnement (horloge active) à des doses reçues de radiation progressive. Elle permet de quantifier la dose maximale que peut recevoir le circuit intégré sans que sa fonctionnalité et ses performances soient altérées.

2.3 La mémoire de courant et le CAN pipeline

Dans la section 1.1, l'architecture générale d'un convertisseur pipeline a été présentée. Ainsi à chaque étage du convertisseur, le signal d'entrée est quantifié grossièrement

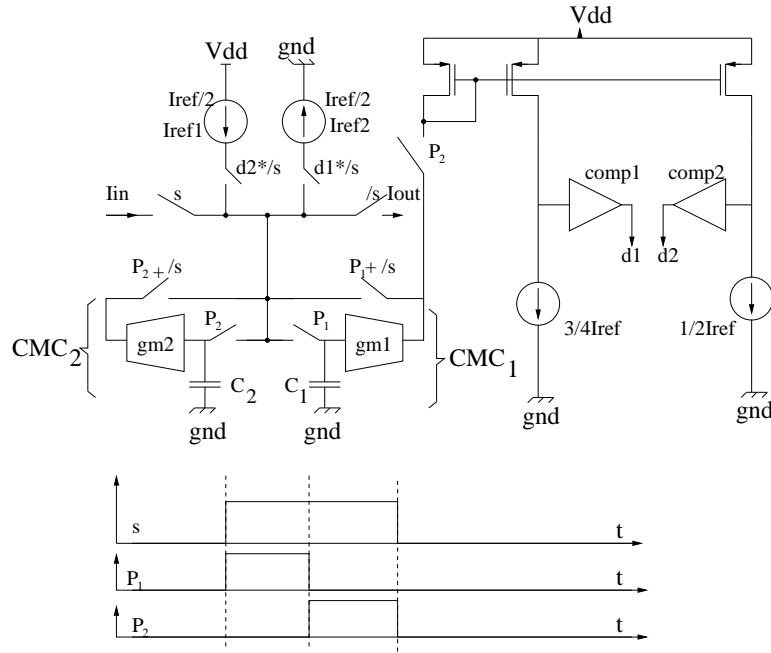


FIG. 2.26: Diagramme de fonctionnement d'un étage d'un convertisseur pipeline en courant

en B bits à l'aide de comparateurs. De plus, pour chaque étage, le signal de résidu est obtenu après avoir effectué une amplification d'un facteur $2B$. Dans le cadre plus particulier des CAN en *courant*, cette opération d'amplification¹⁹ est réalisée à l'aide de 2^B cellules de mémoire de courant (CMC) mises en parallèle²⁰. Cela implique donc la nécessité d'échantillonner le signal de façon séquentielle à l'aide de 2^B CMCs et donc une durée d'échantillonnage égale à $2^B T_s$.

La figure 2.26 illustre le fonctionnement d'un étage 1.5bits d'un convertisseur en *courant*. Durant la première phase P_1 (fig.2.26), le courant est mémorisé par la CMC₁ ; puis durant P_2 , il est mémorisé dans CMC₂ pendant que le courant mémorisé par CMC₁ est comparé à 2 courants de référence. Enfin, suivant le résultat donné par les comparateurs, les courants mémorisés dans les 2 CMCs sont sommés avec un courant de référence Iref₁ ou Iref₂ pour constituer le signal d'entrée de l'étage suivant. Comme il a été précédemment énoncé, la vitesse d'échantillonnage du CAN dépend fortement de la résolution par étage (B bits) et du temps d'acquisition par étage. Ainsi, la vitesse d'échantillonnage de la structure décrite plus haut est moitié moindre que celle d'une CMC. Par conséquent, si une telle architecture est utilisée, le temps d'acquisition de la CMC doit être diminué pour améliorer la vitesse d'échantillonnage. Cependant, bande-passante et bruit sont étroitement liés. Aussi, une autre manière d'augmenter la vitesse consiste à utiliser une structure imbriquée (parallélisme) au dépend de la puissance consommée. Enfin, une autre méthode développée dans la section 8.2 permet d'effectuer une copie simultanée erronée²¹ des mémoires de courant et donc de multiplier par 2 la vitesse d'échantillonnage de la structure.

¹⁹La précision de cette amplification est directement proportionnelle à celle des CMCs

²⁰Dans le cas de faible résolution ($< 8bits$) cette opération peut être réalisée à l'aide de recopie par miroir de courant

²¹à cause des appariements entre les transistors

Conclusion

Le tableau 2.3 résume les performances principales obtenues avec la mémoire de courant proposée. La résolution brute de la mémoire de courant est de 10bits (1/2 LSB). Bien que ce soit en dessous des résultats prévus par la théorie et la simulation, cette cellule dispose d'une très grande linéarité de 15bits environ. Cette linéarité est plus grande que pour [WHT03], [Nai96], [GDG94] et [WCCC95]. Dans le cadre d'un convertisseur pipeline, cette grande linéarité assure que la non-linéarité différentielle (NLD) du CAN construit autour de cette cellule de mémoire de courant soit très faible (voir section 2). En outre, le facteur de gain g_i tel que $I_{\text{memorisé}} = g_i I_{\text{entrée}}$ est ici de l'ordre de < 1.0012 assure que la réduction de la plage dynamique d'entrée est minimale²². Cette erreur de gain peut être comparée à celle obtenue avec les structures en tension (voir section 7.2) qui est directement liée aux appariement des capacités utilisées. Ainsi, l'erreur de gain commise avec la mémoire de courant est similaire à celle obtenue pour une structure en tension où l'appariement est voisin de 0.1% grâce à l'utilisation de méthodes d'ajustement²³. On peut aussi remarquer que la mémoire de courant sans effet Miller dispose elle aussi d'une grande linéarité. Ceci laisse entrevoir la possibilité de concevoir une CMC plus simple.

Ainsi un convertisseur analogique-numérique de 12bits de linéarité peut être réalisé en utilisant cette mémoire de courant et en prenant en compte les méthodes de durcissement aux radiations spatiales (pour obtenir la précision de 12 bits, une correction de gain globale est nécessaire).

L'utilisation de commutateurs analogiques en PMOS ne pénalise pas fortement la linéarité de la structure et renforce le durcissement de la cellule aux radiations. La méthode de réduction du phénomène d'injection de charges par effet Miller s'est avérée moins performante que prévu en terme de gain pur mais permet de diviser par un facteur 20 en moyenne l'erreur commise sur V_{diff} ce qui correspond environ à un gain de 4bits en terme de précision et de linéarité. Aussi, pour améliorer le gain apporté par la structure à effet Miller, une attention particulière doit être prise pour limiter les couplages capacitifs parasites et une structure plus simple pour l'amplificateur opérationnel peut être utilisée (gain plus faible). Il est intéressant de noter que cette méthode de réduction de l'injection de charges par effet Miller peut être aussi utilisée dans le cadre des structures en tension. Ainsi, à travers la thèse de Denis Standarovski [Sta05], la structure d'échantillonneur-bloqueur basée sur ce principe est apparue comme la plus adéquate pour de hautes résolutions.

Par conséquent, tout en respectant des règles de conception (circuit et layout) pour le domaine spatial, cette mémoire de courant a permis de valider :

1. l'étude de l'impact de l'injection de charges sur les structures en courant.
2. l'intérêt de la structure à effet Miller et des effets parasites à prendre en compte.
3. la faisabilité de mémoire de courant à grande linéarité (15bits).
4. le problème de bruit des cellules en courant.

Remarque. *Les capacités utilisées dans la CMC proposée à savoir C_3 et C_1 pourraient être remplacées par des capacités MOS pour pouvoir assurer une compatibilité totale avec les technologies CMOS. Ces capacités MOS devraient alors être polarisées de sorte à ce*

²²valeur à comparer avec le système d'amplification en tension à capacités commutées qui en natif (sans trimming) est proche de $1 \cdot 10^{-2}$

²³trimming

	Théorie	Simulation	Test	
			sans Miller	Avec Miller
Tension d'alimentation	$3.3V - 2.8V$	$3.3V - 2.8V$	$3.3V$	$3.3V$
Plage de mode commun	$0.8V - 2V$	$0.8V - 2V$	$0.9V - 2V$	$0.9V - 2V$
CMOS	$0.35\mu m$	$0.35\mu m$	$0.35\mu m$	$0.35\mu m$
Plage en courant	$\mp 200\mu A$	$\mp 200\mu A$	$\mp 200\mu A$	$\mp 200\mu A$
I_{bias}	$250\mu A$	$250\mu A$	$250\mu A$	$250\mu A$
Temps d'établissement	$22ns$	$21.2ns$	$50ns$	$50ns$
Vitesse d'échantillonnage	$20MS/s$	$20MS/s$	$10MS/s$	$10MS/s$
Précision $\frac{1}{2}LSB$	13 bits	13bits	$< 5.7bits$	10bits
Linéarité	$\gg 13bits$	$\gg 13bits$	12.5bits	15bits
Gain effet Miller	700	80	0	$20 \ll 40$
Gain de recopie	1	1	1.019	1.0012
SNR	65dB	-	-	-
Consommation	6mW	6mW	6mW	6mW
Surface (μm^2)	-	-	220×190	220×190

TAB. 2.5: Résumé des performances de la CMC

que le canal existe sur toute la plage de courant admissible par la CMC. Ceci pourrait être réalisé avec un mode commun voisin de 1V pour l'AO et avec des capacités NMOS (mode commun pour lequel la CMC continue de fonctionner (voir test en température)) ou bien en utilisant des structures suiveuses comme dans [BA02].

Chapitre 3

Analyse des Circuits à Capacités Commutées d'un CAN pipeline

Introduction

Les performances des convertisseurs pipelines qu'ils soient réalisés en mode-tension ou en mode-courant reposent essentiellement sur la réalisation d'une triple opération :

1. celle de la retenue de l'information de l'étage précédent (phase échantillonneur/bloqueur)
2. celle de la génération du résidu (différence entre le signal d'entrée et un signal de référence).
3. celle de l'amplification du résidu dont le facteur dépend de la résolution en bit de l'étage.

La figure 3.1 rappelle de façon schématique le principe de fonctionnement d'un CAN pipeline où cette triple opération est mise en évidence (gain de 2).

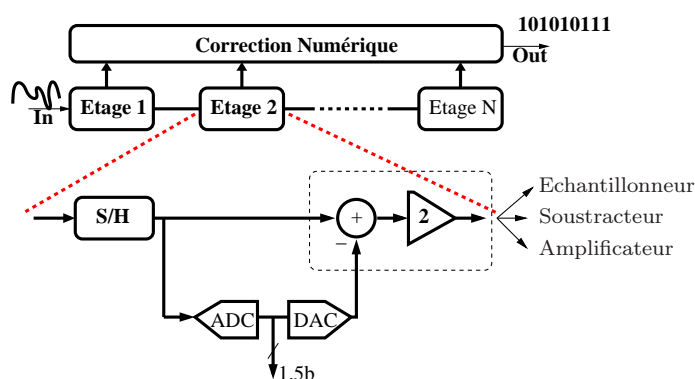


FIG. 3.1: Schéma de principe d'un CAN

Le chapitre 2 sur les mémoires de courant a déjà présenté la façon dont est réalisée cette fonction pour les structures en mode courant. Aussi, notre attention se focalise ici plus particulièrement sur la réalisation duale en tension de cette fonction.

En mode-tension, elle est très souvent réalisée à l'aide d'un circuit à capacités commutées car il permet d'effectuer toutes ces sous-opérations à l'aide d'un seul amplificateur opérationnel (AO) ou d'un amplificateur opérationnel transconductance (OTA). Par souci de clarté, ce type de circuit sera nommé Échantillonneur-Soustracteur-Amplificateur

(ESA) dans la suite du manuscrit. Le type de circuits généralement utilisés est représenté sur la figure 3.2. Ces deux circuits reposent sur le même enchaînement d'opérations :

1. Phase d'échantillonnage.
 - (a) Échantillonnage effectué sur la capacité C_s .
 - (b) Échantillonnage effectué sur les capacités C_s et C_f .
2. Phase de soustraction et d'amplification. Que ce soit pour le circuit (a) ou (b), lors de cette phase, la capacité C_f bascule en position de contre-réaction alors qu'un signal de référence est appliqué sur la capacité C_s .

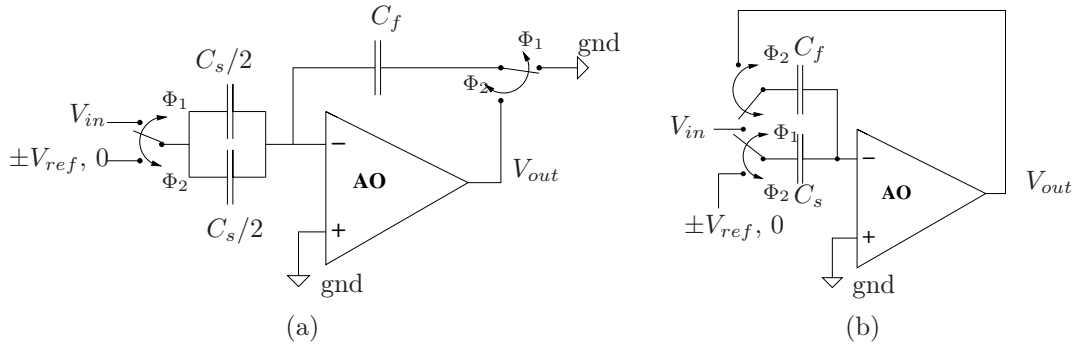


FIG. 3.2: Circuit à capacités commutées réalisant l'opération d'échantillonnage, de soustraction et d'amplification. La chaîne directe peut a priori être constituée soit d'une source de tension contrôlée par tension (Amplificateur Opérationnel AO) soit d'une source de courant contrôlée par tension (Operational Transconductance Amplifier (OTA)).

Bien que ces deux circuits réalisent la même opération, ils ne disposent pas des mêmes caractéristiques en terme d'établissement et de gain comme l'illustrent les fonctions de transfert H_a (eq. 3.1) et H_b (eq. 3.2) du circuit (a) et (b) respectivement (si l'on considère une fonction de transfert du 1^{er} ordre pour l'AO (avec pour constante de temps τ_1)) :

$$H_a(p) = \frac{V_{out}}{V_{in}} = \frac{C_s}{C_f + \frac{C_s + C_f}{Ad_0}} \cdot \frac{1}{1 + \frac{C_s + C_f}{C_s + C_f + Ad_0 C_f} \tau_1 p} \quad (3.1)$$

$$H_b(p) = \frac{V_{out}}{V_{in}} = \frac{C_s + C_f}{C_f + \frac{C_s + C_f}{Ad_0}} \cdot \frac{1}{1 + \frac{C_s + C_f}{C_s + C_f + Ad_0 C_f} \tau_1 p} \quad (3.2)$$

avec $Ad(p) = Ad_0/(1 + \tau_1 p)$ la fonction de transfert en boucle ouverte de l'amplificateur opérationnel.

Une conséquence directe de ces fonctions de transfert du système en boucle fermée est l'évaluation de la constante de temps résultante du système :

$$\tau_{global} \approx \frac{C_s + C_f}{C_f} \frac{\tau_1}{Ad_0}$$

Or dans le cas (a), le facteur d'amplification est donné par le rapport des capacités C_s/C_f alors que dans l'autre cas, il est donné par $(C_s + C_f)/C_f$. Ainsi pour réaliser un gain 2 avec le système (a) il faut que C_s ait une valeur double de celle de C_f . Dans le cas (b), il suffit que les capacités soient égales. Il en résulte que le facteur de contre-réaction est plus élevé dans le cas (b) que dans (a), ce qui se traduit par un temps d'établissement plus court pour le cas (b).

Cependant, contrairement à (a), le circuit (b) dispose d'un commutateur analogique supplémentaire dans le chemin de contre-réaction, commutateur qui peut avoir un impact non-négligeable sur la stabilité du système et sur son temps d'établissement.

En outre, comme le montre la Figure 3.2, la charge des amplificateurs est purement capacitive. C'est pourquoi des amplificateurs opérationnels dits transconductances (OTA operational transconductance amplifier) peuvent être employés pour atteindre de fort gain en tension en boucle ouverte puisqu'il n'est pas nécessaire de piloter des charges résistives [WH02b]. Cependant, puisque le pôle dominant de ce type d'architecture est situé en sortie, la nature exacte de la charge de l'OTA doit être connue. Aussi, l'étude qui suit a pour but d'étudier le circuit de type (b) durant la phase Φ_2 (Fig. 3.3) dans le cadre de structures pipelines à 1 ou 1.5 bit par étage car cette architecture est *a priori* 30% plus rapide que (a). Elle permettra d'être à même de concevoir ce circuit cœur du convertisseur pipeline en tension. Il sera montré en particulier que la présence de ce commutateur supplémentaire peut permettre d'améliorer les caractéristiques de ce circuit. Dans ce but, la notion de coefficient de retour sera tout d'abord introduite pour

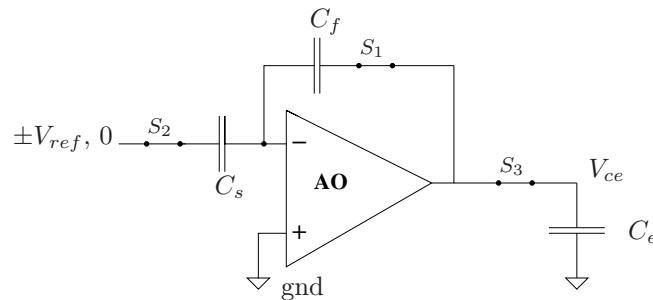


FIG. 3.3: Circuit Echantillonneur-Soustracteur-Amplificateur (ESA) (b) durant la phase de maintien où C_e représente la capacité d'échantillonnage de l'étage suivant du CAN

permettre ensuite une analyse plus aisée de ce type de circuits ESA tant du 1^{er} que du 2^{ème} ordre. Pour illustrer et compléter cette étude, la méthode de conception d'amplificateurs cascades à gain décuplé¹ sera proposée pour atteindre les performances en résolution et en vitesse souhaitée de l'étage du convertisseur. La conception d'une architecture CMOS basse-tension basée sur celle d'un amplificateur dit cascade replié terminera cette partie.

Remarque. *Il est intéressant de remarquer que la charge de ce type de structure est capacitive. C'est pourquoi, la suppression de l'étage supplémentaire du type suiveur à basse résistance de sortie est préférable. L'absence de cet étage supplémentaire réduit le nombre de pôles en boucle ouverte et assure plus simplement la stabilité du système. Dans ce cas, la sortie d'un tel AO est plus proche d'une modélisation "Norton" que "Thévenin". Le circuit est alors proche d'un transconductance OTA caractérisé par G_m .*

Remarque. *La précision obtenue par ces structures à capacités commutées dépend directement de l'appariement des capacités C_s et C_f (eq. (3.1) et (3.2)). Pour ne pas limiter la résolution du CAN et relaxer les contraintes dues à leur appariement durant la conception, une nouvelle méthode de calibrage est présentée au chapitre 8.*

¹Regulated Cascode ou Boosted Cascode

1 Analyse des circuits bouclés par la méthode du coefficient de retour

1.1 La méthode du coefficient de retour de Bode

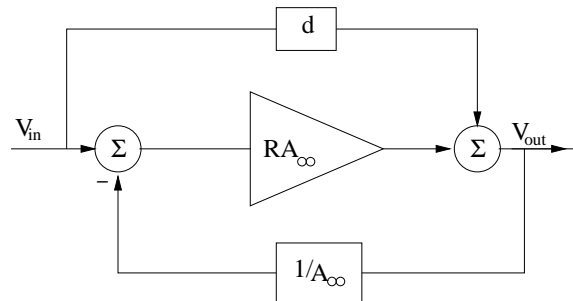


FIG. 3.4: Diagramme de base de la contre-réaction

Afin d'étudier la stabilité fréquentielle ainsi que le temps d'établissement des structures ESA, la méthode du coefficient de retour peut être utilisée. Cette méthode est basée sur la théorie générale de la contre-réaction [Bod45],[GHLM01],[Hur92] et [ESC05] qui dispose de deux chemins directs comme dépeint sur la figure 3.4. Elle s'applique parfaitement à l'étude de ce type de circuit car il y a un unique chemin qui permet au signal émis par la source liée de traverser la boucle pour donner un signal de contrôle (ceci est encore vérifié pour les systèmes basés sur des amplificateurs à plusieurs étages de gain)[Hur92]. Les propriétés de la boucle fermée des circuits ESA peuvent alors être décrites en terme de coefficient de retour de la source commandée (par opposition à indépendante) de l'amplificateur opérationnel (A_0) ou de l'OTA. En utilisant cette méthode, l'expression exacte de la fonction de transfert totale est :

$$H_{cl} = \frac{V_{out}}{V_{in}} = \underbrace{\frac{A_{\infty}R}{1+R}}_{H_1(p)} + \underbrace{\frac{d}{1+R}}_{H_2(p)} = H_1(p) + H_2(p) \quad (3.3)$$

où R est le coefficient de retour, $A_{\infty}R$ est le facteur de gain direct de la source commandée de l'AO et d la transmittance de fuite. On peut remarquer que pour étudier la stabilité et le temps d'établissement du système, il est intéressant de scinder l'étude de H_{cl} en deux études de H_1 et H_2 comme le suggèrent l'équation 3.3 et la figure 3.5. En outre, assurer la stabilité du système revient à analyser les racines du polynôme $1+R^2$.

Nous allons à présent aborder la méthode d'extraction simple des divers paramètres R , A_{∞} et d .

a) Extraction des paramètres de la boucle

a) Le paramètre A_{∞}

Pour déterminer ce paramètre, il suffit de faire tendre la transconductance du système vers l'infini. Ceci a pour effet de faire tendre la tension de commande v_d vers zéro

²On montrera que le terme A_{∞} n'admet aucun pôle complexe et que d possède les mêmes pôles que R

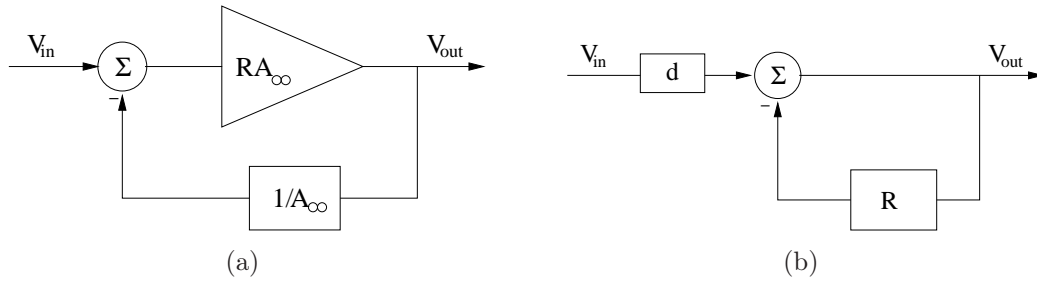


FIG. 3.5: Modèle de contre-réaction éclaté qui représente $H_1(p)$ (a) et $H_2(p)$ (b)

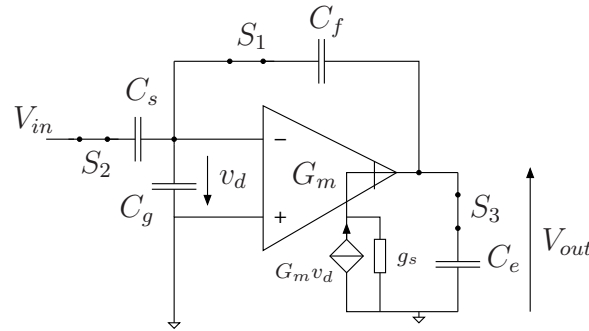


FIG. 3.6: Circuit CC de soustraction-amplification durant la phase d'échantillonnage

(fig. 3.7(a)).

$$A_\infty = \left. \frac{v_{out}}{v_{in}} \right|_{G_m \rightarrow \infty}$$

Dans le cas idéal, c'est-à-dire avec la conductance de sortie $g_s = 0$ et les conductances des commutateurs analogues infinies, on a

$$A_\infty = \left. \frac{v_{out}}{v_{in}} \right|_{G_m \rightarrow \infty} = -\frac{C_s}{C_f} \quad (3.4)$$

b) Le paramètre d

Pour obtenir ce paramètre qui traduit physiquement le lien direct qui existe entre la sortie et l'entrée du système via les éléments passifs du système, on impose une transconductance nulle au système d'où la figure 3.7(b).

$$d = \left. \frac{v_{out}}{v_{in}} \right|_{G_m \rightarrow 0}$$

$$d = \left. \frac{v_{out}}{v_{in}} \right|_{G_m \rightarrow 0} = \frac{C_s}{(f_b - 1)C_f + f_b C_e} = d_0 \quad (3.5)$$

$$\text{avec } f_b = \frac{C_f + C_s + C_g}{C_f} \quad (3.6)$$

Il est intéressant de remarquer que le facteur f_b est toujours supérieur à 1.

c) Le paramètre R

Pour déterminer ce coefficient de retour (Fig 3.8), il faut :

1. Mettre toutes les sources indépendantes à zéro (ici v_{in}).

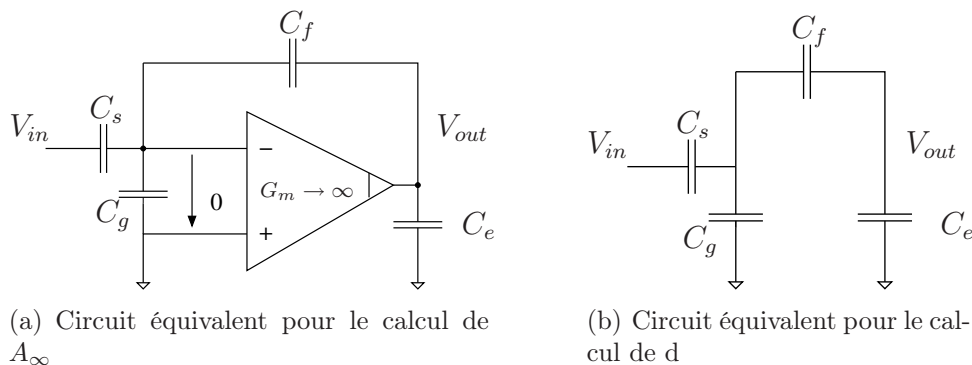


FIG. 3.7: Circuits équivalents pour l'extraction des paramètres de la boucle

2. Déconnecter la source liée du reste du circuit, ce qui ouvre la boucle.
3. Du côté de l'ouverture de la boucle où il n'y a pas la source liée, on connecte une source indépendante s_r de même nature et de même signe que celle liée.
4. On évalue alors le signal de retour s_t généré par la source liée.

Le coefficient de retour est alors égal à

$$R = -\frac{s_r}{s_t} \quad (3.7)$$

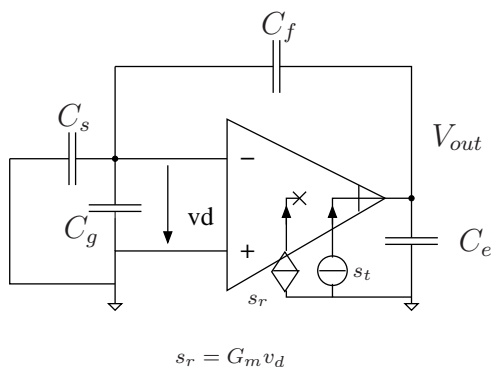


FIG. 3.8: Circuit équivalent pour l'extraction du paramètre R de la boucle

b) Analyse des circuits

Afin de faire l'analyse des circuits ESA, un modèle d'OTA du 1^{er} ordre (noté OTA₁ et représenté sur la fig.3.9) et du 2^{ème} ordre (OTA₂ et représenté sur la fig.3.10) sont utilisés.

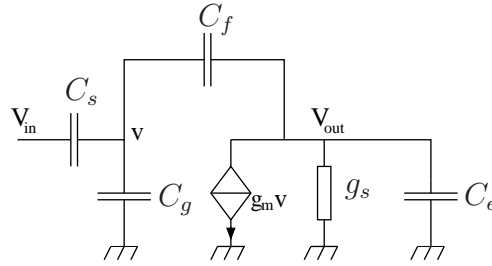
a) 1^{er} ordre

Ainsi dans le cas de l'OTA₁, R_1 est égal à :

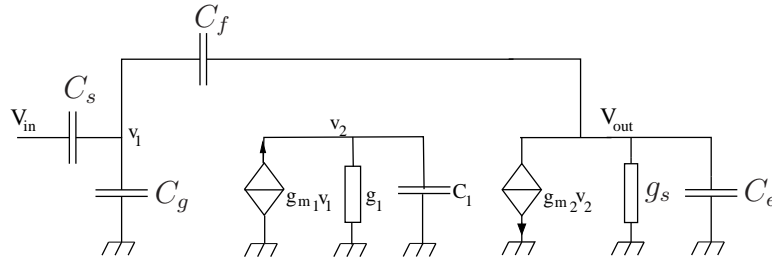
$$R_1 = \frac{g_m}{f_b \left[\left(\frac{f_b - 1}{f_b} C_f + C_e \right) p + g_s \right]} = \frac{A_0}{1 + \tau_1 p} \quad (3.8)$$

où $A_0 = \frac{g_m}{f_b g_s}$ et $\tau_1 = \frac{\left(\frac{f_b - 1}{f_b} C_f + C_e \right)}{g_s}$.

Par conséquent, d'après les équations (3.3) et (3.8), le système est inconditionnellement stable.

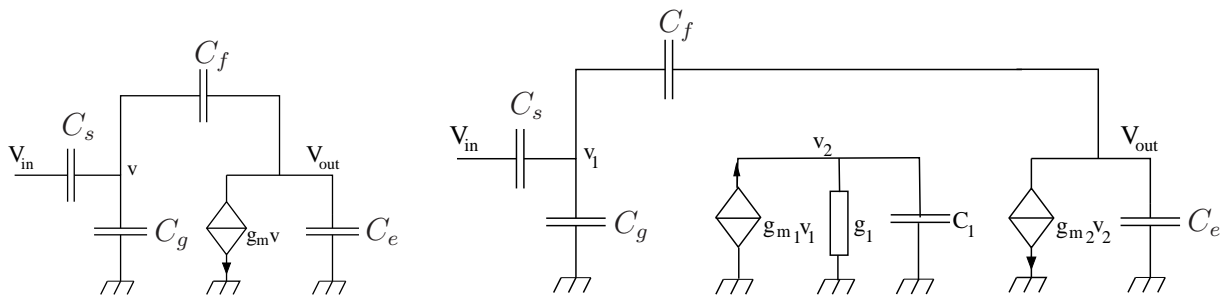
FIG. 3.9: Circuit équivalent petit signal d'un OTA du 1^{er} ordreb) 2^{ème} ordrePour le modèle OTA₂, R₂ est donné par :

$$R_2 = \frac{A_1}{(1 + \tau_2 p)} \cdot R_1 \quad (3.9)$$

où $A_1 = \frac{g_{m1}}{g_1}$ et $\tau_2 = \frac{C_1}{g_1}$.FIG. 3.10: Circuit équivalent petit signal d'un OTA du 2^{ème} ordre

c) Simplification

Bien que l'analyse de ces divers systèmes idéaux soit aisée, il est avantageux de simplifier les modèles utilisés en supposant que la conductance de sortie g_s (voir la figure 3.11) est nulle³ pour faciliter l'étude de stabilité des systèmes non-idéaux.

FIG. 3.11: Modèle simplifiée pour OTA₁ et OTA₂

A partir des équations (3.8) et (3.9), on obtient alors les expressions simplifiées suivantes :

$$R_1^s = \frac{g_m}{((f_b - 1) C_f + f_b C_e) p} = \frac{A_0}{\tau_1 p} = \frac{1}{\tau_0 p} \quad (3.10)$$

³L'impact consiste essentiellement en un déplacement des pôles vers de plus basses fréquences

$$R_2^s = \frac{A_1}{\tau_0 p (1 + \tau_2 p)} \quad (3.11)$$

Cette analyse permet de mettre en place une première approche pour la conception de ce type de bloc en ce qui concerne la définition du gabarit (Gain en boucle ouverte et bande passante). En effet, la figure 3.12 illustre la façon dont doit être chargé l'OTA pour avoir une première estimation du produit gain bande et pour pouvoir être à même de gérer la stabilité de l'OTA. Ainsi chargé, la bande passante du système ESA en boucle fermée pour un OTA du 1^{er} ordre est [CF99] :

$$f_{chf} = \frac{1}{2\pi\tau_0} = \frac{g_m}{2\pi((f_b - 1)C_f + f_b C_e)}$$

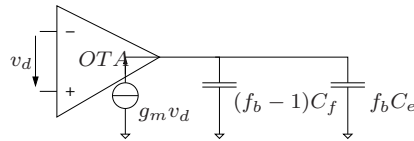


FIG. 3.12: Représentation de la charge vue par l'OTA

Remarque. Dans le cadre de cette étude (c'est-à-dire où l'on recherche un gain de 2 par étage), C_s est égal à C_f . De plus, ce circuit attaque un circuit similaire mais qui est en phase d'échantillonnage. Donc la charge vue C_e est égale à $C_s + C_f = 2C_f$.

1.2 Temps d'établissement d'un circuit ESA idéal du 1^{er} ordre

La fonction de transfert bouclée du système du 1^{er} ordre est égale à :

$$H_{cl}(p) = -\frac{C_s}{C_f} \cdot \frac{A_0}{1 + A_0} \cdot \frac{\left(1 - \frac{C_f}{A_0[(f_b - 1)C_f + f_b C_e]}\right) - \frac{C_f}{A_0[(f_b - 1)C_f + f_b C_e]} \tau_1 p}{1 + \frac{\tau_1}{1 + A_0} p} \quad (3.12)$$

Si l'on suppose que le gain en tension en boucle ouverte de l'OTA est grand devant 1 ($A_0 \gg 1 \rightarrow$ hypothèse du modèle simplifié), l'expression (3.12) devient :

$$H_{cl}(p) = -\frac{C_s}{C_f} \cdot \frac{1 - \frac{C_f}{g_m} p}{1 + \frac{(f_b - 1)C_f + f_b C_e}{g_m} p} = \frac{A_\infty R_1^s}{1 + R_1^s} + \frac{d}{1 + R_1^s} \quad (3.13)$$

Cette fonction de transfert laisse transparaître l'effet Miller via la capacité C_f . L'analyse de cette fonction de transfert bouclée du premier ordre est celle d'un circuit stable. Ainsi à partir des équations (3.12) et (3.13), la constante de temps dominante est donnée par :

$$\tau_0 = \frac{((f_b - 1)C_f + f_b C_e)}{g_m} \quad (3.14)$$

La réponse normalisée à un échelon en tension de l'équation (3.13) est alors :

$$V_{out}(t) = \mathcal{L}^{-1} \left(\frac{H_{cl}(p)}{p} \right) = -\frac{C_s}{C_f} \cdot \frac{A_0}{1 + A_0} \cdot \left[1 - \left(1 - \frac{C_f}{g_m \tau_0} \right) e^{-\frac{t}{\tau_0}} \right] \quad (3.15)$$

Ainsi pour un OTA du 1^{er} ordre, le temps d'établissement nécessaire pour avoir une résolution de N bits (donc une erreur égale à $1/2^{N+1}$ sans tenir compte de l'erreur liée au gain en tension fini en boucle ouverte de l'OTA) est :

$$t_{ac} = \tau_0 \left[(N+1) \ln 2 - \ln \left(\frac{(f_b - 1) C_f + f_b C_e}{(f_b - 2) C_f + f_b C_e} \right) \right] \quad (3.16)$$

Comme f_b est strictement supérieur à 1 et que C_e est aussi supérieur à C_f , le temps d'établissement minimal est obtenu pour f_b minimal (donc τ_0 minimal), ce qui revient à satisfaire la condition $C_g \ll C_f$.

1.3 Temps d'établissement d'un circuit ESA idéal du 2^{ème} ordre

A partir de l'équation (3.3) et de la figure 3.10, la fonction de transfert totale d'un tel système est égale à :

$$H_1(p) = -\frac{C_s}{C_f} \cdot \frac{A}{1+A} \cdot h(p) \quad (3.17)$$

$$H_2(p) = \frac{d}{1+A} \cdot (1 + \tau_1 p) (1 + \tau_2 p) \cdot h(p) \quad (3.18)$$

où $A = A_0 \cdot A_1$ et $h(p) = \frac{1}{1 + \frac{\tau_1 + \tau_2}{1+A} p + \frac{\tau_1 \tau_2}{1+A} p^2}$

Il est intéressant de noter que l'expression de H_2 peut être simplifiée comme suit :

$$H_2(p) = d \left[1 - \frac{A}{1+A} \cdot h(p) \right] \quad (3.19)$$

Par suite, la réponse temporelle d'un tel système à un échelon en tension est :

$$\begin{aligned} V_{out}(t) &= \mathcal{L}^{-1} \left(\frac{H_d(p)}{p} \right) = \mathcal{L}^{-1} \left(\frac{H_1(p) + H_2(p)}{p} \right) \\ &= d \mathbb{I}(t) - \frac{A}{1+A} \cdot \left(d + \frac{C_s}{C_f} \right) \cdot h(t) \end{aligned}$$

où $\mathbb{I}(t)$ est la fonction échelon ($\mathbb{I}(t) = 0$ pour $t < 0$ et $\mathbb{I}(t) = 1$ pour $t \geq 0$), $h(t) = \mathcal{L}^{-1}(h(p))$ et $h(t)$ peut être mis sous la forme :

$$h(t) = \mathbb{I}(t) - e^{-\frac{\tau_1 + \tau_2}{2\tau_1 \tau_2} t} \left[\cosh \left(\frac{A^2 \sqrt{\Delta}}{2\tau_1 \tau_2} \right) + \frac{\tau_1 + \tau_2}{A^2 \sqrt{\Delta}} \sinh \left(\frac{A^2 \sqrt{\Delta}}{2\tau_1 \tau_2} \right) \right]$$

où $\Delta = \left(\frac{\tau_1 + \tau_2}{A} \right)^2 - 4\tau_1 \tau_2$.

La figure 3.13 montre un bon accord entre la simulation SPICE et celle calculée analytiquement. Elle met aussi en évidence la contribution du terme $h_2(t) = \mathcal{L}^{-1}(H_2(p))$. En effet, le transitoire du début vers les valeurs positives correspond au couplage direct entre l'entrée et la sortie car l'amplificateur n'a pas le temps de réagir. Ceci peut peut-être expliquer pourquoi le cas idéal (pas d'influence des commutateurs analogiques) ne permet pas d'obtenir les temps d'établissement les plus courts.

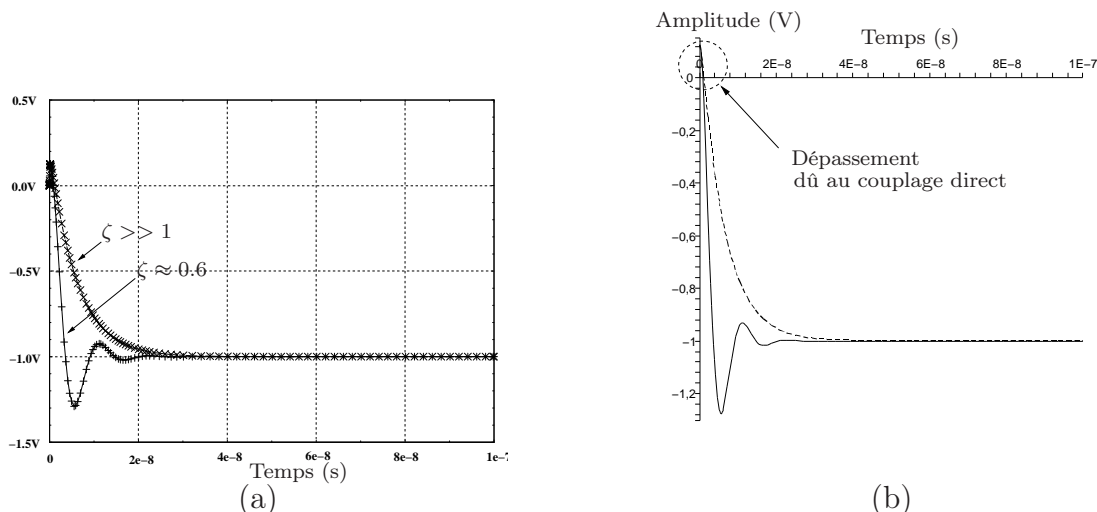


FIG. 3.13: Réponse temporelle à un échelon en tension simulée sous SPICE (a) et calculée (b). La réponse traduit bien la fonction suivieuse inverseuse de H_{cl} , mais avec un dépassement de polarité opposé au début du transitoire.

D'après les équations (3.3), (3.17) et (3.19), la fonction de transfert totale est :

$$H_{cl}(p) = - \underbrace{\frac{A}{1+A} \cdot \left(\frac{C_s}{C_f} + d \right)}_{\text{gain en boucle ouverte}} \cdot \frac{1}{1 + \frac{2\xi}{\omega_n} p + \frac{1}{\omega_n^2} p^2} + d \quad (3.20)$$

où ω_n est la pulsation propre et ξ le facteur d'amortissement.

$$\omega_n = \sqrt{\frac{1+A}{\tau_1 \tau_2}} \quad (3.21)$$

$$\xi = \frac{1}{2} \frac{\tau_1 + \tau_2}{1+A} \sqrt{\frac{1+A}{\tau_1 \tau_2}} \quad (3.22)$$

Par conséquent, le temps d'établissement minimal peut être obtenu en effectuant l'analyse du système sous-amorti ($1/\sqrt{2} < \xi < 1$) dans le domaine temporel comme décrit dans [YA90]. Cependant, ce type d'analyse précise n'est pas approprié pour cette étude et ce pour une raison essentiellement : la prise en compte des impédances des commutateurs complexifie la fonction de transfert qui ne peut se ramener à une fonction du second ordre. Par suite, afin de s'assurer à la fois une limite maximale en terme de stabilité et de temps d'établissement, une expression plus simple peut être utilisée :

$$\forall p \quad |H_{cl}(p)| < \text{gain de boucle ferme} \approx 1 \quad (3.23)$$

Cette condition permet aussi d'optimiser le rapport signal/bruit du dispositif (pas de dépassement) (voir chapitre 6 et annexe B).

Dans le cas de fonctions de transfert du second ordre, cela revient à se placer à un facteur d'amortissement tel que $1/\sqrt{2} < \xi < 1$. L'utilisation d'un tel critère pour l'équation (3.23) impose que $\tau_0 > 4A \tau_1$.

Ainsi muni d'une telle méthode, l'étude des circuits non-idéaux où la conductance des commutateurs analogiques est finie peut être effectuée. Dans un premier temps, celle-ci sera abordée pour les systèmes dont l'OTA admet une fonction de transfert du 1^{er} ordre pour être enfin étendue aux systèmes dont l'OTA admet une fonction de transfert du 2^{ème} ordre.

2 Contribution des commutateurs analogiques sur un circuit du 1^{er} ordre

Le modèle précédent peut inclure les effets des conductances finies des commutateurs analogiques. Aussi dans un soucis de clarté, les impacts des commutateurs S_1 , S_2 et S_3 (voir fig. 3.14 où ils sont représentés par leur conductance associée g_{on}) vont être abordés de manière individuelle dans une première approche.

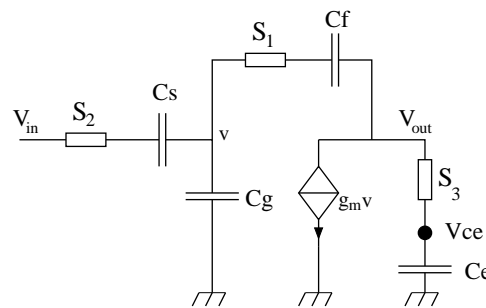


FIG. 3.14: Schéma petit signal du circuit d'amplification à capacités commutées comprenant les conductances finies des commutateurs analogiques.

2.1 Impact du commutateur S_1

Pour cette étude, les conductances S_2 et S_3 sont considérées infinies pour simplifier l'étude. La première étape consiste en l'extraction des paramètres d , R , et A_∞ . Ceux-ci s'obtiennent relativement facilement à partir des équations précédentes en effectuant la permutation suivante :

$$C_f \Rightarrow \frac{g_{on1} C_f}{g_{on1} + C_f p}$$

avec g_{on1} conductance de S_1 . On obtient alors

$$A_\infty = -\frac{C_s}{C_f} \cdot (1 + \tau_{on1} p) \quad (3.24)$$

$$R = \frac{(1 + \tau_{on1} p)}{\tau_0 p \left[1 + \frac{(f_b - 1)C_f + (2f_b - 1)C_e}{(f_b - 1)C_f + f_b C_e} \tau_{on1} p + \frac{(f_b - 1)C_e}{(f_b - 1)C_f + f_b C_e} \tau_{on1}^2 p^2 \right]} \quad (3.25)$$

$$d = R \cdot \frac{C_s}{g_m} \quad (3.26)$$

avec

$$\tau_{on1} = \frac{C_f}{g_{on1}} \quad \text{et} \quad \tau_0 = \frac{(f_b - 1)C_f + f_b C_e}{g_m}$$

Après simplification, la fonction de transfert totale peut se mettre sous la forme :

$$H_{cl}(p) = -\frac{1 + (\tau_{on1} - d\tau_0) p}{1 + \tau_0 p + \tau_0 \tau_\beta p^2} \quad (3.27)$$

avec $\tau_\beta = \frac{\tau_{on1}}{\beta}$ et $\beta = C_f/C_e + f_b/(f_b - 1)$.

a) *Analyse de la stabilité*

Si l'on compare la fonction de transfert (3.27) à celle obtenue dans le cas idéal (3.13), on constate à la fois une modification du numérateur directement liée à la constante de temps introduite par le commutateur et une autre modification au dénominateur avec la présence d'un deuxième ordre. Toutefois, leur origine et incidence sur la stabilité et sur le temps d'établissement sont bien distinctes. En effet, la modification du numérateur provient du facteur de boucle qui n'est plus apériodique. Sa présence ne détériore nullement la stabilité du système mais crée un dépassement dans le domaine temporel. Par contre, la modification du dénominateur provient directement de la modification du facteur de retour par l'introduction de ce commutateur. Ainsi étudier la stabilité du système revient à analyser un système du 2^{ème} ordre caractérisé par :

- une pulsation propre $\omega_n = 1/\sqrt{\tau_0 \tau_\beta}$
- un facteur d'amortissement $\xi = \frac{1}{2} \sqrt{\frac{\tau_0}{\tau_\beta}}$

Dans le cadre de la stabilité, évaluons la marge de phase du système. Résoudre $|R| = 1$ revient à dire que :

$$\omega_{|R|=1} = \sqrt{\left(\sqrt{1 + 4 \frac{\tau_{on1}^2}{\beta^2 \tau_0^2}} - 1 \right) \frac{\beta}{\sqrt{2} \tau_{on1}}}$$

Par conséquent, on en déduit la valeur du τ_{on1} qu'il faut pour assurer la marge de phase Φ_M souhaitée :

$$\tau_{on1} = \left[\frac{\beta}{2} \sqrt{\left(\frac{2}{\tan^2 \Phi_M} + 1 \right)^2 - 1} \right] \tau_0 \quad (3.28)$$

L'équation 3.28 permet de trouver une relation simple entre la marge de phase et la stabilité du système. Cependant cette étude ne permet pas de savoir si la valeur choisie pour la marge de phase du système est pertinente quant au temps d'établissement du système. En effet, ici le facteur de contre-réaction n'est pas une constante car il n'est pas indépendant de la fréquence.

Exemple 1. *Considérons respectivement les cas suivants :*

1. d'un suiveur simple dont la fonction de transfert est $H(p) = \frac{R}{1+R}$, alors on obtient la figure 3.15 pour une marge de phase de 90° et de 60° (référence en général lors de la conception des amplificateurs opérationnels). Il est intéressant de remarquer que même pour une marge de phase de 60°, on observe un léger dépassement fréquentiel. Ceci s'explique par un facteur d'amortissement inférieur à $1/\sqrt{2}$ (voisin ici de 0.61).
2. du circuit dont la fonction de transfert est $H(p) = \frac{A_\infty R}{1+R}$, alors on obtient la figure 3.16. On observe donc dans ce cas une détérioration du temps d'établissement même pour une marge de phase de 60°.

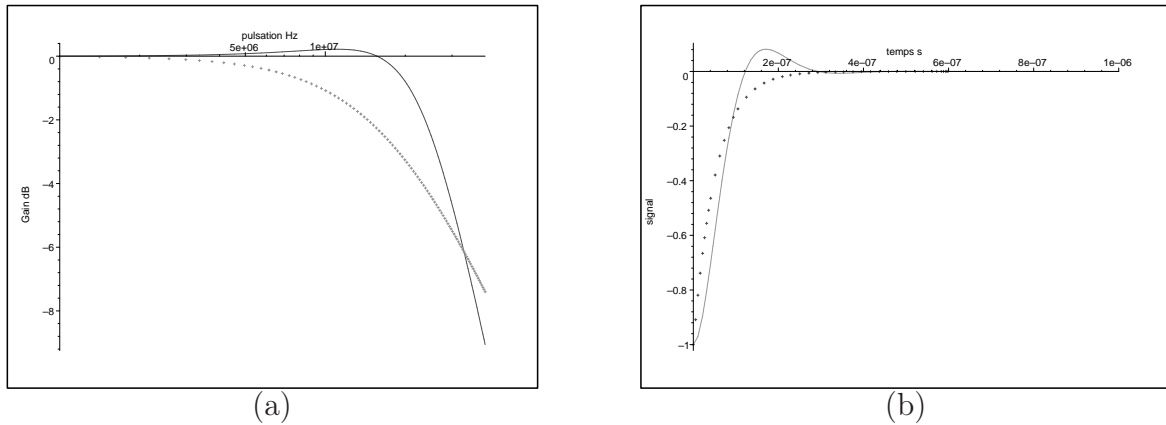


FIG. 3.15: Fonction de transfert (a) et réponse temporelle à un échelon (b) d'un simple suiveur ayant une marge de phase de 90° (trait pointillé) et de 60° (trait plein).

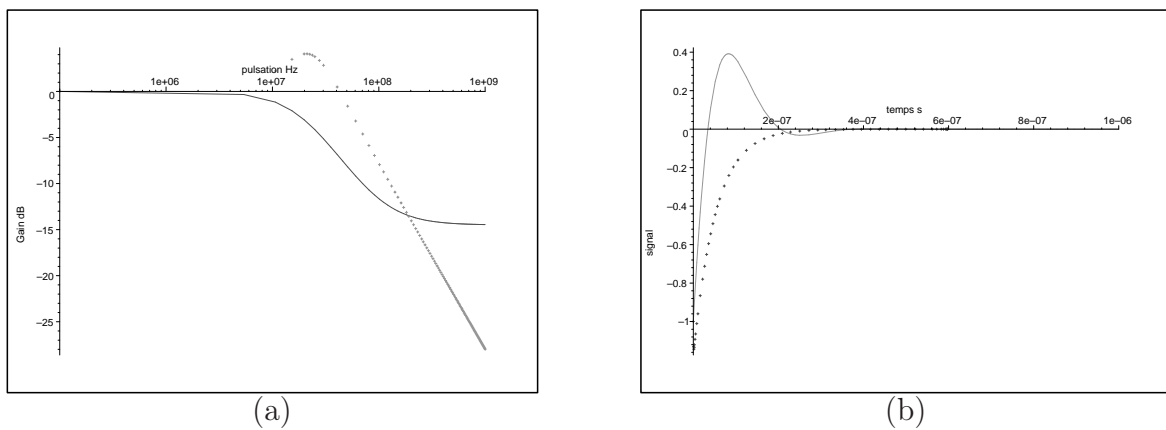


FIG. 3.16: Fonction de transfert (a) et réponse temporelle à un échelon (b) de la fonction de transfert étudiée lorsque R a une marge de phase de 90° (trait plein (a) et trait pointillé (b)) et de 60° (trait pointillé (a) et trait plein (b)).

b) Analyse du temps d'établissement

Afin d'améliorer le temps d'établissement du circuit, il est nécessaire de réduire le phénomène de surtension observé. Pour ce faire, on va déterminer une limite supérieure pour la valeur de τ_{on_1} obtenue pour $\|H_1(p)\| < 1$. Après résolution, on obtient l'inégalité suivante :

$$\tau_{on_1} < \frac{\beta}{1 + \sqrt{1 + \beta^2}} \tau_0 \quad (3.29)$$

Si à présent on analyse l'évolution temporelle du signal de sortie lorsqu'on applique un échelon de tension en entrée, on a :

$$V_{out}(t) = \mathcal{L}^{-1} \left(\frac{H_1(p)}{p} \right) + \mathcal{L}^{-1} \left(\frac{H_2(p)}{p} \right) = V_{out}^1(t) + V_{out}^2(t) \quad (3.30)$$

avec

$$V_{out}^1(t) = 1 - e^{-\frac{t}{2\tau_\beta}} \left[\cosh \left(\frac{\sqrt{\tau_0^2 - 4\tau_0\tau_\beta}}{2\tau_0\tau_\beta} t \right) + \frac{\tau_0 - 2\beta\tau_\beta}{\sqrt{\tau_0^2 - 4\tau_0\tau_\beta}} \sinh \left(\frac{\sqrt{\tau_0^2 - 4\tau_0\tau_\beta}}{2\tau_0\tau_\beta} t \right) \right] \quad (3.31)$$

et

$$V_{out}^2(t) = \frac{e^{-\frac{t}{2\tau_\beta}}}{\sqrt{\tau_0^2 - 4\tau_0\tau_\beta}} \left[e^{\left(\frac{\sqrt{\tau_0^2 - 4\tau_0\tau_\beta}}{2\tau_0\tau_\beta} t \right)} - e^{-\left(\frac{\sqrt{\tau_0^2 - 4\tau_0\tau_\beta}}{2\tau_0\tau_\beta} t \right)} \right] \quad (3.32)$$

A présent il peut être intéressant de faire varier la valeur de τ_{on1} ⁴ vis-à-vis de τ_0 par l'intermédiaire du paramètre κ ($\tau_{on1} = \kappa\tau_0$) pour connaître l'évolution du temps d'établissement établi à partir de l'équation (3.30) et ainsi vérifier les calculs d'optimisation (3.29) qui donnent $\kappa < 0.67$ (pour $\beta = 2.5$). Comme le montre la figure 3.17⁵, on constate qu'il y a 2 grandes zones de fonctionnement (voir les équations (3.31) et (3.32)) :

1. La première consiste en un temps d'établissement aperiodique.
2. La deuxième en un temps d'établissement pseudo-periodique.

Cette figure est à comparer aux résultats obtenus par SPICE sur la figure 3.18. Il est à noter que c'est à la frontière entre ces deux zones ($0.55 < \kappa < 0.8$) que les temps d'établissement sont les plus courts. Il est d'autant plus intéressant de se situer dans cette zone vis-à-vis d'un temps d'établissement dont la réponse décroît exponentiellement, que le commutateur impliqué est plus petit (donc moins de capacités parasites).

A partir de la même figure 3.17, on peut extraire une approximation de la constante de temps globale du système en fonction de la constante de temps τ_0 : $\tau \approx \frac{3}{4}\tau_0$ (la valeur minimale acceptable étant égale à $0.5\tau_0$). Ceci nous permet donc de déterminer un gabarit en terme de bande passante assez rapide du système.

A présent, une approximation de la valeur limite pour τ_{on1} va être calculée à partir de l'expression de la fonction de transfert totale H_{cl} .

$$H_{cl}(p) = -\frac{1 + (\tau_{on1} - d\tau_0) p}{1 + \tau_0 p + \tau_0\tau_\beta p^2} \quad (3.33)$$

$$|H_{cl}(p)| < 1 \Rightarrow \tau_{on1}^2 + \left(\frac{2}{\beta} \tau_0 - 2d\tau_0 \right) \tau_{on1} + (d^2 - 1) \tau_0^2 < 0$$

Par suite, on a :

$$\tau_{on1} < \underbrace{\left[\left(d - \frac{1}{\beta} \right) + \sqrt{1 + \frac{1}{\beta^2} - \frac{2d}{\beta}} \right]}_{\kappa} \tau_0 \quad (3.34)$$

Ceci donne la valeur maximale pour le rapport τ_{on1}/τ_0 (noté κ) (ici l'eq. 3.34 donne $\kappa < 0.8$ pour $\beta = 2.5$ et $d = 0.2$ ce qui est en accord avec les courbes). D'après la figure 3.17, cette valeur maximale correspond au premier palier qui équivaut à une réduction de 40% sur le temps d'établissement que l'on aurait eu dans le cas idéal (c'est-à-dire avec g_{on} infinie) (voir Fig. 3.17). De plus, d'après la Fig. 3.17, un tel temps d'établissement peut être obtenu pour une grande gamme de κ . Aussi, dans cette zone particulière, le circuit ESA est moins sensible à la température et aux variations de process.

⁴ce qui revient à faire varier par là-même la valeur de τ_β

⁵la figure 3.17 ne prend pas en compte le temps d'établissement global mais seulement celui qui est lié à l'équation (3.31)

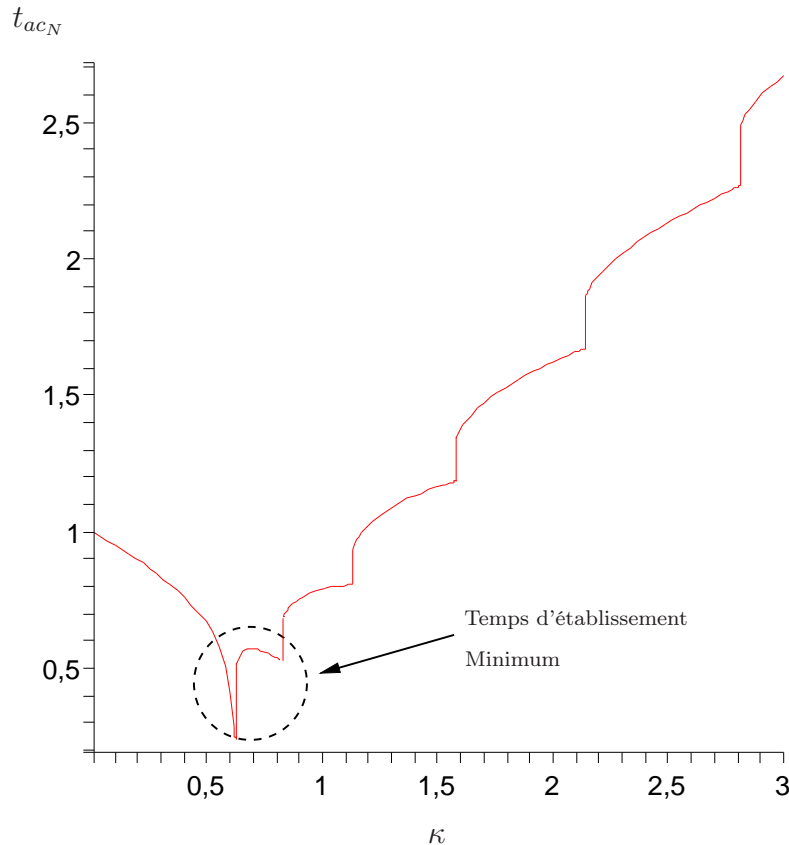


FIG. 3.17: Simulation sous Maple de l'évolution temporelle du temps d'établissement d'un circuit CC du premier ordre. Cette évolution est normalisée par rapport à la réponse temporelle d'un circuit du premier ordre de constante de temps τ_0 ($\tau_{on1} = \kappa \tau_0$) pour une résolution de 12bits (rouge)

2.2 Impact du commutateur S_2

Pour cette étude, les conductances S_1 et S_3 sont considérées infinies pour simplifier l'étude. De même que précédemment, la permutation suivante est effectuée sur les paramètres idéaux (eq 3.4, 3.5 et 3.7) :

$$C_s \Rightarrow \frac{g_{on2} C_s}{g_{on2} + C_s p}$$

Par conséquent, le paramètre R qui correspond au gain en boucle ouverte du système est :

$$R = \frac{1 + \tau_{on2} p}{\tau_0 p \left(1 + \frac{\tau_{on2}}{\alpha} p\right)} \quad (3.35)$$

avec $\tau_{on2} = C_s / g_{on2}$ et $\alpha = \frac{(f_b - 1)C_f + f_b C_e}{(f_b - 2)C_f + (f_b - 1)C_e}$

Il est intéressant de remarquer que $\alpha \approx \beta \approx 2.5$ (pour $f_b \approx 2$ et $C_e = 2C_f$). La principale différence entre eq. (3.25) et (3.35) réside dans la présence d'un zéro supplémentaire. Cela suggère une meilleure stabilité pour le système S_2 système par rapport au S_1 système. En outre, la comparaison entre eq. (3.27) et (3.36) confirme le fait que la stabilité est meilleure avec S_2 puisque

$$\forall \tau_{on2} \quad \xi_{S_2} > 1 \text{ and } \xi_{S_2} > \xi_{S_1}$$

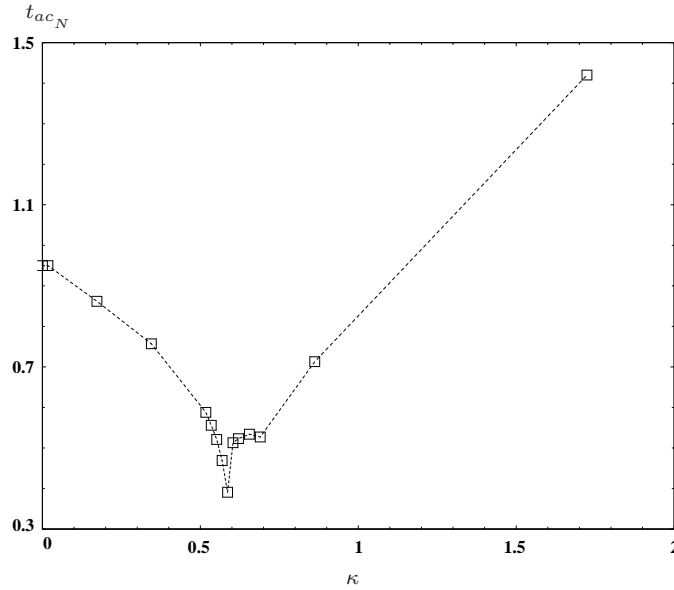


FIG. 3.18: Simulation sous SPICE de l'évolution temporelle du temps d'établissement d'un circuit CC du premier ordre. Cette évolution est normalisée par rapport à la réponse temporelle d'un circuit du premier ordre de constante de temps τ_0 pour une résolution de 10bits

Par suite, la stabilité du système n'est pas dégradée par l'ajout de ce commutateur. Tout se passe comme si le dispositif n'avait pas une attaque en tension idéale, mais que la source de tension V_{in} présentait une conductance interne g_{on2} . Le temps d'établissement est modifié par l'apparition d'un filtre passe-bas dû au facteur de boucle⁶. Ainsi le temps d'établissement est plus grand que dans le cas idéal.

$$H_{cl}(p) = -\frac{1}{1 + \tau_{on2} p} \frac{1 + (\tau_{on2} - d\tau_0) p}{1 + (\tau_0 + \tau_{on2}) p + \frac{\tau_0 \tau_{on2}}{\alpha} p^2} \quad (3.36)$$

Remarque : On vérifie bien que

$$\xi = \frac{1}{2} \sqrt{\alpha} \frac{\tau_0 + \tau_{on2}}{\sqrt{\tau_0 \tau_{on2}}} > \frac{1}{2}$$

2.3 Impact du commutateur S_3

Pour cette étude, les conductances S_1 et S_2 sont considérées infinies pour simplifier l'étude. De même que précédemment, la permutation suivante est effectuée sur les paramètres idéaux (eq 3.4, 3.5 et 3.7) :

$$C_e \Rightarrow \frac{g_{on3} C_e}{g_{on3} + C_e p}$$

Par conséquent, le facteur R du système est :

$$R = \frac{1 + \tau_{on3} p}{\tau_0 p \left(1 + \frac{\tau_{on3}}{\gamma} p \right)} \quad (3.37)$$

⁶ ceci est normal dans le sens où le signal d'entrée est directement filtré

avec

$$\gamma = \frac{2f_b - 1}{f_b - 1}$$

Par conséquent, les modifications vis-à-vis du R idéal sont minimales car γ est voisin de 3. Par suite, l'influence de S_3 sur la stabilité est similaire à S_2 . Cependant comme le souligne la Fig. 3.14, le temps d'établissement est ralenti à présent par un filtre passe-bas en sortie.

2.4 Impact simultané des commutateurs S_1 et S_2

Considérons à présent un cas un peu plus réel dans le sens où plusieurs commutateurs vont interagir ensemble ici S_1 et S_2 . D'après les études précédentes, l'influence de S_1 sur le temps d'établissement et la stabilité du système est opposé à celle de S_2 . Par conséquent, un compromis entre la taille des commutateurs doit pouvoir être trouvé et dans la suite du document, on exprimera la conductance de S_2 sera exprimée en fonction de S_1 :

$$g_{on_2} = \frac{1}{\rho} g_{on_1}$$

Ce paramètre ρ correspond en pratique au rapport géométrique $\rho = (W/L)_2 / (W/L)_1$ des commutateurs analogiques utilisés (s'ils sont polarisés de la même manière). On en déduit alors une nouvelle expression du coefficient de retour :

$$R = \frac{1 + \rho \tau_{on_1} p}{\tau_0 p \left[1 + \frac{(1+\rho)C_e}{C+2C_e} \tau_{on_1} p \right]} \quad (3.38)$$

avec $f_b = 2$ et $C_f = C_s = C$.

$$\Rightarrow H(p) = -\frac{1 + (\tau_{on_1} - d\tau_0) p}{1 + (\rho \tau_{on_1} + \tau_0) p + \tau_0 \tau_{\beta_2} p^2} \quad (3.39)$$

avec $\tau_{\beta_2} = (1 + \rho) \tau_{\beta_1}$. Il est intéressant de noter que l'équation précédente eq. (3.39) est similaire à eq. (3.27) et donc qu'il n'y a plus de filtre passe-bas en entrée comme dans eq. (3.36). De plus, un comparaison directe montre que le système (S_1, S_2) est intrinsèquement plus lent et plus stable que le système S_1 . Le facteur d'amortissement ξ_{S_1, S_2} peut être alors donné par

$$\xi_{S_1, S_2} = \frac{1}{2} \sqrt{\frac{\beta}{\kappa} \frac{1 + \kappa \rho}{\sqrt{1 + \rho}}} \approx \xi_{S_1} \frac{1 + \kappa \rho}{\sqrt{1 + \rho}} > \xi_{S_1} \quad (3.40)$$

où $\kappa = \tau_{on_1} / \tau_0$. Par suite, pour améliorer la vitesse d'établissement du système (S_1, S_2) system, la conductance S_1 doit être diminuée de sorte à équilibrer l'influence opposée de S_2 . En résolvant $|H_{cl}| < 1$, on obtient alors la relation suivante entre ρ and κ :

$$\rho_N > \left(\frac{1}{\beta} - 1 \right) \frac{1}{\kappa} + \frac{1}{2\kappa^2} \sqrt{\Delta} \quad (3.41)$$

$$\text{où } \Delta = 4\kappa^4 + 8\kappa^3 \left(\frac{1}{\beta} - d \right) + 4\kappa^2 \left(\frac{1}{\beta^2} + d^2 - \frac{2}{\beta} \right)$$

Ainsi, le facteur ρ devient d'autant plus grand que la constante de temps τ_{on_1} est grande, ce qui est cohérent avec l'équation (3.41). Ceci est illustré par la figure 3.19 qui montre l'évolution de ρ en fonction de la constate de temps κ .

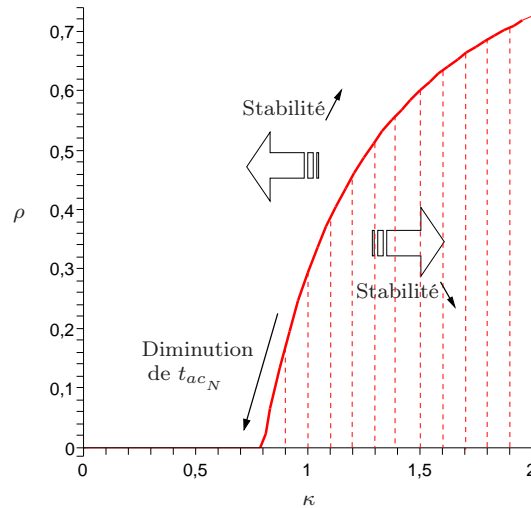


FIG. 3.19: Valeur de ρ en fonction du rapport $\kappa = \tau_{on1}/\tau_0$

Afin d'avoir une meilleure idée de l'évolution du temps d'établissement en fonction du rapport entre τ_0 , τ_{on1} et ρ , il est intéressant de se référer aux abaques de la figure 3.20. Ils permettent de mettre en évidence que :

- $\rho < 0.5$ si l'on veut profiter d'un gain en temps d'établissement maximal (la présence de zone palier est appréciable)
- plus ρ est grand est plus cette zone palier est large mais moins le gain en temps d'établissement est important.

Ainsi avec un $\rho=0.4$, un gain de 20% sur le temps d'établissement est assuré. Il faut garder à l'esprit que le commutateur S_2 n'engendre pas de phénomène d'injections de charge et peut donc sa taille n'influe pas sur la précision (injection de charges) du système.

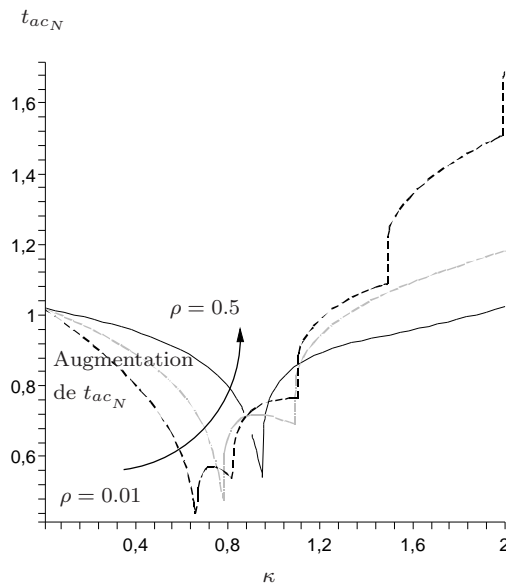


FIG. 3.20: Evolution du temps d'établissement normalisé t_{ac_N} en fonction de κ pour $\rho=0.01$ (noir tiret), 0.3 (gris) et 0.5 (noir)

Quant à la figure 3.21, elle traduit l'évolution du temps d'établissement pour une

résolution de 12bits en fonction du couple (ρ, κ) . Elle met en évidence l'interdépendance qui existe entre ρ et τ_{on1} .

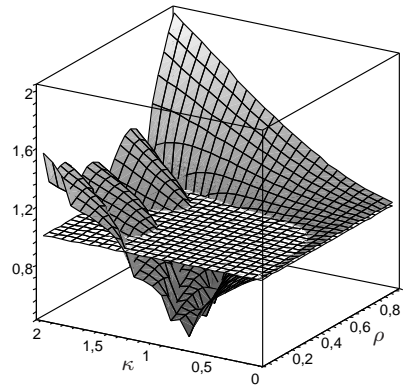


FIG. 3.21: Evolution du temps d'établissement normalisé t_{acN} pour une résolution de 12bits en fonction du rapport τ_{on1}/τ_0 et de ρ normalisé par rapport au temps d'établissement dans le cas idéal (plan (1,1))

Il est alors intéressant de retraduire ces informations en terme de marge de phase équivalente pour le coefficient de retour en se basant sur l'équation (3.38) afin de simplifier la conception du circuit. Celle-ci est voisine de 84° .

2.5 Impact simultané des commutateurs S_1 , S_2 et S_3

L'étude du cas complet où les commutateurs S_1 , S_2 et S_3 sont considérés simultanément peut alors être abordée. Pour simplifier l'étude, on pose :

$$\tau_{on2} = \rho \tau_{on1} \quad \text{et} \quad \tau_{on3} = \gamma \tau_{on1}$$

On en déduit alors une nouvelle expression du coefficient de retour :

$$R = \frac{(1 + \rho \tau_{on1} p)(1 + \gamma \tau_{on1})}{\tau_0 p \left[1 + \frac{\gamma C + (1 + \rho) C_e}{C + 2C_e} \tau_{on1} p \right]} \quad (3.42)$$

$$\Rightarrow H(p) = - \frac{1 + ((1 + \gamma) \tau_{on1} - d\tau_0) p + \gamma \tau_{on1} (\rho \tau_{on1} - d\tau_0) p^2}{1 + ((\rho + \gamma) \tau_{on1} + \tau_0) p + (\tau_0 \tau_{\beta_3} + \rho \gamma \tau_{on1}^2) p^2}$$

avec $\tau_{\beta_3} = \frac{\gamma C + (1 + \rho) C_e}{C + 2C_e} \tau_{on1}$.

Si l'on compare à présent l'expression de cette fonction de transfert avec les cas précédemment étudiés, on peut mettre en évidence que l'impact de S_3 est relativement faible sur la stabilité. En ce qui concerne le temps d'établissement, il en est de même de par le fait que S_3 alourdit autant le numérateur que le dénominateur. En revanche, si l'on s'intéresse au temps d'établissement en sortie, celui-ci est d'autant plus grand que l'impédance de S_3 est grande (comportement du type filtre passe-bas). Ainsi, la fonction de transfert totale aux bornes de la capacité C_e est :

$$H_{C_e}(p) = \frac{V_{C_e}}{V_{in}}$$

$$= - \frac{1}{1 + \gamma \tau_{on1} p} \frac{1 + ((1 + \gamma) \tau_{on1} - d\tau_0) p + \gamma \tau_{on1} (\rho \tau_{on1} - d\tau_0) p^2}{1 + ((\rho + \gamma) \tau_{on1} + \tau_0) p + (\tau_0 \tau_{\beta_3} + \rho \gamma \tau_{on1}^2) p^2} \quad (3.43)$$

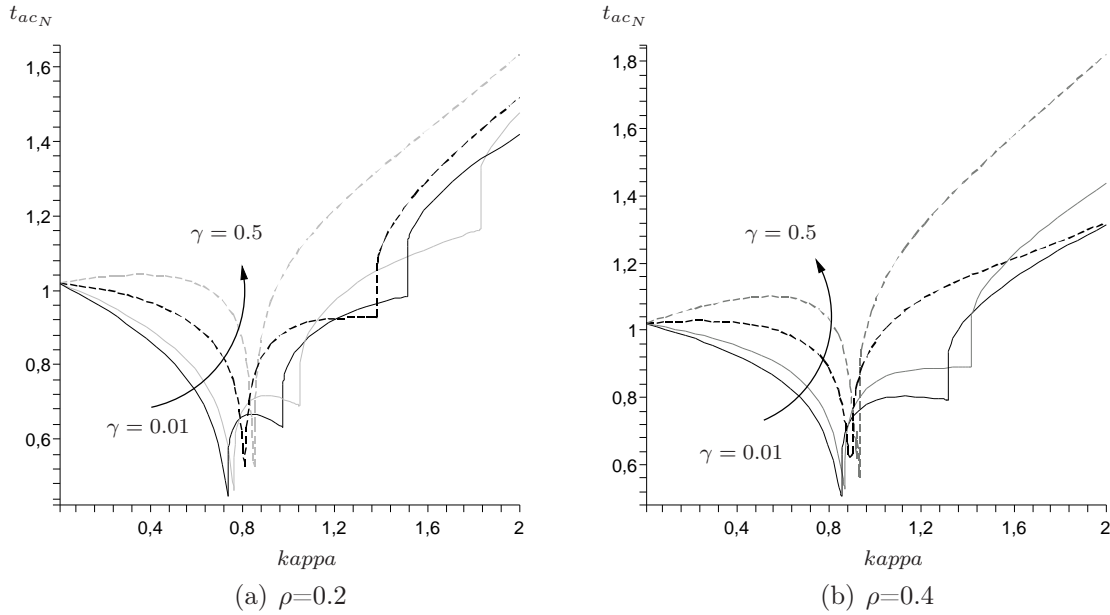


FIG. 3.22: Evolution du temps d'établissement normalisé t_{acN} en fonction de κ pour (a) $\rho=0.2$, (b) $\rho=0.4$ (avec $\gamma=0.01$ (noir); 0.1 (gris); 0.2 (noir tiret); 0.5 (gris tiret))

Grâce à l'équation 3.43, le rapprochement avec l'étude précédente mettant en jeu S_1 et S_2 est évident. Ainsi, pour ne pas détériorer le temps d'établissement, il faut augmenter la valeur de τ_{on1} . Toutefois, le poids de S_3 dans le temps d'établissement est supérieur à celui de S_2 à cause de l'aspect filtrage en sortie. Ceci peut être mis en évidence à l'aide d'abaques normalisés (fig. 3.22) par rapport à la constante de temps principale τ_0 . Ces abaques permettent de mettre en évidence que :

- la valeur maximale de γ est d'environ 0.5 sous peine d'avoir un temps d'établissement plus long que le cas idéal (par conséquent cela revient à augmenter le produit gain-bande passante du circuit).
- il faut que γ soit supérieur à ρ pour avoir une amélioration notable du temps d'établissement.
- concevoir des commutateurs égaux (fig. 3.22d) peut pénaliser lourdement le temps d'établissement (d'un facteur 50%)
- $\{\kappa, \rho, \gamma\} = \{[0.8, 1], 0.2, 0.3\}$ est un triplet de valeur qui permet de réduire le phénomène d'injection de charges lié à S_3 sans pénalité du temps d'établissement.
- $\{\kappa, \rho, \gamma\} = \{[0.8, 1], 0.3, 0.05\}$ est un triplet de valeur qui permet de réduire le temps d'établissement d'environ 30%.

3 Contribution des commutateurs analogiques sur un circuit du 2^{eme} ordre

Comme pour l'étude effectuée pour les systèmes du 1^{er} ordre, le modèle utilisé pour les circuits ESA idéaux peut être à son tour étendu pour inclure l'effet de la conductance finie des commutateurs analogiques. De plus, d'après l'étude précédente, cette étude va essentiellement se focaliser sur l'impact du commutateur S_1 sur la stabilité et le temps d'établissement.

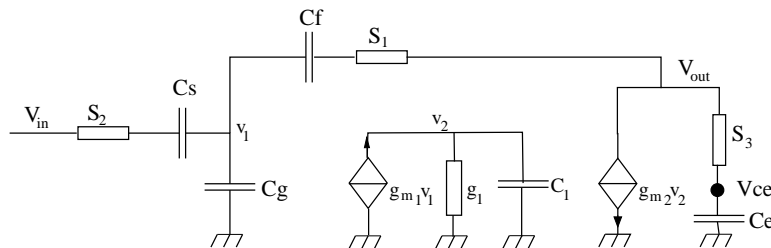


FIG. 3.23: Schéma du SC circuit du 2^{ème} ordre avec les commutateurs analogiques

3.1 Impact du commutateur S_1

A partir des résultats obtenus lors de l'étude des systèmes du 1^{er} ordre et de l'équation (3.9), on a :

$$A_\infty = -\frac{C_s}{C_f} \cdot (1 + \tau_{on1} p) \quad (3.44)$$

$$R = \frac{1}{\tau'_0 p (1 + \tau_2 p) (1 + \tau_\beta p)} \quad (3.45)$$

$$d = \frac{1}{1 + \tau_2 p} d_0 \quad (3.46)$$

où $\tau'_0 = \frac{\tau_0}{A_1}$ et $\tau_\beta = \frac{1}{\beta} \tau_{on1}$.

D'où l'expression de $H_{cl}(p)$:

$$H_{cl}(p) = -\frac{1 + (\tau_{on1} - d\tau'_0) p - d\tau'_0 \tau_2 p^2}{1 + \tau'_0 p + (\tau'_0 \tau_\beta + \tau'_0 \tau_2) p^2 + \tau'_0 \tau_2 \tau_\beta p^3} \quad (3.47)$$

De plus, la résolution de l'inéquation $|H_1(p)| < 1$ donne :

$$\tau'_0 > (\tau_2 + \tau_\beta) \left(1 + \sqrt{1 + \left(\frac{\tau_{on1}}{\tau_2 + \tau_\beta} \right)^2} \right) \quad (3.48)$$

$$\tau_{on1} < \tau'_0 \left(\sqrt{1 + \frac{1}{\beta^2}} - 2 \frac{\tau_2}{\tau'_0} - \frac{1}{\beta} \right) \quad (3.49)$$

Il est intéressant de remarquer que l'équation (3.49) est correcte seulement si $\tau_0 > 2A_1 \tau_2$. Par conséquent, c'est la valeur minimale que peut prendre τ_{on1} qui va établir le rapport minimal entre τ_0 et τ_2 . La valeur limite que peut prendre la valeur de g_{on1} peut être dérivée de l'eq. (3.49) :

$$\frac{1}{g_{on1}} < \frac{1}{g_{m2}} \frac{f_b - 1 + f_b \frac{C_e}{C_f}}{A_1} \left(\sqrt{1 + \frac{1}{\beta^2}} - 2 \frac{\tau_2}{\tau'_0} - \frac{1}{\beta} \right) \quad (3.50)$$

L'expression du temps d'établissement en fonction des constantes de temps normalisées τ_{on1N} et τ_{2N} par rapport à τ_0 est trop complexe pour pouvoir être analysée analytiquement. C'est pourquoi, une étude purement numérique s'impose. Il est ainsi possible d'évaluer le couple (τ_2, τ_{on1}) normalisé qui permet d'obtenir le temps d'établissement le plus court, via la figure 3.24(a). Ainsi, un des couples les plus intéressants est le couple (0.25, 0.15)

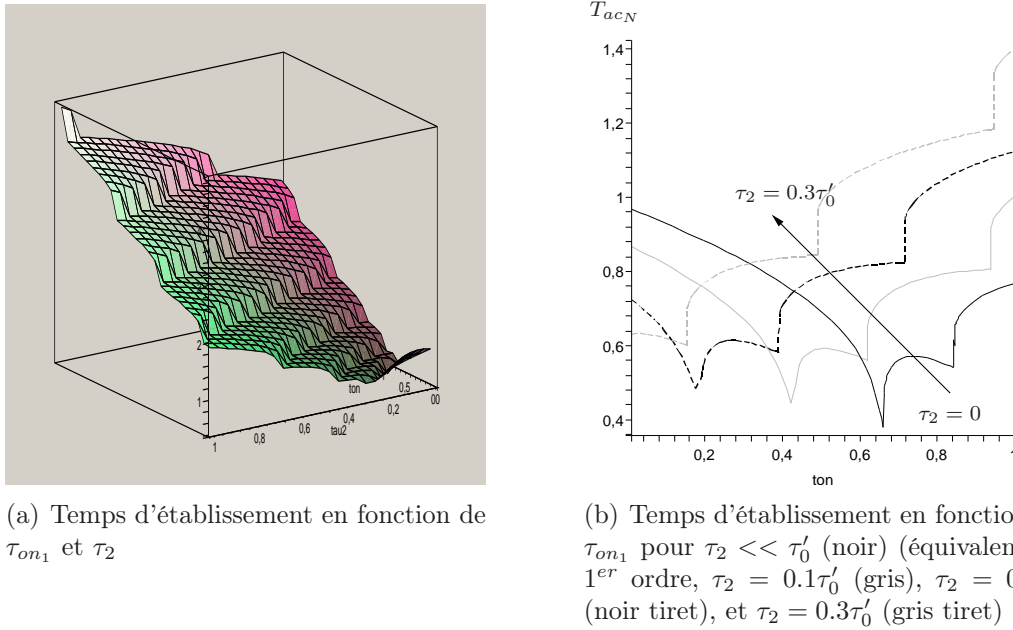


FIG. 3.24: Evolution du temps d'établissement normalisé en fonction de τ_{on1} et de τ_2

avec un temps d'établissement moitié moindre que le cas idéal. En comparaison avec le système du 1^{er} ordre, ces ensembles de couples sont plus difficiles à obtenir (valeur de g_{on1} plus grande).

Si l'on s'assure que τ_2 est inférieur au quart de τ_0' alors on peut obtenir un gain en performance de l'ordre de 40% pour une assez grande plage de τ_{on1N} comme l'on peut le constater sur le graphe 3.24(b). Ce graphe met aussi en évidence l'intérêt d'avoir un second pôle éloigné du produit gain-bande passante de l'OTA.

3.2 Impact simultané des commutateurs S_1 et S_2

Comme dans une étude précédente, l'impact des commutateurs S_1 et S_2 va à présent être considéré sur la stabilité et le temps d'établissement du système total en posant :

$$g_{on2} = \frac{1}{\rho} g_{on1}$$

A partir de l'étude effectuée sur le 1^{er} ordre et plus particulièrement sur l'équation 3.38, l'expression de la fonction de transfert globale est :

$$\Rightarrow H_{cl}(p) = -\frac{1 + (\tau_{on1} - d\tau_0') p - d\tau_0'\tau_2 p^2}{1 + (\rho\tau_{on1} + \tau_0') p + (\tau_0'\tau_{\beta_2} + \tau_0'\tau_2) p^2 + \tau_0'\tau_2\tau_{\beta_2} p^3}$$

Ainsi, si l'on compare cette expression à celle de l'équation (3.47), on constate que le poids du terme du 1^{er} ordre en p du dénominateur est plus fort dans cette dernière expression d'un facteur $\rho\tau_{on1}$. Ceci va conférer une stabilité supplémentaire au système. On va à présent s'intéresser à la valeur de ρ critique en résolvant $|H(p)| < 1$. On a alors une expression similaire à celle obtenue pour le 1^{er} ordre :

$$\rho_N > \frac{(\delta - 1)}{\tau_{on1N}} + \frac{1}{2\tau_{on1N}^2} \sqrt{\Delta}$$

avec $\delta = \frac{C_e}{C+C_e}$ et Δ le déterminant de l'équation du second ordre suivante :

$$\tau_{on1N}^2 \rho^2 + 2\tau_{on1N} (1 - \delta) \rho + 2\tau_{on1N} (d - \delta) - \tau_{on1N}^2 + (1 - d^2) - 2\tau_{2N} (1 + d) = 0$$

La figure 3.25 met en évidence l'évolution du temps d'établissement en fonction de τ_{on1} pour une valeur de τ_2 fixée à $\tau_0'/4$ pour différentes valeurs de ρ . Elle met en évidence le relâchement de la contrainte sur τ_{on1} qui peut être d'autant plus grand que ρ est grand. Il est intéressant de noter que pour lorsque ρ est égal à 1, le système ne présente pas de phase pseudo-périodique mais possède en contre partie un temps d'établissement directement proportionnel à τ_{on1} .

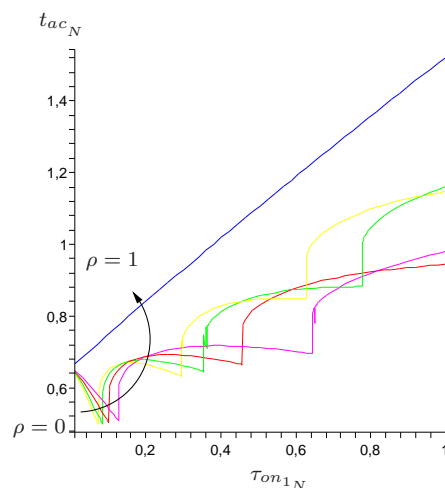


FIG. 3.25: Temps d'établissement en fonction de τ_{on1N} pour $\rho = 0$ (jaune), $\rho = 0.1$ (vert), $\rho = 0.2$ (rouge), $\rho = 0.3$ (magenta) et $\rho = 1$ (bleu)

3.3 Impact simultané des commutateurs S_1 , S_2 et S_3

L'étude du cas complet où les commutateurs S_1 , S_2 et S_3 sont considérés simultanément peut alors être abordée. Pour simplifier cette étude, le résultat obtenu pour le 1^{er} ordre (eq. 3.43) est repris. Ainsi la fonction de transfert totale est donnée approximativement par l'expression.

$$H_{C_e}(p) = -\frac{1}{1 + \gamma\tau_{on1}} \frac{1 + ((1 + \gamma)\tau_{on1} - d\tau_0') p + \gamma\tau_{on1} (\rho\tau_{on1} - d\tau_0') p^2}{1 + ((\rho + \gamma)\tau_{on1} + \tau_0') p + (\tau_0'(\tau_2 + \tau_{\beta_3}) + \rho\gamma\tau_{on1}^2) p^2 + \tau_0'\tau_2\tau_{\beta_3} p^3} \quad (3.51)$$

L'étude analytique met en jeu trop de paramètres pour être exploitable directement. Aussi, à partir des abaques déjà tracés pour le 1^{er} ordre, on peut tracer des abaques similaires comme le montre la figure 3.26 pour une seule valeur de $\rho = 0.2$ et de $\tau_2 = 0.2\tau_0'$ (compromis hérité de l'étude précédente). Toutefois, cet abaque 3.26 n'est qu'une approximation et n'a pour but essentiellement que de donner une idée de l'évolution de ce dernier en fonction du paramètre γ .

Conclusion

Cette étude montre qu'il serait pénalisant en terme de temps d'établissement de concevoir le circuit à capacités commutées avec trois interrupteurs identiques (de même g_{on}).

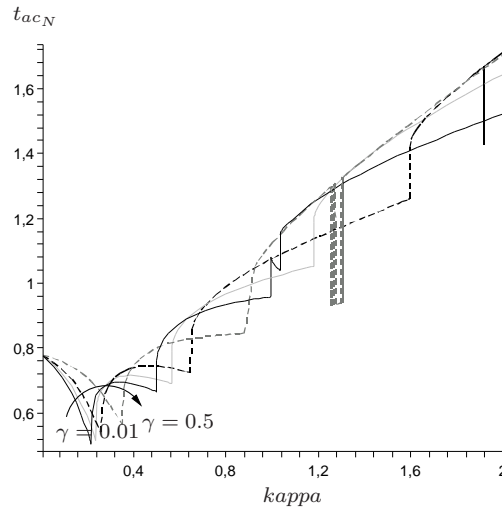


FIG. 3.26: Evolution du temps d'établissement en fonction de τ_{on1} pour $\rho = 0.2$, $\tau_2 = 0.2$ et $\gamma=0.01$ (noir), 0.1 (gris), 0.2 (noir tiret), 0.4 (gris tiret)

Au contraire, elle met en avant le fait que l'on peut mettre à profit la présence de ces commutateurs pour rendre optimal ce temps d'établissement vis-à-vis d'un circuit idéal. Cette étude permet de décrire une méthode de conception optimisée des circuits ESA, méthode qui est détaillée au chapitre 4.

Chapitre 4

Conception d'un circuit ESA en CMOS pour une résolution de 12bits à 30Méch/s

A partir des analyses précédentes, une méthode générale de conception des circuits ESA se dégage. Cette méthode est illustrée par le diagramme 4.1.

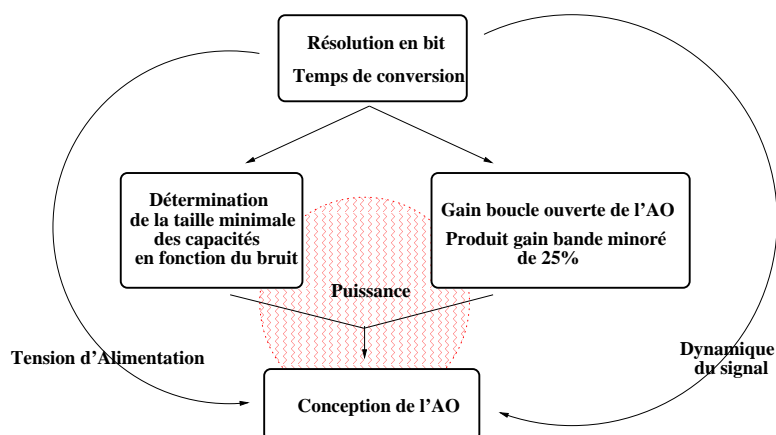


FIG. 4.1: Méthode de conception générale d'un circuit ESA

L'étude va se focaliser sur la conception de circuits ESA de résolution 12bits et de fréquence de traitement de 30Méch/s qui sont les caractéristiques visées pour l'instrumentation spatiale des futurs satellites. La technologie utilisée est la $0.35\mu\text{m}$ BiCMOS de ST Microelectronics avec une tension d'alimentation de 3.3V avec la contrainte tout CMOS.

1 Détermination des caractéristiques du bloc

1.1 La taille des capacités et le bruit

Puisque la résolution du convertisseur est relativement élevée et que le CAN est alimenté par une tension d'alimentation faible, le bruit est un paramètre important dont il faut tenir compte.

Dans les circuits à capacités commutées, il y a deux sources majeures de bruit : le bruit thermique lié aux commutateurs analogiques et le bruit lié à l'OTA. Ainsi, les capacités qui servent à échantillonner le signal d'entrée et à l'amplifier ne doivent pas être sur-dimensionnées pour des raisons de bande-passante et de puissance dissipée mais elles ne doivent pas non plus être sous-dimensionnées pour des raisons de bruit (et aussi d'erreurs par injection de charges). Pour simplifier la conception, la taille minimale des capacités est imposée par ce que l'on peut appeler le *plancher de bruit*.

En s'appuyant sur [AHL03], une analyse pessimiste¹ du bruit des circuits ESA permet d'avoir une idée sur la densité spectrale de bruit ramenée en entrée :

$$\sigma_{v_{input}}^2 = 4\sqrt{2} \frac{k_B T}{C} \quad (4.1)$$

où k_B est la constante de Boltzmann ($\approx 1.38e^{-23} J.K^{-1}$) et C la valeur de la capacité d'échantillonnage ($C = C_s = C_f$). Le terme en $\sqrt{2}$ est lié à la structure différentielle symétrique. Une analyse plus détaillée sur le bruit est effectuée dans la section 2 et fournit l'approximation suivante :

$$\sigma_{v_{input}}^2 = 3\sqrt{2} \frac{k_B T}{C} \quad (4.2)$$

Ainsi à partir de l'équation 4.2, la valeur minimale de la capacité d'échantillonnage peut être évaluée. Pour un signal d'entrée de valeur efficace 1V et à température ambiante, la capacité minimale² doit être de l'ordre de :

$$C \approx 1.1 pF$$

1.2 Détermination du gain en boucle ouverte de l'OTA et de son produit Gain-Bande passante

Si l'on vise une résolution de Nbits (ici N=12), il faut que le gain en boucle ouverte de l'OTA soit d'au moins :

$$Ad_0 > 20 \log 2^{N+1} = 78dB$$

Il est à noter qu'en fait cet étage d'amplification qui est le premier de la chaîne du CAN pipeline sert à pourvoir l'étage suivant qui a une résolution de 11bits. Par conséquent, tout se passe comme si l'on avait sur-dimensionné le gain de cet étage vis-à-vis de l'étage qui suit.

L'étude précédente sur les temps d'établissement des structures ESA permet d'avoir une bonne approximation du produit gain-bande passante nécessaire. Pour avoir une résolution de N bits, si l'on considère un système du 1^{er} ordre de constante de temps τ_0 , il est nécessaire d'attendre :

$$t_{ac} = \tau_0 \ln(2^{N+1})$$

Ainsi, pour 12bits, il faut attendre au moins $9\tau_0$. C'est pourquoi, le temps d'établissement est pris égal à $10\tau_0$. Or le traitement de l'information se fait en 2 étapes ; chacune

¹Cependant elle ne prend pas en compte le bruit lié à l'OTA

²Erreur induite égale au $\frac{1}{2}$ LSB

nécessitant un temps d'établissement de $10\tau_0$. Par conséquent, la durée totale allouée par étage est de $1/f_s=20\tau_0$. Ceci correspond à un produit gain-bande passante (GBW) de :

$$f_{GBW} = \frac{1}{2\pi\tau_0} = \frac{10}{2\pi t_{ac}} = \frac{10}{\pi} f_s$$

Pour atteindre 30Méch/s, la f_{GBW} requise est de 100MHz. Sachant que l'on peut espérer un gain en temps d'établissement voisin de 20%, la f_{GBW} doit être alors au moins égale à 80MHz. Il est important de faire remarquer à présent que ce produit gain-bande passante doit être obtenu lorsque l'OTA est chargé par environ $((f_b - 1) + 2f_b) C \approx 5C$ où C représente la valeur de la capacité d'échantillonnage (soit encore ici environ 1pF pour 12bits).

2 Conception du circuit ESA

Dans le contexte particulier de la microélectronique pour les systèmes spatiaux embarqués, les composants analogiques doivent présenter à la fois de bonnes performances (précision, résolution et vitesse) et une faible consommation. Aussi, afin de réaliser la fonction ESA³, les OTA utilisés dans ces circuits à capacités commutées doivent remplir deux conditions : rapidité et fort gain en boucle ouverte [BG90],[Ahm06] et [YFdS05]. Toutefois, l'optimisation simultanée pour obtenir une vitesse et un gain accrus se heurte à des contradictions. D'un côté, la nécessité d'un gain élevé amène à la conception d'un AO à plusieurs étages où les transistors MOS doivent préférentiellement être choisis à grande longueur de canal et polarisés par de faibles courants afin d'améliorer l'impédance de sortie et de faire fonctionner les transistors en faible inversion. D'un autre côté, si l'on souhaite travailler avec une bande passante élevée, une architecture plus simple à un seul étage avec des transistors MOS polarisés avec de forts courants et ayant de faibles longueurs de canal est préférable.

C'est pourquoi, la technique dite de gain décuplé⁴ permet d'exploiter les avantages des AO à un seul étage de gain⁵ en leur conférant un gain amélioré grâce à l'utilisation de boucles de contre-réaction locale [BG90],[Ahm06],[YFdS05],[DH00],[WQ04] et [AGP02]. Bien sûr, une telle technique s'accompagne d'un coût supplémentaire en terme de consommation.

Dans un premier temps, le principe de base de ce type d'architecture sera décrit. Puis, un OTA cascode télescopique sera conçu de sorte à assurer les performances précédemment décrites. Pour terminer, une structure de cascode replié amélioré sera étudiée pour essayer de corriger certains défauts comme la plage dynamique utile en sortie de l'architecture télescopique.

2.1 Principe de base du cascode régulé (boosted cascode)

a) Le Gain

La technique repose sur l'augmentation de l'effet cascode généré par le transistor T_2 en utilisant le principe de la contre-réaction via un AO additionnel (voir figure 4.2)

³ie assurer des transfert de charge rapide et complet

⁴Gain Boosting technique

⁵en général ce sont des circuits de type cascode télescopique ou replié (telescopic and folded cascode)

[BG90] et [GHLM01]. Ainsi, elle assure un meilleur découplage entre la tension de sortie V_{out} et la tension de drain du transistor T_1 . La conductance de sortie du dispositif est alors considérablement diminuée d'un facteur A_{add} (gain DC en boucle ouverte de l'étage additionnel) :

$$g_{out} = \frac{g_{ds2}}{\left(\frac{g_{m2}}{g_{ds1}} (A_{add} + 1) + \frac{g_{ds2}}{g_{ds1}}\right) + 1}$$

$$\Rightarrow A_{0_{tot}} = \frac{V_{out}}{V_{in}} = -g_{m1} \frac{\left(\frac{g_{m2}}{g_{ds1}} (A_{add} + 1) + \frac{g_{ds2}}{g_{ds1}}\right) + 1}{g_{ds2}} \approx -g_{m1} \frac{\frac{g_{m2}}{g_{ds1}} A_{add}}{g_{ds2}}$$

Il est intéressant de noter qu'une plus grande plage dynamique de sortie peut être assurée suivant le type d'AO additionnel utilisé. En effet, ce dernier peut fixer la tension de drain du transistor T_1 à une valeur de tension faible imposée par la référence en tension (voir la section folded 2.3).

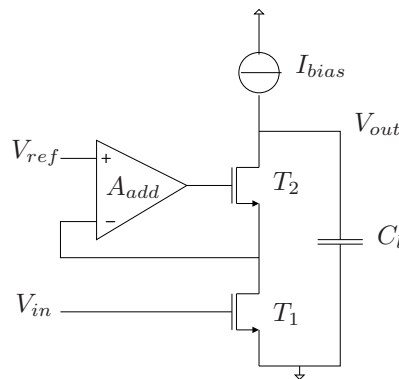


FIG. 4.2: Schéma de principe du cascode régulé

b) Stabilité

Si l'on considère tout d'abord l'architecture cascode simple, celle-ci possède deux pôles principaux :

- le pôle dominant ω_3 lié à l'impédance de sortie du dispositif et à la capacité de charge.
- un autre pôle ω_6 lié à la capacité parasite entre T_1 et T_2 et à la transconductance de T_2 .

Aussi dans une première phase de conception, il faut s'assurer que l'AO simple soit relativement stable en fréquence (marge de phase $\Phi_M > 70^\circ$ (voir étude précédente sur le rapport temps d'établissement et la position du 2^{ème} pôle)).

Pour conserver un comportement fréquentiel proche de celui de l'OTA du type cascode simple, il n'est pas nécessaire que l'AO additionnel soit rapide vis-à-vis du produit gain-bande passante de l'AO cascode simple. La figure 4.3 montre le diagramme asymptotique de gain pour l'OTA simple, l'AO additionnel et l'OTA résultant de leur combinaison. Afin de conserver l'aspect d'un système du 1^{er} ordre, il faut s'assurer que le produit gain-bande passante ω_4 de l'AO additionnel soit supérieur à la bande passante ω_3 de l'OTA simple. Par conséquent, ceci n'implique pas un produit gain-bande passante supérieur à celui de l'OTA simple. En fait, de par le fait que cet étage forme une boucle fermée avec

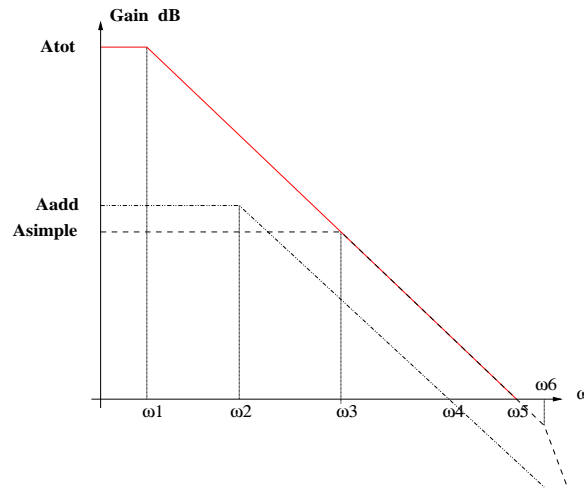


FIG. 4.3: Diagramme asymptotique de l'évolution du gain de l'AO simple, l'AO additionnel et l'AO résultant

le transistor T_2 , des problèmes de stabilité peuvent survenir si l'AO additionnel est trop rapide. En effet, dans cette boucle, deux pôles sont mis en jeu : celui de l'AO additionnel et celui lié au second pôle ω_6 de l'OTA simple (T_2). Pour des raisons de stabilité, il faut que le produit gain-bande passante de l'AO additionnel soit inférieur à ω_6 ([BG90],[Ahm06]) :

$$\omega_3 < \omega_4 < \omega_6$$

c) Temps d'établissement

L'étude précédente n'est pas suffisante pour s'assurer d'un temps d'établissement optimal. En fait, une observation plus minutieuse du précédent diagramme montre la présence d'un doublet (zéro-pôle) proche de ω_4 . Ce doublet provient de la disparition du gain de l'AO additionnel qui fait que l'impédance de sortie est due au seul cascode simple (la boucle ne réagit plus). Or la présence d'un tel doublet a un impact négatif sur le temps d'établissement du système [KMG74]. Pour limiter l'impact de ce doublet, il faut s'assurer que le produit gain bande de l'OTA simple soit supérieur à la bande passante du système bouclé mais toujours inférieur à ω_6 [BG90] et [Ahm06]. Or dans notre cas si l'on néglige la capacité parasite d'entrée de l'OTA, le facteur de boucle est de 1. Par suite, ω_4 doit vérifier la condition suivante :

$$\omega_5 < \omega_4 < \omega_6$$

d) Résumé sur la méthode de conception de l'OTA pour le circuit ESA

Le diagramme de la figure 4.4 schématise de façon simple la méthode de conception de ce type d'OTA.

2.2 Réalisation de l'OTA cascode télescopique régulé

La structure cascode télescopique différentielle (figure 4.5) est l'une des plus simples à mettre en œuvre pour obtenir un AO différentiel symétrique avec un gain supérieur à 50dB et une large bande passante pour une consommation globale faible. C'est pourquoi,

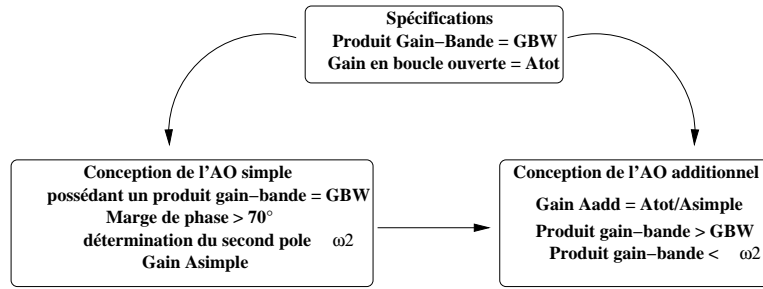


FIG. 4.4: Méthode de conception simplifiée de l'OTA pour un circuit ESA de gain 2

cette structure a été tout d'abord choisie pour valider l'étude précédente et ce d'autant plus que son comportement fréquentiel est proche de celui d'un OTA du 1^{er} ordre.

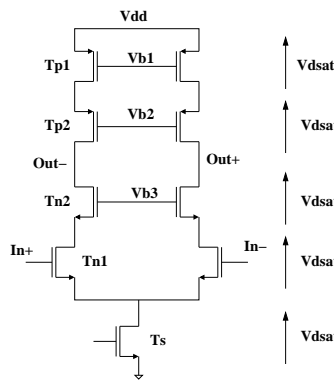


FIG. 4.5: Schéma de principe de l'OTA télescopique cascode

a) Réalisation du cascode télescopique simple

Comme précédemment énoncé, le but est de concevoir un OTA avec un produit gain-bande passante voisin de 80MHz sachant que l'OTA est chargé par au moins 5pF. Or le produit gain-bande passante au 1^{er} ordre f_{GBW} est donné par $g_m/(2\pi C)$ pour ce type d'architecture où g_m est la transconductance des transistors de la paire différentielle d'entrée. Par suite, il découle que la valeur de la transconductance minimale doit être de 2.5mS. Pour ne pas avoir des transistors MOS de taille trop grande et pour ne pas aussi avoir de courants trop forts⁶, l'intensité du courant de polarisation est fixée à 300μA par branche et les transistors MOS d'entrée sont choisis de type N⁷ pour une transconductance de 3mS⁸. L'analyse du second pôle de cet OTA montre que ce pôle se situe autour de 1GHz. Ceci explique pourquoi l'on peut considérer que le comportement de cet OTA est quasiment du type OTA du 1^{er} ordre. Le gain en boucle ouverte est de 67dB et la marge de phase de 87° (ce qui est en accord avec la position du deuxième pôle) comme le montre la simulation SPICE fig. 4.6.

⁶suffisant toutefois pour avoir un bon slew rate

⁷ une activité environ 3 fois mieux que le type P pour une surface équivalente

⁸une telle valeur est préférable car de part la taille du MOS la capacité C_g parasite d'entrée est d'environ 0.2pF ce qui impose un facteur $f_b \approx 1.2$ et donc une capacité totale de charge $\approx 5.6pF$

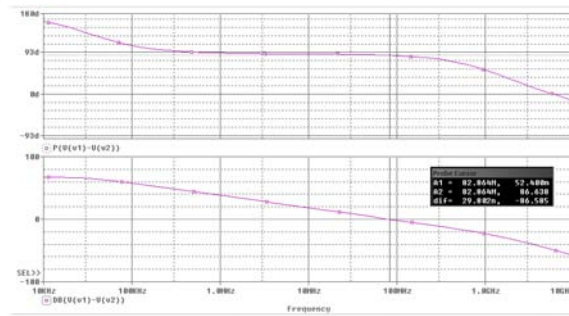


FIG. 4.6: Diagramme de bode de la phase et du module de l’OTA télescopique simple

b) Réalisation des amplificateurs additionnels du cascode télescopique réglé

Pour cette réalisation, le choix des amplificateurs additionnels se porte sur la structure la plus simple : source commune avec charge active. Cette structure apporte un gain modéré d’environ 40dB mais qui est suffisant pour la résolution souhaitée. Un des principaux défauts de cette architecture est qu’elle n’optimise ni la dynamique de sortie du système ni la plage d’entrée de mode commun.

D’après l’étude précédente, on sait que le produit gain-bande passante de cette amplificateur doit être supérieur à 80MHz (pour assurer un temps d’établissement court) mais inférieur à 1GHz (pour assurer la stabilité du système). La plage des possibilités est grande. Aussi, le choix de polarisation et de la taille des transistors MOS est assez libre. Les points qui vont en orienter la conception sont : minimiser la consommation et assurer des tensions grille-source minimales (pour optimiser la plage dynamique de sortie).

La figure 4.7 résume les performances de ces amplificateurs

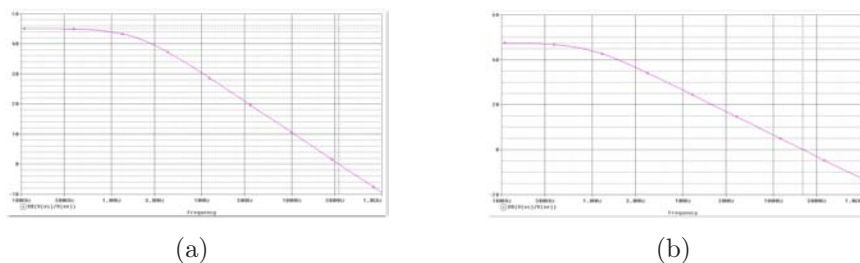


FIG. 4.7: Diagramme de bode du module de l’amplificateur additionnel de type source commune NMOS (45dB) (a) et de type source commune PMOS (47dB) (b)

c) L’amplificateur total

Le schéma complet de l’amplificateur est décrit sur la figure 4.8(a). L’architecture décrite par le schéma 4.8(b) a été utilisée pour l’implémentation de la mémoire de courant.

Une fois les amplificateurs incorporés à l’amplificateur principal, on peut vérifier (fig. 4.9) que :

- $A_{tot} = 115dB = 67dB + 48dB \approx A_{simple} + A_{add}$
- le produit gain-bande passante est voisin de 90MHz

Il est intéressant de remarquer la présence du doublet autour des 200MHz-300MHz qui correspond bien au produit gain-bande passante des amplificateurs additionnels.

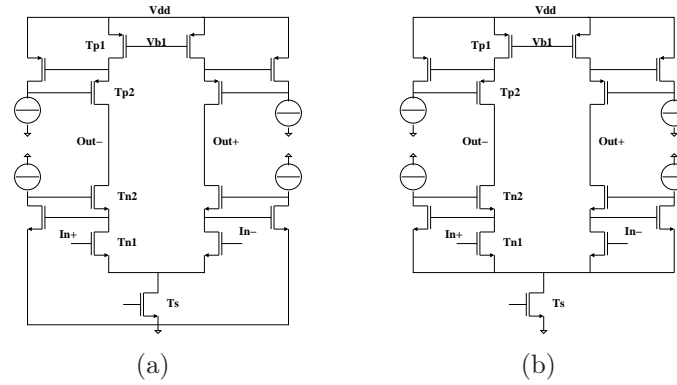


FIG. 4.8: Schéma de principe de l'OTA télescopique cascodé complet

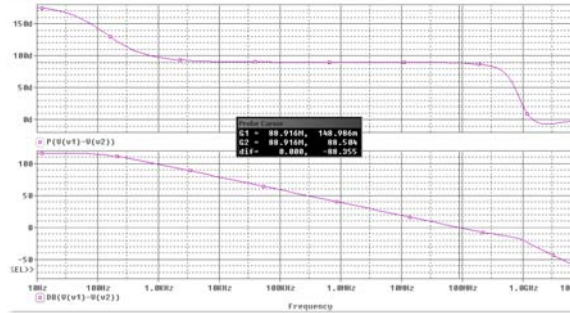


FIG. 4.9: Diagramme de bode de la phase et du module de l'AO télescopique simple

De plus, l'analyse de la dynamique en tension de sortie montre que celle-ci est assez faible. En effet, d'une part à cause de la structure très simple des amplificateurs additionnels qui impose une polarisation V_{ds} des transistors T_{p1} égale à $1 V_{gs}$ et d'autre part à cause de l'empilement des transistors. Ainsi, la dynamique de sortie est voisine de :

$$V_{dyn} = V_{dd} - 4V_{dsat} - V_{gs} \approx 1.2V$$

Soit environ $2.4V_{pp}$. Des simulations SPICE DC montrent que la plage de tension admissible ($gain > 80dB$) est d'environ $2.04V_{pp}$.

En outre, à cela s'ajoute une faible plage admissible d'entrée de mode commun. Ce point est important car le mode commun dépend fortement de l'injection de charges des commutateurs qui servent soit à mettre en suiveur l'OTA soit à le mettre hors service durant la phase d'échantillonnage (les entrées et sorties de l'OTA sont court-circuitées à une tension de référence). Ainsi, les fluctuations du mode commun d'entrée peuvent entraîner une forte fluctuation de la plage de sortie admissible (voir le tableau 4.1).

d) Temps d'établissement

En ce qui concerne le temps d'établissement t_{ac} , la taille des commutateurs analogiques doit être choisie en respectant l'étude précédente sur les circuits ESA du 1^{er} ordre. En

ΔV_{mc}	-0.3V	-0.2V	-0.1V	0.0V	0.1V	0.2V	0.3V	0.4V
Plage de sortie V_{pp}	1.5V	2.3V	2.0V	2.0V	1.95V	1.9V	1.8V	1.6V

TAB. 4.1: Plage dynamique de sortie en fonction de la déviation de la valeur de mode commun centrée autour de $V_{dd}/2$

effet, la constante de temps τ_2 associée à la structure cascode est ici très petite vis-à-vis du produit gain-bande passante du système ($\tau_2 \approx \tau_0/15$). Ainsi, dans le cas où seul S_1 est mis en jeu, il faut que $\tau_{on1} \approx 0.62\tau_0$ pour obtenir un temps d'établissement minimum voisin de 50%. Puis dans le cas où S_1 et S_2 sont mis en jeu, une valeur optimale de S_1 doit être choisie telle que $\tau_{on1} > 0.8\tau_0$ pour s'opposer aux effets du commutateur S_2 . Enfin, dans le cas complet S_1 , S_2 et S_3 , les valeurs optimales et possibles (c'est-à-dire une valeur pour S_3 assez grande) sont respectivement $\tau_{on1} \approx \tau_0$, $\rho \approx 0.2$ et $\gamma \approx 0.3$. On obtient ainsi :

- Cas idéal : 17.2ns ce qui correspond bien au produit gain-bande passante de 90MHz ($\approx 17.6ns$).
- Cas S_1 : 10.6ns ce qui correspond à une amélioration de 40%.
- Cas S_1S_2 : 12.7ns ce qui correspond à une amélioration de 25%.
- Cas $S_1S_2S_3$ (voir tab 4.2).

Cas	1			2			3			4			5		
	S_1, κ	S_2, ρ	S_3, γ	κ	ρ	γ	κ	ρ	γ	κ	ρ	γ	κ	ρ	γ
	1	0.2	0.3	1	0.3	0.05	1	0.05	0.3	0.3	1	1	0.05	1	1
t_{ac} (ns)	18.2ns			13.9ns			17.5ns			25.4ns			18.7ns		
Improvement	+5%			-20%			+1%			+48%			+9%		

TAB. 4.2: Temps d'établissement fonction des commutateurs $S_1S_2S_3$ (en Ω)

Le tableau 4.2 montre que grâce à une conception soignée des commutateurs analogiques, leurs influences sur le temps d'établissement peuvent être minimisées (comparaison des cas 2 et 5, et des cas 3 et 4 (même taille de S_3) et que le phénomène d'injection de charges peut être réduit d'un facteur 6 (comparaison des cas 1 et 5, et des cas 3 et 5). Par conséquent, le cas 3 doit être considéré si l'on veut réduire le phénomène d'injection de charges sans pénalité de consommation alors que le cas doit être choisi si l'on veut réduire le temps d'établissement d'environ 20% par rapport au temps idéal et 30% par rapport à une conception classique. Il faut remarquer que dans le cas 2, augmenter la taille du commutateur S_2 peut aussi permettre de réduire le temps d'établissement (sans pénalité d'injection de charges).

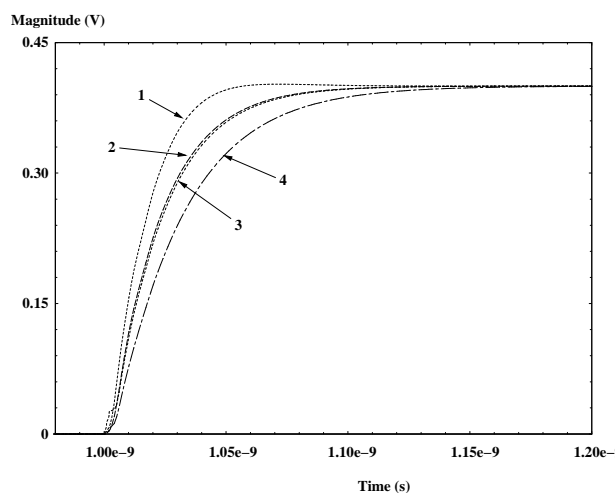


FIG. 4.10: Spice simulation. Réponse transitoire de l'amplificateur cascode amélioré pour les cas suivants (κ, ρ, γ) : 1 (1, 0.3, 0.05), 2 (1, 0.2, 0.3), 3 (0.05, 1, 1), 4 (0.3, 1, 1).

La Fig. 4.10 montre que le cas où l'injection de charges est réduite ($\kappa=1, \rho=0.2, \gamma=0.3$) a le même temps d'établissement que le cas (0.05, 1, 1) (avec des commutateurs

plus larges) et que le cas où le temps d'établissement est optimisé (1, 0.3, 0.05) est plus rapide que les deux cas (0.05, 1, 1) et (0.3, 1, 1).

Par suite, une telle architecture peut atteindre une précision ⁹ de 12bit à 28MS/s (Tableau 4.2, cas 1) ou à 36MS/s (Tableau 4.2, cas 2).

2.3 Réalisation de l'OTA cascode replié

Afin d'étendre la dynamique de sortie du système, il faut changer à la fois l'architecture de l'OTA principal et celui de l'AO additionnel. De plus, la plage d'entrée du mode commun doit être aussi étendue pour rendre le système plus robuste vis-à-vis des injections de charges. La structure cascode repliée ([GHLM01]) (Fig. 4.11(a)) permet d'améliorer ces caractéristiques. Par contre, cette structure consomme plus pour le même produit gain-bande passante de par la présence de 2 branches. En outre, le comportement du type 1^{er} ordre est plus difficile à obtenir que dans le cas du cascode télescopique à cause d'une charge capacitive plus forte au niveau de la zone de repliement (nœud commun entre T_{in} , T_{p1} et T_{p2}).

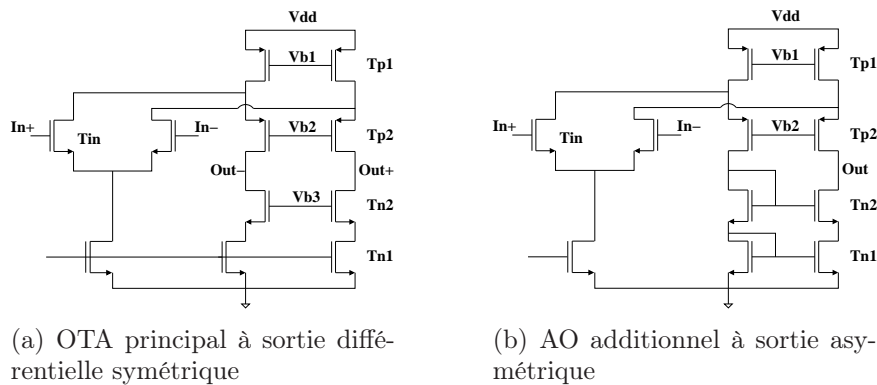


FIG. 4.11: Schéma de principe de l'OTA cascode replié

a) Le mode commun d'entrée

Comme l'illustre la figure 4.11(a), la paire différentielle d'entrée *ne supporte plus* la pile de transistors comme dans le cas du cascode télescopique. Ainsi, la définition des plages d'entrée¹⁰ limites basses et hautes est :

- Limite basse : $V_{mcmin} = V_{dsat} + V_{gs} \approx 1.2V$
- Limite haute : $V_{mcmax} = V_{dd} - 2V_{dsat} + V_{gs} \approx 3.3V$

b) La plage de sortie

La plage de sortie de l'OTA correspond à celle d'un amplificateur cascodé à charge active cascodée soit encore :

$$V_{dyn} = V_{dd} - 4V_{dsat} \approx 2V$$

Par conséquent, pour atteindre cette plage de sortie optimale, il faut remplacer les simples amplificateurs à source commune utilisés dans l'étude précédente par une structure

⁹Les injections de charges ne sont pas prises en compte

¹⁰pour une paire d'entrée différentielle N

qui permet de figer les tensions de drain des transistors MOS cascodés à des tensions voisines de $V_{dd} - V_{ds_{sat}}$ et $V_{ds_{sat}}$. Ainsi, la structure cascode repliée apparaît comme étant une solution possible [Ahm06] qui ne rajoute pas de contraintes supplémentaires à la structure globale comme pour les architectures [JM97] et [Raz00].

c) La réalisation

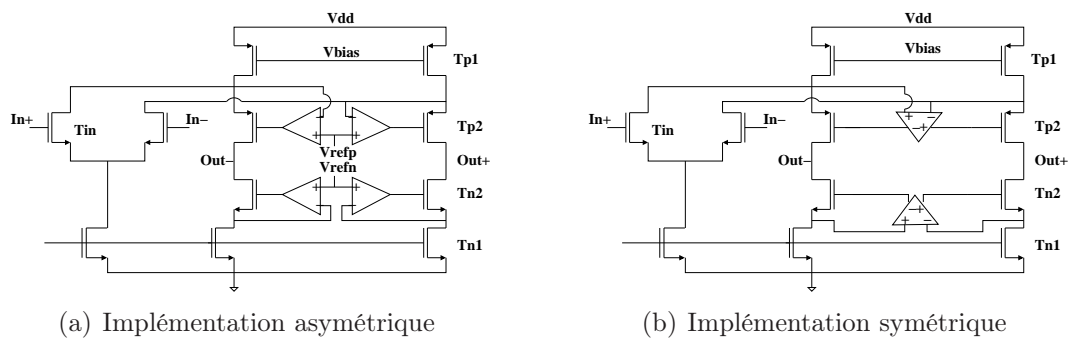


FIG. 4.12: Schéma de principe de l'OTA cascode replié complet

La réalisation de cet OTA est en tout point similaire à la précédente et ne sera donc point détaillée à nouveau. Le schéma de l'OTA final est représenté sur la figure 4.12(a). La version asymétrique pour l'AO additionnel a été choisie par simplicité de réalisation puisqu'il n'est pas nécessaire d'implémenter un contrôle de mode commun pour ces AO additionnels. Le tableau 4.3 résume les performances globales de l'OTA.

Gain	97dB
GBW	95MHz
Plage de mode commun	$>2.4V$ {0.9V, 3.3V}
Plage dynamique de sortie	$2.2V \rightarrow 4.4V_{pp}$
Consommation	12mW

TAB. 4.3: Performance de l'OTA cascode replié

L'utilisation de la version symétrique présentée par la figure 4.12(b) permettrait de réduire sensiblement la consommation totale à 8.5mW environ en utilisant un contrôle de mode commun capacitif [GHLM01].

d) Le Temps d'établissement

Comme il l'a été précédemment souligné cette structure cascode possède un second pôle plus fort que dans le cas de la structure cascode télescopique. Ainsi dans notre cas, $\tau_2 \approx \tau'_0/8.7 \approx 0.12\tau'_0$, ce qui correspond à l'étude du second ordre effectuée.

Aussi, dans le cas où seul S_1 est mis en jeu, il faut se placer au plus proche du cas idéal de l'étude théorique, c'est-à-dire proche de $\{\tau_{on}, \tau_2\} = \{0.42\tau'_0, 0.1\tau'_0\}$ pour lequel une réduction d'environ 40% du temps d'établissement est observée. Cela correspond ici à $R_{on_1} \approx 750\Omega$. Dans le cas où S_1 et S_2 sont mis en jeu, on choisit une valeur supérieure à la valeur précédente pour S_1 pour avoir une valeur appréciable pour S_2 . Ainsi si l'on prend $R_{on_1} = 1.4k\Omega$ alors la valeur optimale pour R_{on_2} est voisine de 600Ω . Les temps d'établissement obtenus sont alors donnés par le tableau 4.4.

Impédance de (S_1, S_2)	1 Ω , 1 Ω	750 Ω , 1 Ω	600 Ω , 600 Ω	1.4k Ω , 600 Ω
t_{ac}	16.5ns	10.5ns	17.5ns	13.5ns

TAB. 4.4: Temps d'établissement en fonction du couple (S_1, S_2)

Si l'on considère l'ensemble des commutateurs (en se servant des divers abaques), on obtient le tableau 4.5 :

Cases	1			2			3			4		
	S_1, κ	S_2, ρ	S_3, γ	κ	ρ	γ	κ	ρ	γ	κ	ρ	γ
	0.6	0.2	0.3	0.6	0.3	0.05	0.2	1	1	0.05	1	1
t_{ac} (ns)	17.75ns			12.5ns			23.25ns			18.125ns		
Improvement	+3%			-27%			+35.2%			+5%		

TAB. 4.5: Temps d'établissement fonction des commutateurs $S_1 S_2 S_3$ (en Ω)

2.4 Conclusion

Cette étude a permis de montrer l'influence non-négligeable des commutateurs analogiques mis en jeu dans le temps d'établissement des circuits ESA. Alors que les commutateurs S_2 et S_3 ont tendance à rendre le système plus stable et plus lent, le commutateur S_1 rend ce dernier plus rapide mais aussi moins stable. Il est à noter que S_3 est le commutateur le plus critique. En effet, il ne doit pas être trop petit pour ne pas pénaliser trop fortement le temps d'établissement du circuit mais pas trop large non plus pour ne pas détériorer le problème d'injection de charges. Dans le cas du circuit télescopique cascode, ce commutateur S_3 peut être choisi 6 fois plus petit que dans le cas non optimisé pour le même temps d'établissement, ce qui se traduit par une réduction nette d'un facteur 6 de l'injection de charges pour l'étage suivant (Tab. 4.2). De même, pour le circuit cascode replié, une réduction d'un facteur 4 est possible (Tab. 4.5).

Une méthode de conception d'OTA dit à découplément de gain a été détaillée. C'est ainsi que deux OTA ont été conçus en technologie CMOS 0.35 μm dans le cadre de la réalisation d'une cellule ESA de résolution 12bits et de fréquence de fonctionnement de 30Méch/s. Elle permet d'améliorer de 20% la vitesse de fonctionnement de ces circuits sans coût supplémentaire en puissance consommée par rapport à un circuit idéal (commutateurs idéaux) et près de 50% de gain par rapport à une structure classique où l'impédance des commutateurs n'a pas été optimisée.

En outre, si l'on ne souhaite pas augmenter la vitesse de fonctionnement de ces circuits, cette étude propose aussi une méthode de réduction des charges injectées par le commutateur analogique S_3 d'un facteur 5 à 6 en diminuant la taille de ce dernier. Ceci se traduit alors essentiellement en un gain en précision.

Chapitre 5

Les commutateurs analogiques

Introduction

Retenir une information durant un certain laps de temps est l'une des fonctions centrales des convertisseurs analogiques-numériques. Tant pour le mode *tension* que pour le mode *courant*, cette fonction de mémorisation de l'information est généralement réalisée à l'aide d'un condensateur car celui-ci est relativement facile à intégrer via les technologies CMOS actuelles. Ainsi, la quantité de charges stockées par le condensateur permet la mémorisation de la tension souhaitée¹.

Pour pouvoir accéder à ces mémoires, les commutateurs analogiques (transistors MOS) sont très souvent utilisés. De plus, comme les chapitres 3 et 4 l'ont mis en valeur, les structures en tension à capacités commutées requièrent des commutateurs analogiques performants et ce d'autant plus que la plage en tension admissible est grande et que la tension d'alimentation est faible.

Aussi, il est nécessaire, dans un premier temps, d'étudier leurs caractéristiques intrinsèques afin de cerner les limitations inhérentes à la topologie du transistor MOS pour pouvoir ensuite aborder la description de méthodes permettant d'améliorer leurs performances.

1 Le transistor MOS : commutateur analogique

1.1 Généralités [WH02b]

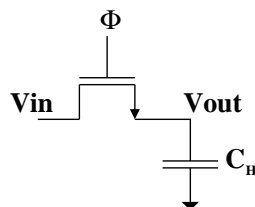


FIG. 5.1: Circuit de principe E/B en technologie CMOS

La figure 5.1 présente le plus simple des échantillonneurs/bloqueurs (E/B) réalisé en

¹On parle d'échantillonneur/bloqueur

technologie CMOS. Son principe de fonctionnement peut être décomposé comme suit pour un transistor NMOS :

1. Lorsque l'horloge est à l'état haut (Φ_H), le NMOS devient passant ce qui permet de charger la capacité. Il fonctionne essentiellement en zone ohmique².
2. Lorsque l'horloge est à l'état bas (Φ_L), le NMOS isole la capacité du signal d'entrée, ce qui permet de figer la donnée à un instant donné.

Ainsi, ce commutateur doit être caractérisé par une conductance minimale admissible permettant au système de charger la capacité de maintien C_H en une durée donnée compatible avec la précision souhaitée. L'équation (5.1) traduit la relation qui existe entre la conductance du commutateur, sa taille et sa tension de commande [GAS90], [Tsi99].

$$g_{on} = \mu C_{ox} \frac{W}{L} \left(\underbrace{V_{gs} - V_{th0} - \gamma \left(\sqrt{2\Phi_f + V_{in}} - \sqrt{2\Phi_f} \right)}_{V_{th_{vin}}} - V_{ds} \right) \quad (5.1)$$

avec V_{gs} la tension grille-source, V_{ds} la tension drain-source, V_{th0} la tension de seuil, γ le paramètre d'effet substrat et Φ_f le potentiel de Fermi.

Ainsi, pour augmenter la conductance du commutateur, il faut augmenter la largeur W du transistor, diminuer sa longueur de canal et utiliser une forte tension de commande. Il est à noter que l'effet substrat diminue d'autant plus la conductance du commutateur que la différence de tension entre le signal d'entrée et la tension de substrat est grande. Ceci met en évidence la dépendance non-linéaire de la conductance du commutateur avec l'amplitude de la tension du signal d'entrée³. En outre, ce type de commutateur analogique ne permet pas de balayer l'ensemble de la plage du signal d'entrée à cause de la tension de seuil qui est non nulle. C'est ce qui est illustré par les figures 5.2(a) et 5.2(b). Cet aspect est d'autant plus critique que le rapport tension de seuil / tension d'alimentation est faible.

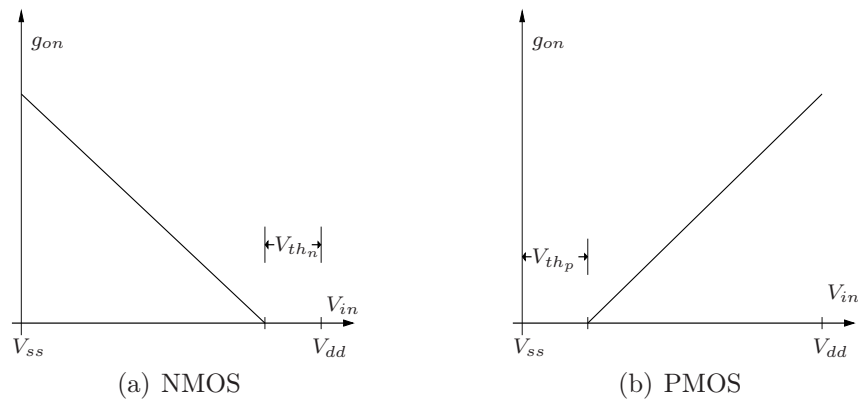


FIG. 5.2: Evolution de la conductance du commutateur analogique g_{on} à l'état ON en fonction de l'amplitude du signal d'entrée

Si l'on s'intéresse à présent à la bande passante au 1^{er} ordre du système⁴, on obtient

²Sauf au début de la charge suivant l'état de polarisation précédemment retenu

³Dans le cas de système en mode-courant, ce phénomène est moins marqué car les écarts en tension sont plus faibles

⁴cette approximation ne tient pas compte de l'évolution de la valeur de l'impédance du commutateur au cours du temps

la relation (5.2).

$$f_c = \frac{1}{2\pi} \frac{\mu C_{ox} \frac{W}{L} (V_{gs} - V_{th_{vin}})}{C_H + C_j} \quad (5.2)$$

où C_H est la capacité d'échantillonnage et C_j représente la capacité de jonction entre la source (ou le drain) et le substrat (on considère que $V_{ds} = 0$). Cette capacité est donnée par l'équation (5.3) dans le cas d'une jonction abrupte.

$$C_j = \frac{C_{j0}}{\sqrt{1 - \frac{V_{sb}}{\Psi_0}}} \quad (5.3)$$

avec Ψ_0 le potentiel interne qui dépend directement du dopage du drain/source et du substrat⁵. Il est ainsi intéressant de remarquer qu'augmenter la taille du commutateur a un effet bénéfique vis-à-vis de la bande passante du système jusqu'à une certaine valeur à partir de laquelle la capacité de jonction devient du même ordre de grandeur que la capacité d'échantillonnage. Ceci est mis en évidence par le graphe 5.3.

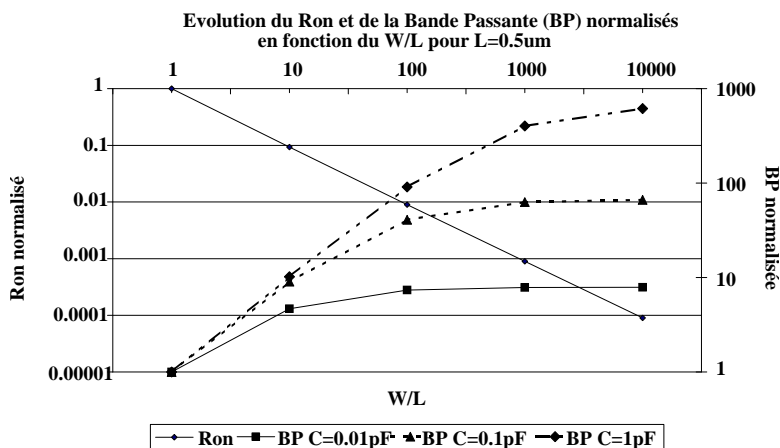


FIG. 5.3: Evolution de la bande passante en fonction du rapport W/L du NMOS (AMS 0.35μm)

Après cette brève description du principe du commutateur analogique, il est nécessaire de la compléter par l'étude des phénomènes d'injection de charges et de clock feedthrough qui limitent les performances du dispositif échantillonneur/bloqueur en terme de résolution.

1.2 Le phénomène d'injection de charges et de clock feedthrough [WH02b] [THB94]

Ce phénomène est attribué à l'injection des charges accumulées dans le commutateur analogique (soit au niveau du canal du transistor soit au niveau des capacités parasites entre grille-source et grille-drain) lorsque le commutateur bascule de l'état ON à l'état OFF. En effet, quand le transistor MOS est ON, il opère dans sa zone ohmique de fonctionnement et sa tension drain-source est quasiment nulle à la fin de la charge de la capacité. Durant cette phase de charge, le canal du transistor MOS dispose d'une certaine quantité de charges dans le canal (fig. 5.4), quantité qui est directement liée à la conductance de ce dernier. Lorsque le transistor bascule à l'état OFF, deux mécanismes d'injection de charges interviennent :

⁵ $\Psi_0 = u_T \ln \frac{N_A N_D}{n_i^2}$

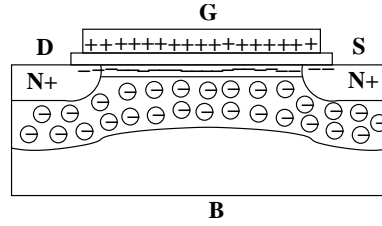


FIG. 5.4: Schéma en coupe du commutateur analogique NMOS à l'état ON

- Une partie des charges accumulées dans le canal sont ré-injectées dans le circuit via le drain et la source du transistor. En général, de par le fait que les temps de transition de l'état Haut - Bas de l'horloge sont brefs devant le temps moyen de recombinaison des charges dans le substrat, les charges ré-injectées représentent la totalité des charges du canal. Cette charge accumulée est donnée par l'expression (5.4).

$$Q_{canal} = q W L C_{ox} (V_{gs} - V_{thvin}) \quad (5.4)$$

avec $V_{gs} = \Phi_H - V_{in}$, $q = 1$ dans le cas du PMOS, $q = -1$ dans le cas du NMOS. L'erreur commise sur la tension aux bornes de la capacité de maintien C_H est donnée par l'équation (5.5).

$$\Delta V_{out_{canal}} = \alpha \frac{Q_{canal}}{C_H} = \alpha \frac{q W L C_{ox} (V_{gs} - V_{thvin})}{C_H} \quad (5.5)$$

avec α le rapport entre les charges injectées sur l'armature haute de la capacité C_H et la totalité des charges accumulées dans le transistor MOS⁶.

- Les charges accumulées dans les capacités de recouvrement C_{ov} (entre grille-source et grille-drain) du MOS sont elles aussi injectées dans le circuit lors des basculements d'horloge. L'erreur commise sur la tension de maintien est donnée par l'équation (5.6).

$$\Delta V_{out_{ov}} = -\frac{C_{ov}}{C_H + C_{ov}} \Delta V_{clock} \quad (5.6)$$

Ainsi, ces mécanismes d'injection de charges sont intrinsèques à la physique du transistor MOS et ils dépendent de l'amplitude du signal d'entrée (via la tension de commande V_{gs} et la tension de seuil V_{thvin}). Par conséquent, l'erreur introduite est non linéaire et d'après les équations précédentes, un compromis entre la taille du transistor MOS, la bande passante et la résolution souhaitée est nécessaire. L'exemple 2 montre la nécessité d'utiliser des méthodes pour diminuer l'impact de l'injection de charges sur la précision du système.

Exemple 2. Si l'on considère un commutateur analogique de conductance $1mS$ (en technologie AMS $0.35\mu m$) qui permet de charger une capacité de $1pF$ à $V_{dd}/2$ (avec $V_{dd} = 3.3V$), alors

- La taille minimale du commutateur est de : $W/L=10\mu m/0.35\mu m$.
- La charge totale stockée dans le canal est d'environ⁷ :

$$Q_{tot} \approx C_{ox} W L = \frac{\epsilon_{ox}}{t_{ox}} W L = 2.55e^{-14} C$$

⁶Dans le cas où la commande d'horloge est rapide, on peut considérer que α soit sensiblement égal à $1/2$ quelques soient les impédances vues au niveau du drain et de la source [Bak05] et [WH02b]

⁷l'effet substrat n'est pas pris en compte

Par conséquent, l'erreur qui serait commise sur la tension de maintien avec l'hypothèse que la moitié des charges stockées est injectée dans la capacité de maintien ($\alpha = 1/2$), est :

$$\Delta V_{out} \approx 13mV$$

Cette tension d'erreur représente une erreur de l'ordre de 1% par rapport au signal d'entrée. Il faut toutefois remarquer qu'une partie de cette erreur est constante.

2 Comment améliorer les performances du commutateur analogique

L'étude précédente a mis en évidence la présence de certains défauts du commutateur analogique :

- La conductance dépend de l'amplitude du signal d'entrée à mémoriser.
- La plage effective de fonctionnement n'est pas rail-to-rail.
- L'injection de charges non linéaire dépend du signal d'entrée.

2.1 La porte de transmission

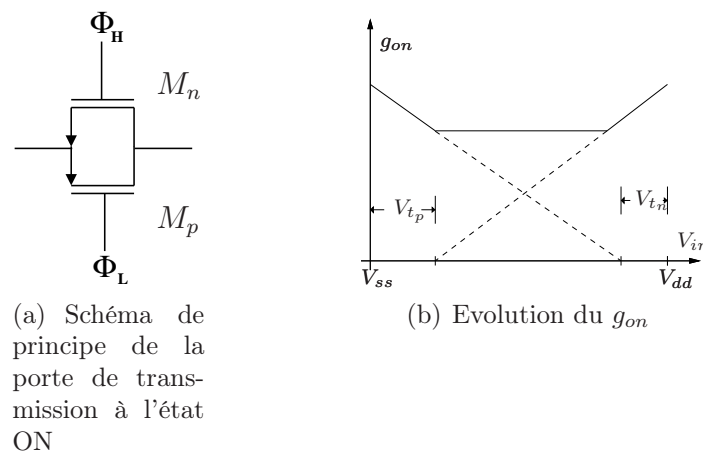


FIG. 5.5: Evolution de la conductance du commutateur analogique à l'état ON en fonction de l'amplitude du signal d'entrée

La porte de transmission (fig. 5.5(a)) permet de faire jouer la complémentarité du NMOS M_n et du PMOS M_p pour obtenir une conductance du commutateur moins dépendante du signal d'entrée et pour assurer le fonctionnement du commutateur sur toute la plage du signal d'entrée admissible comme le montre la figure 5.5(b). Un des avantages de cette structure est sa simplicité de mise en place. Toutefois, elle dispose de deux inconvénients majeurs :

- La complémentarité ne permet ni d'obtenir une injection de charges constante indépendante du signal d'entrée ni une annulation de l'injection de charges. Cet aspect

est mis en évidence par l'équation (5.7).

$$\begin{aligned}
Q_{inj} &= Q_{inj}^{NMOS} + Q_{inj}^{PMOS} \\
Q_{inj} &= C_{ox} (\alpha_p W_p L_p |\Phi_L - V_{in} - V_{thp}| - \alpha_n W_n L_n |\Phi_H - V_{in} - V_{thn}|) \\
&\quad - C_H \left(\frac{C_{ovn}}{C_H + C_{ovn}} - \frac{C_{ovp}}{C_H + C_{ovp}} \right) \Delta V_{clock} \\
&\Rightarrow Q_{inj}(V_{in}) \neq 0 \quad \text{en général}
\end{aligned} \tag{5.7}$$

- Lorsque la tension d'alimentation est très faible vis-à-vis des tensions de seuil, il est possible qu'une zone de non-fonctionnement du commutateur existe (ni le NMOS ni le PMOS ne conduisent).

Ainsi, il est nécessaire d'étudier d'autres approches moins sensibles. Par exemple, en se basant sur l'équation (5.1), le fait d'assurer un V_{gs} constant permet d'imposer une conductance indépendante du signal d'entrée au premier ordre⁸. C'est cette idée qui a donné naissance à la technique de bootstrapping (voir section 2.4) à V_{gs} constant [AG99], [DK99], [Kes05], [LWY02], [SWH01], [Ste99] et [WH02a].

2.2 L'utilisation de dummy ou transistor fantôme

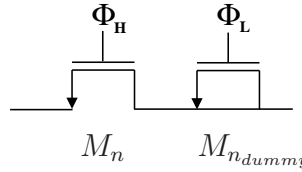


FIG. 5.6: Circuit de principe du commutateur avec son dummy

Cette méthode fait appel à un transistor supplémentaire ou fictif (M_{n_dummy} pour la Fig. 5.6) dans le sens où ses terminaux sont court-circuités, pour minimiser l'impact de l'injection de charges du commutateur principal. Son impact direct sur le circuit est limité à une charge capacitive supplémentaire. Le principe de fonctionnement de cette technique repose sur l'annulation des charges injectées par le commutateur analogique grâce à l'absorption de ces dernières par le dummy. Une équation simplifiée (pour le cas NMOS) du fonctionnement de la structure est donnée par (5.8).

$$\begin{aligned}
Q_{inj} &= Q_{inj} + Q_{inj}^{dummy} \\
Q_{inj} &= -C_{ox} (\alpha_n W_n L_n |\Phi_H - V_{in} - V_{thn}| - W_{dummy} L_{dummy} |\Phi_H - V_{in} - V_{thn}|) \\
&\quad - C_H \left(\frac{C_{ov}}{C_H + C_{ov}} - \frac{2C_{ovdummy}}{C_H + C_{ovdummy}} \right) \Delta V_{clock}
\end{aligned} \tag{5.8}$$

Si l'on se place dans le cas où $\alpha_n = 1/2$ ([Bak05] et [WH02b]), alors il faut que le dummy ait une taille deux fois plus petite que celle du commutateur analogique. Toutefois, une compensation exacte n'est jamais atteinte car :

- la valeur $1/2$ pour α n'est jamais exactement atteinte.
- l'appariement entre les transistors MOS est de l'ordre de 1-2% .

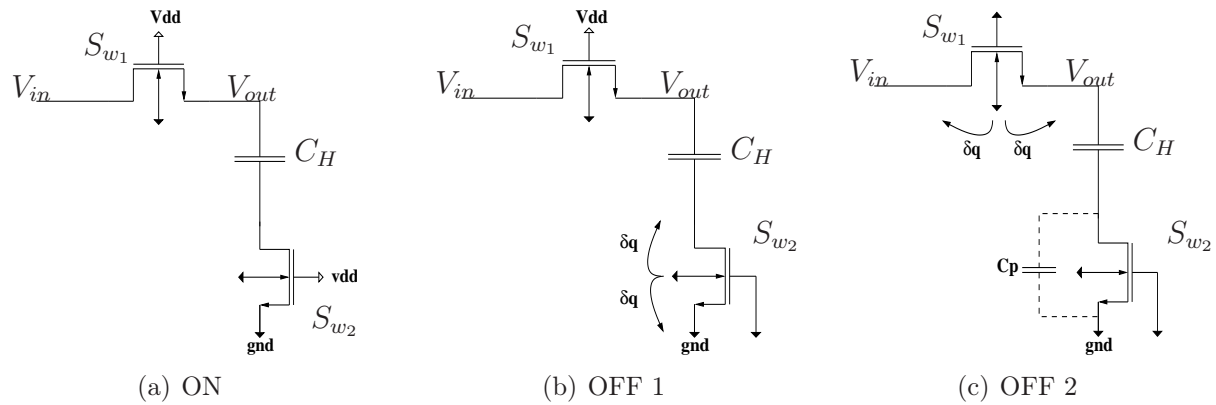


FIG. 5.7: Principe de fonctionnement du bottom plate sampling

2.3 La méthode du bottom plate sampling [WH02b]

Cette méthode rend l'armature "basse" de la capacité C_H flottante avant que le commutateur S_{w_1} ne soit ouvert. Ceci n'est rendu possible que par l'utilisation d'un commutateur supplémentaire S_{w_2} qui est ouvert juste avant S_{w_1} (voir fig.5.7). Ceci a un double impact sur l'injection de S_{w_1} :

- L'injection n'affecte pas la tension mémorisée aux bornes de la capacité⁹ C_H .
- Lorsque S_{w_2} est off, l'impédance vue du côté de la capacité de stockage est en général plus grande, ce qui a pour effet de réduire la quantité de charges injectées dans la capacité (et ce surtout si le basculement à l'état off de S_{w_1} n'est pas rapide).

De plus, ce commutateur supplémentaire fonctionne toujours au même potentiel et voit toujours la même impédance à ces bornes. Aussi, la quantité de charges du canal injectées dans l'armature basse de la capacité est toujours la même. Cependant, il réside un petit couplage capacitif entre le signal d'entrée et l'horloge de commande de cet interrupteur qui rend cette injection moins constante.

2.4 La méthode du bootstrapping [WH02b]

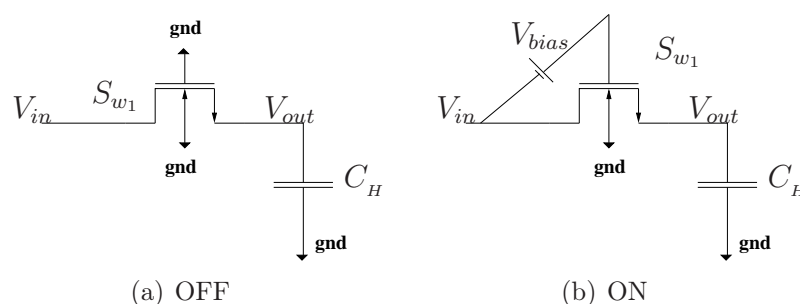


FIG. 5.8: Principe de fonctionnement de la méthode du bootstrapping

Le schéma de principe général de fonctionnement du bootstrapping est représenté sur la figure 5.8. A l'état OFF, dans le cas du NMOS, la grille est mise à la masse

⁸si l'on ne tient pas compte de l'effet substrat

⁹En fait cette tension est affectée dans le rapport entre la capacité de maintien C_H et la capacité parasite C_p du commutateur supplémentaire

(fig. 5.8(a)). Puis à l'état ON, une tension constante V_{bias} est appliquée entre un des terminaux (drain ou source) et la grille (fig. 5.8(b)). En général, cette tension est égale à la tension d'alimentation du circuit (V_{dd}) et fait appel à une technique de pompe de charges (charge pump) [AG99], [DK99], [Kes05], [LWY02], [SWH01], [Ste99], [FRS05] et [WH02a]. Ainsi une grande conductance indépendante du signal d'entrée s'établit entre drain-source du transistor. De plus, afin d'assurer une bonne fiabilité en terme de durée de vie, les circuits sont conçus de sorte que les différences de potentiel (d.d.p.) entre les diverses électrodes¹⁰ des transistors utilisés n'excèdent pas V_{dd} .

Toutefois, bien qu'une tension de commande constante soit appliquée, à cause de l'effet substrat, la conductance du commutateur est indépendante de signal d'entrée seulement au premier ordre. Il en va de même pour le phénomène d'injection de charges.

En outre, ces conceptions polarisent par défaut le substrat soit à la masse (NMOS) soit à V_{dd} (PMOS). Ceci implique donc que la tension grille-substrat puisse dépasser la tension V_{dd} pour dans le pire des cas parvenir à $2V_{dd}$ de façon transitoire¹¹. Ces transitoires peuvent détériorer la qualité de l'oxyde de grille (soit une rupture de grille soit créer des courants de fuite) bien que le stress ne soit pas continu. Ainsi dans une technologie $0.35\mu\text{m}$ avec une épaisseur d'oxyde voisine de 6.5nm ¹², il faut que la tension soit inférieure à 3.3V [Hu96] pour s'assurer d'avoir une durée de vie de l'ordre de 20 ans. Dans le cadre du contexte spatial où des ions lourds peuvent entrer en collision avec le transistor MOS, il est nécessaire de diminuer la probabilité d'apparition de ces phénomènes transitoires afin de diminuer l'impact ionisant associé à ces ions.

Pour éliminer ces 2 problèmes, différentes techniques ont été utilisées. Ainsi la variation de la conductance peut être corrigée par l'adjonction d'une tension variable à la tension constante de polarisation de la grille [PSC⁺00]. Cette tension supplémentaire représente en fait la tension de décalage de la tension de seuil. Cette méthode ne permet pas d'éliminer le problème de stress de la grille (et ce d'autant plus si la tension de polarisation est égale à V_{dd}) mais au contraire l'accroît. Une autre méthode consiste à connecter le substrat à la source du transistor MOS durant la phase de conduction de sorte à annuler l'effet du substrat [Ste99] et [Kes05]. De plus, grâce à cette technique, la tension grille-substrat ne peut excéder la tension V_{dd} . Elle présente toutefois l'inconvénient de ne pouvoir être utilisée que si le substrat peut être polarisé à une tension différente de la masse (NMOS) ou de V_{dd} (PMOS). La majorité des technologies CMOS du commerce s'appuie sur un substrat de type P. C'est pourquoi, la possibilité de polariser le caisson N contenant un PMOS à une tension différente de la tension d'alimentation du circuit est généralement plus probable que dans le cas du NMOS.

2.5 Proposition d'un commutateur compatible avec l'environnement spatial

a) Présentation

Dans le cadre du contexte spatial, il faut tenir des remarques effectuées à la section 1.2 soit encore :

¹⁰grille, drain et source

¹¹En effet, lors de la commutation, le canal de conduction n'étant pas créé, la tension aux bornes de l'oxyde de grille peut dépasser la tension V_{dd} . Une fois le canal créé, la tension se répartie entre l'oxyde et le canal (V_{dd}), et, le canal et l'oxyde ([Tsi99])

¹²La technologie AMS $0.35\mu\text{m}$ dispose d'une épaisseur d'oxyde voisine de $7.5\text{nm} \rightarrow 4\text{V}$

- L'utilisation de PMOS droit ou de NMOS fermé est obligatoire pour éviter le phénomène de courant de fuite.
- Il faut que les tensions aux bornes des différents composants du système ne dépassent pas en relatif la tension V_{dd} .

Cependant, il a été montré dans la section 2 que l'utilisation du NMOS fermé est moins favorable que celle du PMOS de par le fait que :

- il faut que la technologie puisse tolérer la présence de caisson P pour pouvoir polariser le substrat à une tension différente de celle de la masse.
- la non-symétrie du composant ainsi que des tailles minimales à respecter peuvent rendre plus ardue la compensation de l'injection de charges par l'utilisation de dummy.

Afin de tenir compte de ces diverses remarques, la structure du commutateur s'est orientée naturellement vers celle d'un PMOS $S_{w_1^p}$ bootstrappé de façon modérée. Cette nouvelle architecture est décrite par le schéma électrique de la figure 5.9. Elle laisse essentiellement place à deux modifications :

1. La tension de polarisation constante V_{bias} est choisie inférieure à V_{dd} . Cette modification permet de modérer le stress subit par l'oxyde de grille.
2. L'utilisation d'un AO rail-to-rail monté en suiveur pour permettre la polarisation du substrat et du système de bootstrap à V_{in} . Ceci permet d'éviter à la fois de charger le système par la capacité liée au caisson et d'améliorer - comme on le verra - la compensation de l'erreur liée à l'injection de charges. D'autre part, il permet de faire évoluer de manière simultanée la tension V_{gs} et la tension du substrat. Ainsi, le respect de la tension grille-substrat maximale est assuré.

b) Le principe de fonctionnement

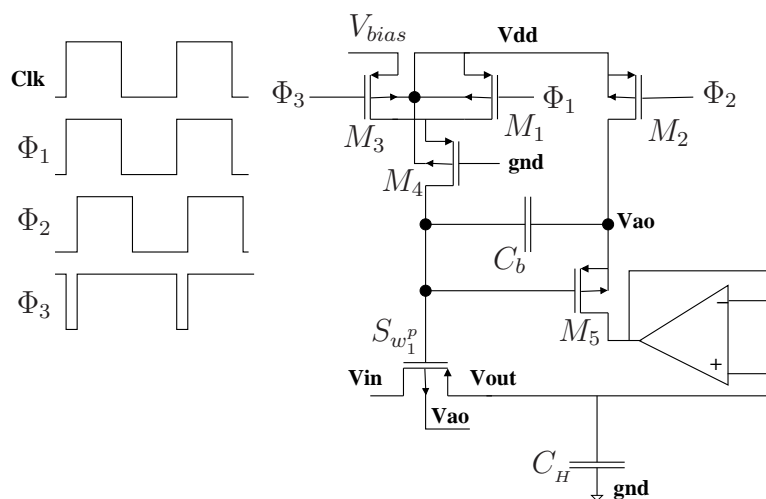


FIG. 5.9: Circuit de principe du commutateur analogique durci au radiation

Le fonctionnement du commutateur $S_{w_1^p}$ peut être décomposé en trois étapes successives (fig. 5.9) :

1. Les PMOS M_1 et M_2 sont fermés durant cette phase. Ceci permet d'ouvrir le commutateur M_5 et de polariser ainsi la grille et le substrat de $S_{w_1^p}$ à V_{dd} de sorte à s'assurer que le commutateur $S_{w_1^p}$ soit ouvert quelque soit le signal V_{in} et V_{out} .

2. Ensuite, M_1 est ouvert et M_3 fermé de sorte à pré-polariser la grille à la tension V_{bias} ¹³. Le commutateur $S_{w_1^p}$ commence alors à se fermer et la capacité de bootstrap C_b se charge à $V_{bias} - V_{dd}$.
3. Enfin, M_3 et M_2 sont ouverts. Ceci permet de polariser le substrat à V_{in} et la tension de grille à $V_{in} - V_{bias}$ grâce à l'AO rail-to-rail (fig. 5.10) et à la propriété de continuité de la tension aux bornes du condensateur C_b .

Remarque. Le fait d'assurer une polarisation $|V_{gs}|$ inférieure à V_{dd} ne pénalise pas fortement les caractéristiques du commutateur. En effet, bien que la taille du commutateur soit 3 fois plus large environ que dans le cas d'une polarisation à V_{dd} d'après l'équation (5.1), l'injection de charges est du même ordre de grandeur¹⁴. Un des impacts les plus négatifs est une charge capacitive due au plot de diffusion drain-substrat et source-substrat 3 fois plus grosse.

Remarque. Le fait de ne pas avoir recours à un système pompe de charges a cependant deux inconvénients majeurs :

- Le système ne fonctionne plus dès que la tension d'alimentation est inférieure à $2V_{th}$ (problème similaire à la porte de transmission) car la tension de commande est alors égale à un V_{th} .
- Il est nécessaire d'avoir deux signaux d'horloge supplémentaires.

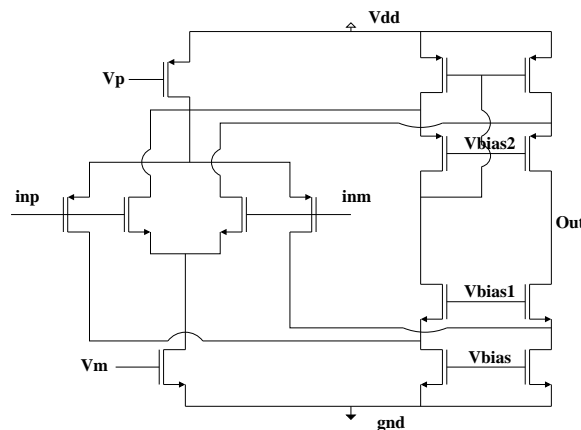


FIG. 5.10: Amplificateur avec entrée rail-to-rail utilisé pour réaliser l'effet bootstrap et polariser correctement le substrat du commutateur principal

c) La compensation des charges

La compensation des charges injectées est assurée par l'utilisation d'un dummy qui est piloté en opposition de phase par rapport au commutateur principal $S_{w_1^p}$. Le fait d'avoir utilisé un AO tampon permet d'éviter la connexion directe de la capacité de bootstrap C_b à la tension mémorisée par une porte de transmission. Ceci permet d'éviter le phénomène d'injection de charges de cette dernière¹⁵ contrairement à [FRS05].

¹³Cette tension peut être égale à 0. Toutefois, la tension maximale atteinte sera voisine de $V_{dd} - V_{th_p}$ et non V_{dd}

¹⁴Les capacités de recouvrement sont petites par rapport à la capacité du canal

¹⁵En effet, les commutateurs M_5 et $M_{5_{dummy}}$ ne se compensent pas mutuellement car les conditions d'ouverture et de fermeture de ceux-ci ne sont pas similaires.

Remarque. Le même AO rail-to-rail peut être utilisé à la fois pour le dummy et pour le commutateur principal.

d) Résultat de simulation

Pour réaliser ce commutateur analogique, la tension V_{bias} a été choisie égale à 0 de sorte à rendre la phase de charge la plus courte possible pour obtenir une tension de commande voisine de $V_{dd}/2$ et une taille de PMOS W/L de $10\mu\text{m}/0.35\mu\text{m}$ ¹⁶.

V_{in}	3V	2.5V	2V	1.5V	1V	0.5V
$V_{gs} = V_{grille} - V_{in}$	1.55V	1.51V	1.48V	1.46V	1.45V	1.43V

TAB. 5.1: Caractérisation de la commande V_{gs} du commutateur analogique bootstrappé chargé par une capacité C_H de 1pF

V_{in}	3V	2.5V	2V	1.5V	1V	0.5V
V_{inj} nb	678 Ω	819 Ω	1.125k Ω	2.15k Ω	86k Ω	\emptyset
V_{inj} bs	1.285k Ω	1.415k Ω	1.550k Ω	1.689k Ω	1.830k Ω	1.987k Ω
V_{inj} bc	1.165k Ω	1.208k Ω	1.242k Ω	1.266k Ω	1.279k Ω	1.305k Ω

TAB. 5.2: Caractérisation des résistances des commutateurs analogiques non bootstrappé (nb) et bootstrappé simple (bs) (c'est-à-dire avec polarisation du substrat à V_{dd}) et bootstrappé complet (bc) (avec polarisation du substrat à V_{in})

V_{in}	3V	2.5V	2V	1.5V	1V	0.5V
V_{inj} nb	21.4mV	16.3mV	12.4mV	8.4mV	-2.1mV	\emptyset
V_{inj} bs	9.7mV	8.82mV	8.68mV	8.66mV	8.76mV	8.70mV
V_{inj} bc	16mV	28.2mV	37.8mV	46.7mV	54mV	62mV
V_{inj} bs et dummy	1.29mV	658 μV	634 μV	529 μV	565 μV	409 μV
V_{inj} bc et dummy	1.1mV	758 μV	1mV	1.38mV	1.6mV	1.89mV

TAB. 5.3: Caractérisation de l'injection de charges pour les commutateurs analogiques non bootstrappés (nb) et bootstrappés simples (bs) (c'est-à-dire avec polarisation du substrat à V_{dd}) et bootstrappés complets (bc) (avec polarisation du substrat à V_{in}) chargés par une capacité C_H de 1pF où V_{inj} représente l'erreur ($V_{out} - V_{in}$) de la tension mémorisée sur C_H

a) Généralité

L'analyse du tableau 5.1 met en évidence le bon fonctionnement du système dans le sens où la tension V_{gs} est quasiment constante sur l'ensemble de la plage en tension et voisine de 1.5V. De plus, la résistance du commutateur analogique bootstrappé avec polarisation du substrat à V_{in} varie de $\pm 5\%$ sur toute la gamme contre $\pm 20\%$ pour le commutateur bootstrappé avec polarisation du substrat à V_{dd} (Tab.5.2). Le commutateur à base d'un simple PMOS admet une plage admissible de fonctionnement plus réduite [3V; 1.5V] (pour des valeurs raisonnables de résistance).

¹⁶Cela correspond à une résistance $1/g_{on}$ voisine de 1k Ω

En ce qui concerne l'injection de charges (Tab. 5.3), il est intéressant de noter que le commutateur boostonné avec polarisation du substrat à V_{dd} admet une injection quasiment constante sur toute la plage de signal utile (le dummy peut ne pas être utilisé). Pour les deux autres commutateurs analogiques, cette injection est du même ordre de grandeur. La différence d'injection de charges du commutateur avec polarisation du substrat à V_{in} et avec polarisation fixe peut s'expliquer par les effets parasites induits par cette polarisation flottante. Par conséquent, il ressort de cette étude que le commutateur intermédiaire est le plus intéressant en terme de g_{on} constant et d'injection de charges.

b) Polarisation et radiation

Il faut considérer le cas le plus défavorable où le signal d'entrée est le plus bas soit ici 0.5V. La figure 5.11 donne les tensions de polarisation des divers points du circuit boostonné avec une polarisation du substrat à V_{in} . Ainsi, aucune tension n'exerce un stress particulier sur la structure mis à part le PMOS M_4 qui a une tension V_{db} supérieure à V_{dd} . Toutefois, la tension de rupture (breakdown voltage) d'une jonction P^+N^- est de l'ordre de $3V_{dd}$ et celle d'une jonction P^+N^+ est voisine de $1.7V_{dd}$ [Abo99]. Par conséquent, ce dépassement en tension est tolérable. Nous pouvons comparer ce résultat au cas du commutateur bootstrappé avec polarisation du substrat à V_{dd} ; la tension la plus défavorable est la tension V_{gb} grille-substrat qui peut atteindre environ 4.2V. Par conséquent, il est nécessaire de vérifier la fiabilité de ce dernier face aux radiations.

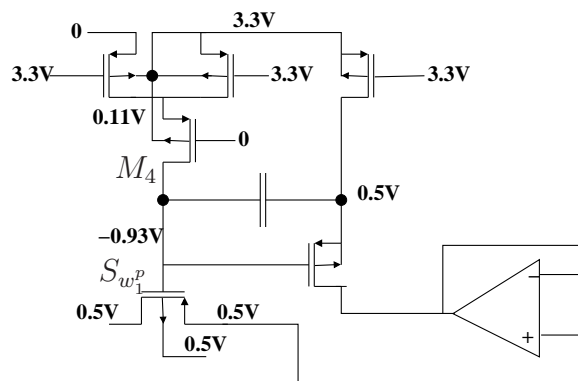


FIG. 5.11: Tensions de polarisation du commutateur dans la configuration la plus pénalisante vis-à-vis des radiations

Conclusion

Cette étude a permis de mettre en évidence la criticité de la conception d'un commutateur analogique en technologie CMOS basse tension pour le domaine spatial. Les différentes limitations liées à la topologie du transistor MOS ont été analysées ainsi que diverses méthodes pour en réduire les effets sur les performances globales du système.

En s'appuyant sur ces dernières, on a montré la faisabilité d'un commutateur PMOS adapté à l'environnement spatial (de par le faible stress en tension subi par la structure) et répondant aux critères de performance en terme d'injection de charges. Ce type de commutateur qui est relativement complexe comparé à une porte de transmission classique, peut servir de commutateur optimisé pour obtenir une résistance quasiment constante sur toute la plage de signal utile (3.3V-0.5V) et donc minimiser l'injection de charges dans les

structures à capacités commutées (plus particulièrement pour les commutateurs servants à échantillonner le signal d'entrée [NH04] et [AASM05]) (voir fig. 5.12). En effet, dans le cas du simple commutateur PMOS, il faudrait le dimensionner de sorte à assurer que dans le pire des cas (signal proche 1V ou moins) la résistance ne dépasse pas une valeur limite fixée par la bande passante souhaitée, ce qui implique un PMOS de grande taille (ici $500\mu/0.35\mu$ pour avoir une résistance de $2k\Omega$ pour un signal d'entrée de 1V, ce qui implique une injection 50 fois plus grande que dans le cas boostrapé). De plus, le commutateur analogique proposé permet de n'avoir recours qu'au transistor PMOS qui est plus adapté au domaine spatial, pour l'ensemble de la dynamique des signaux d'entrée.

On a aussi mis en évidence que l'utilisation d'un commutateur analogique boostrapé sans le contrôle du "body" présente de meilleures caractéristiques en terme d'injection de charges et de résistance. Toutefois, l'utilisation d'un tel commutateur dans le domaine spatial doit être validé par des tests en tenu aux radiations de par la possibilité d'obtenir un cas de polarisation défavorable (dépassement de 30% par rapport à la polarisation nominale).

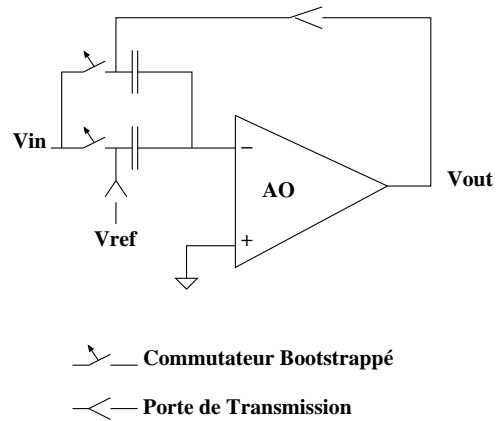


FIG. 5.12: Types de commutateurs analogiques pour une structure à capacités commutées réalisant l'opération d'échantillonnage-soustraction-amplification dans le cadre d'un CAN pipeline

Chapitre 6

Le bruit

Introduction

Le bruit est omniprésent et doit être par conséquent pris en compte lors de la conception des circuits. Suivant la résolution souhaitée du CAN, c'est lui qui peut fixer la taille minimale des capacités et la valeur maximale des transconductances utilisées pour une consommation énergétique donnée.

C'est pourquoi, dans un premier temps, il est nécessaire de quantifier ce bruit à la fois pour les structures en courant et pour les structures en tension. Cette analyse a aussi pour objectif de fournir les méthodes à utiliser pour évaluer le bruit de structures échantillonnant un signal. De plus, cette étude duale permettra de pouvoir effectuer une comparaison entre les structures en courant et en tension.

Enfin, dans le cadre plus particulier d'une architecture pipeline, une méthode de calcul de bruit ramené en entrée sera présentée afin de pouvoir dimensionner la limite admissible de bruit pour chacun des étages.

1 Analyse de bruit d'une mémoire de courant simple

Dans les mémoires de courants, deux types de bruit prédominent : le bruit thermique et le bruit de scintillation¹ [GHLM01], [TLH90], [THB94]. Ces bruits ont pour origine les transistors MOS qui mémorisent le courant (I), les transistors MOS de polarisation (I_{bias}) et les commutateurs analogiques. La figure 6.1(a) représente le schéma de la plus simple des mémoires de courant avec sa représentation bruitée petit signal sur les figures 6.1(b) et 6.1(c).

Ainsi, durant la phase d'échantillonnage (fig. 6.1(b)), le commutateur analogique S_1 réalisé avec des transistors MOS fonctionne en zone ohmique et génère ainsi un bruit thermique que l'on peut modéliser par une source de bruit en courant équivalente $I_g(t)$ placée en parallèle du commutateur dont la densité spectrale de puissance² en courant est donnée par :

$$S_{I_g} = 2 k_B T g_{on} \quad (6.1)$$

avec k_B la constante de Boltzmann et T la température absolue.

¹Flicker Noise

²définie sur le domaine fréquentiel $[-\infty, \infty]$

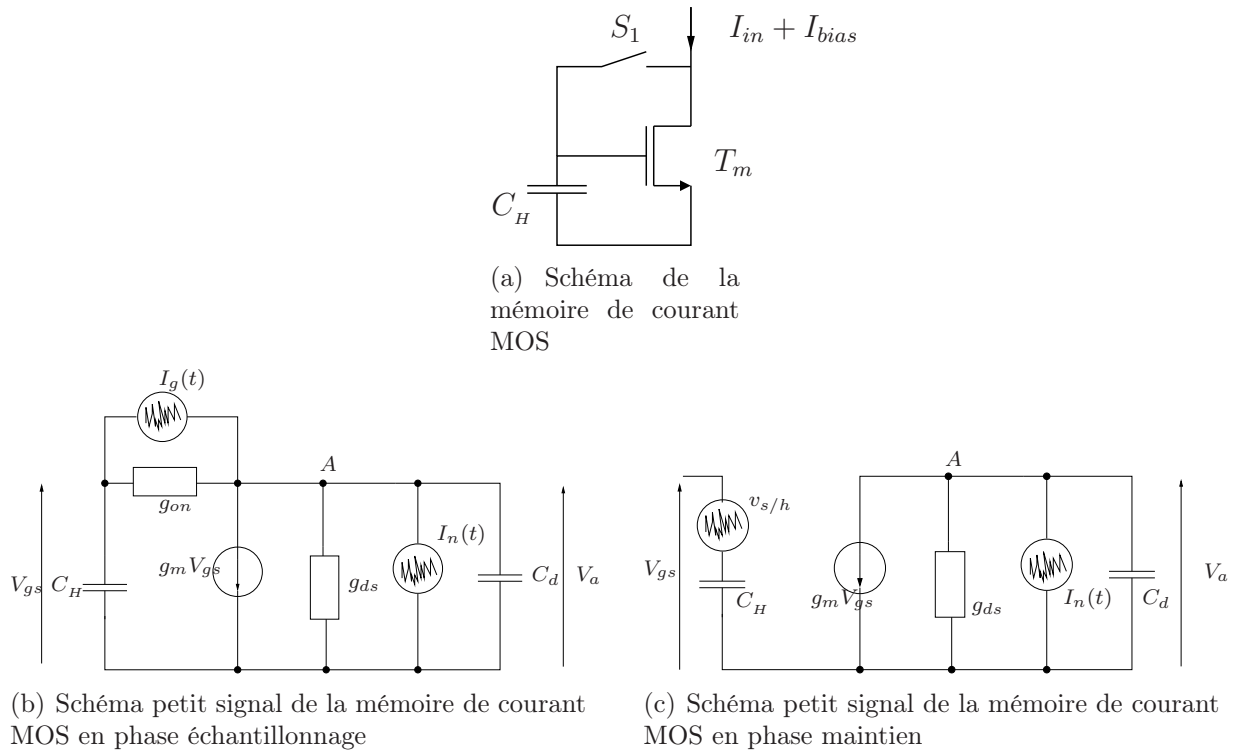


FIG. 6.1: Mémoire de courant simple

Quant au transistor MOS de mémoire T_m , il opère en zone saturée (et ici en régime de forte inversion). Il génère à la fois du bruit thermique et de scintillation. Dans le cadre de notre application, le bruit le plus pénalisant est le bruit thermique qui est modélisé par une source de bruit en courant placée entre le drain et la source du MOS et dont la densité spectrale de puissance est donnée par :

$$S_{I_n} = 2 k_B T \left(\frac{2}{3} g_m \right) \quad (6.2)$$

Le bruit de scintillation (bruit en $1/f$) n'est pas considéré ici car l'effet induit par ce bruit basse fréquence est en très grande partie éliminé par le processus d'échantillonnage. En effet, les signaux basses fréquences sont éliminés de par le double échantillonnage corrélé que ce type de signaux subit. Si l'on considère la mémoire de courant de la figure 6.1(a), durant la phase d'échantillonnage, le courant traversant le transistor mémoire est modulé par un courant de bruit I_b . Au moment t_1 où le commutateur s'ouvre, la valeur de l'intensité du courant mémorisée est :

$$I_{mem} = I + I_{bias} + I_b(t_1)$$

La valeur transmise aux restes du circuit est :

$$I_{trans} = I_{bias} + I_b(t) - I_{mem}$$

Donc à la fin de la phase de maintien de durée $T_s/2$ (T_s étant la période d'un cycle complet échantillonnage-maintien), on a :

$$I_{trans} = -I + \underbrace{\left(I_b \left(t_1 + \frac{T_s}{2} \right) - I_b(t_1) \right)}_{I_{b_{out}}} \quad (6.3)$$

Or le bruit de scintillation étant essentiellement un bruit basse fréquence (à cause du comportement fréquentiel en $1/f$) devant la fréquence d'échantillonnage du signal, la composante de $I_{b_{out}}$ due à ce bruit peut être considérée comme nulle car $I_b(t_1 + \frac{T_s}{2}) \approx I_b(t_1)$.

L'étude qui suit a pour but de déterminer le bruit résultant d'une mémoire de courant.

1.1 Analyse petits signaux de la cellule

Dans un premier temps, une analyse petits signaux de la mémoire de courant simple est nécessaire pour déterminer les fonctions de transfert auxquelles sont soumises les sources de bruit. A partir de cette étude, on pourra dans un second temps utiliser les propriétés particulières en terme de probabilité dont disposent ces sources pour évaluer la valeur quadratique moyenne de bruit en courant de cette cellule de mémoire de courant.

Remarque. *Au cours de cette étude, la capacité grille-drain C_{gd} n'est pas prise en compte car dans une structure mémoire de courant cascodée celle-ci n'intervient que très peu. En outre, il a été montré dans le chapitre 2 que la structure cascode ne dégrade pas de façon significative les performances en bruit de la structure mémoire de courant.*

a) Fonction de transfert $F(p)$ liée à la source $I_n(t)$

Par application de la loi des noeuds en A (fig. 6.1(b)) :

$$I_n(p) + (g_{ds} + C_d p) V_a(p) + g_m V_{gs}(p) + g_{on}(V_a(p) - V_{gs}(p)) = 0$$

avec $V_{gs} = \frac{g_{on}}{g_{on} + C_H p} V_a$

On obtient alors :

$$F(p) = \frac{V_{gs}(p)}{I_n(p)} = -\frac{1}{g_{ds} + g_m} \left(\frac{1}{1 + \left[\frac{(g_{ds} + 1)C_H + C_d}{g_{ds} + g_m} \right] p + \frac{C_d C_H}{g_{on}(g_{ds} + g_m)} p^2} \right) \quad (6.4)$$

b) Fonction de transfert $G(p)$ liée à la source $I_g(t)$

De même que précédemment, en appliquant de la loi des noeuds en A :

$$I_g(p) + (g_{ds} + C_d p) V_a(p) + g_m V_{gs}(p) + g_{on}(V_a(p) - V_{gs}(p)) = 0$$

avec $V_a = \frac{g_{on} + C_H p}{g_{on}} V_{gs} - \frac{I_g(p)}{g_{on}}$

On obtient alors :

$$G(p) = \frac{V_{gs}(p)}{I_g(p)} = \frac{g_{ds}}{g_{on}(g_m + g_{ds})} \frac{1 + \frac{C_d}{g_{ds}} p}{1 + \left[\frac{(g_{ds} + 1)C_H + C_d}{g_{ds} + g_m} \right] p + \frac{C_d C_H}{g_{on}(g_{ds} + g_m)} p^2} \quad (6.5)$$

c) Contribution totale

Étant donné que les sources de bruit provenant de S_1 et de T_m peuvent être considérées comme des générateurs de petits signaux non corrélés, la résultante de ces diverses sources sur la capacité C_H est obtenu directement par superposition (linéarité) et on obtient dans le domaine fréquentiel (linéarité de la transformée de Fourier) :

$$\Delta V(p) = I_n(p)F(p) + I_g(p)G(p)$$

En principe, les bruits sont caractérisés par leur densité spectrale de puissance. Cette densité spectrale de puissance correspond par définition à la transformée de Fourier de l'autocorrélation de $\Delta V(t)$. Ainsi, sachant que les deux sources de bruit sont non-corrélées :

$$S_{\Delta V} = |F(p)|^2 S_{I_n} + |G(p)|^2 S_{I_g}$$

1.2 Impact de l'échantillonnage du signal sur la densité spectrale du bruit

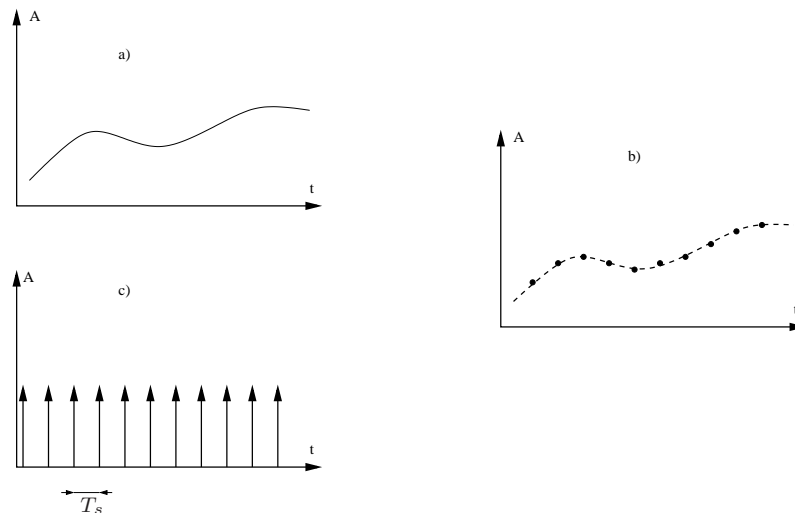


FIG. 6.2: Principe de l'échantillonnage

Analyse temporelle ↔ fréquentielle d'un signal échantillonné

Un système échantillonneur-bloqueur repose sur deux fonctions de base comme son nom l'indique : une fonction d'échantillonnage et une autre de maintien. La première fonction se traduit mathématiquement simplement par le produit du signal à échantillonner par le peigne de Dirac δ_{T_s} de période T_s (On observe l'amplitude du signal de façon instantanée et périodiquement) (fig. 6.2). Le signal final est obtenu par convolution avec la fonction de maintien ou fonction porte de largeur égale au temps de maintien T_h (fig. 6.3). Tout se traduit mathématiquement de la façon suivante :

$$\Delta V_{s/h}(t) = \underbrace{\Delta V(t)\delta_{T_s}}_{\text{Echantillonnage}} * h(t) = \left[\sum_{n=-\infty}^{+\infty} \Delta V(nT_s)\delta(t - nT_s) \right] * h(t) \quad (6.6)$$

Echantillonnage et maintien

avec $h(t) = \mathbb{I}_{[0;T_h]}(t)$ la fonction porte.

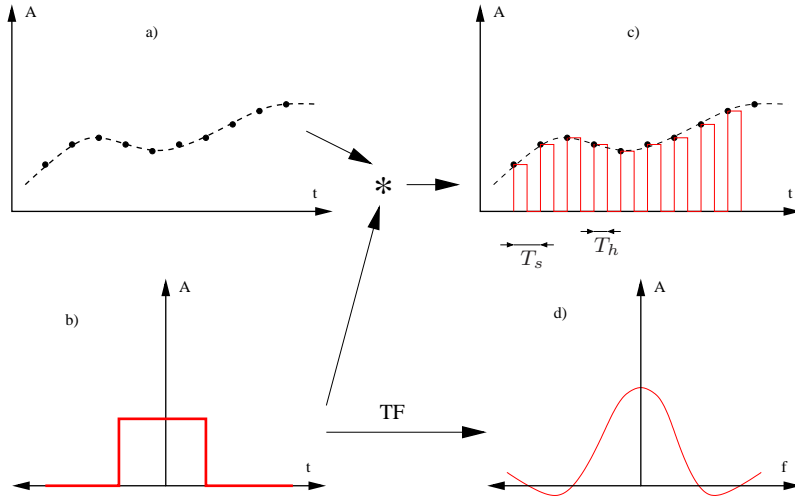


FIG. 6.3: Principe du maintien

Le passage du domaine temporel au domaine fréquentiel est très utile pour la simplification des calculs (et ce pour deux raisons essentiellement : les filtres linéaires sont plus facilement caractérisés dans ce domaine sous forme de fonction de transfert, et les bruits sont caractérisés par leur densité spectrale de puissance). Par transformation de Fourier de l'équation (6.6), on a :

$$\begin{aligned}
 \Delta V_{s/h}(f) &= \widehat{h}(t) \cdot \left[\widehat{\Delta V}(t) * \widehat{\delta_{T_s}}(t) \right] \\
 &= \widehat{h}(t) \cdot \left[\Delta V(f) * \frac{1}{T_s} \sum_{n=-\infty}^{+\infty} \delta\left(f - \frac{n}{T_s}\right) \right] \\
 &= \widehat{h}(t) \cdot \left[\frac{1}{T_s} \sum_{n=-\infty}^{+\infty} \Delta V\left(f - \frac{n}{T_s}\right) \right] \\
 &= \frac{T_h}{T_s} \text{sinc}(\pi f T_h) e^{-j\pi f T_h} \cdot \sum_{n=-\infty}^{+\infty} \Delta V\left(f - \frac{n}{T_s}\right)
 \end{aligned} \tag{6.7}$$

En effet, la transformée de Fourier de la fonction porte est :

$$\begin{aligned}
 \widehat{h}(t) &= \int_{-\infty}^{\infty} \mathbb{I}_{[0;T_h]}(t) e^{-j2\pi f t} dt = \int_0^{T_h} e^{-j2\pi f t} dt = \left[\frac{e^{-j2\pi f T_h} - 1}{-2\pi j f} \right] \\
 &= T_h e^{-j\pi f T_h} \text{sinc}(\pi f T_h)
 \end{aligned} \tag{6.8}$$

Cette première étude permet de mettre en évidence le phénomène de repliement³ de spectre dû à l'échantillonnage du signal $\Delta V(t)$ à une fréquence inférieure à celle de la bande passante du circuit (fig. 6.4). Ainsi, si la bande passante équivalente de bruit⁴ notée BW_{eq} est supérieure à $f_s/2$ où $f_s = 1/T_s$ est la fréquence d'échantillonnage, le phénomène de repliement de spectre a lieu et le nombre de bandes superposées est égal à $2BW_{eq}/f_s$.

Dans le cadre de cette étude, on se propose d'étudier plus particulièrement l'impact de l'échantillonnage sur le bruit. Ainsi durant la première phase correspondant à l'échantillonnage, la valeur de l'amplitude instantanée du bruit à l'instant nT_s est mémorisée sur

³Aliasing

⁴voir annexe sur les bandes passantes équivalentes de bruit

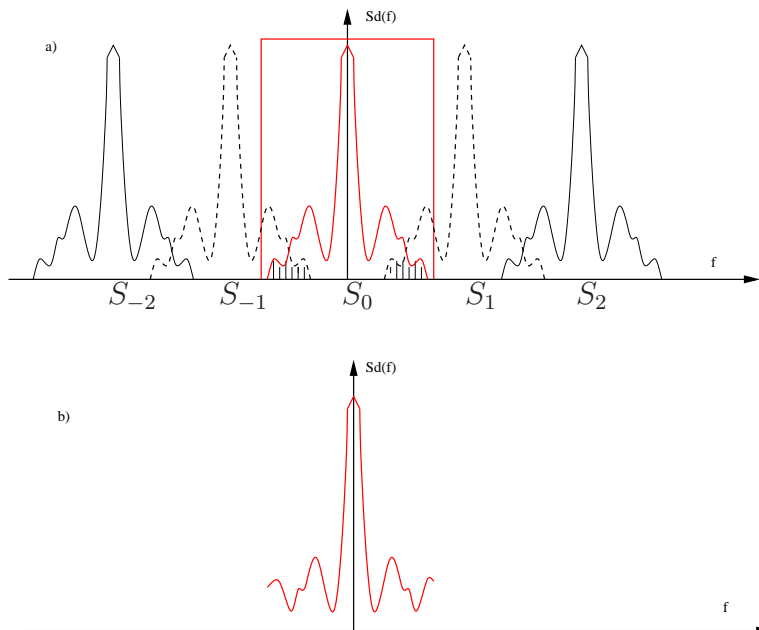


FIG. 6.4: Illustration du phénomène de repliement

la capacité C_H . Cependant, lors de la phase de maintien (S_1 ouvert), à ce bruit se rajoute un bruit appelé « bruit direct » (Fig. 6.1(c)). Le bruit résultant vu de la sortie correspond alors à la superposition des valeurs quadratiques moyennes de ces 2 types de bruit (ils sont supposés indépendants).

1.3 Evaluation de la densité spectrale de puissance de la composante directe du bruit $S_D(f)$

Le bruit direct $I_n^d(t)$ est dû au bruit thermique de T_m de la cellule de mémoire de courant $I_n(t)$. Celui-ci est modulé par un signal de type créneaux⁵ $h_{T_s}(t)$ de période T_s car la sortie n'est disponible que durant la phase de maintien (nulle aussi non) [THB94], [Fis82].

$$I_n^d(t) = h_{T_s}(t) \cdot I_n(t)$$

Remarque. Si l'on ramène la source de bruit en courant $I_n(t)$ en entrée de T_m (sur sa grille), on obtient une source fictive de bruit en tension caractérisée par :

$$\Delta V(t) = \frac{I_n(t)}{g_m}$$

Par définition, la densité spectrale de puissance d'un signal est définie comme la transformée de Fourier de la fonction d'autocorrélation de ce signal. Ainsi, la densité spectrale de puissance de $I_n^d(t)$ notée $S_D(f)$ est donnée par :

$$S_D(f) = TF \left[\int_{-\infty}^{+\infty} I_n(t)h_{T_s}(t) \cdot I_n(t + \gamma)h_{T_s}(t + \gamma)dt \right]$$

Si l'on prend la fonction $h_{T_s}(t)$ paire, on montre que l'on peut la mettre sous la forme

⁵fonction porte périodisée

suivante (décomposition en série de Fourier) :

$$h_{T_s}(t) = \tau_D + \frac{2}{\pi} \sum_{i=1}^{+\infty} \frac{(-1)^i}{i} \sin(i\pi\tau_D) \cos\left(\frac{2i\pi t}{T_s}\right)$$

avec $\tau_D = T_h/T_s$ le rapport cyclique du signal en créneaux.

$$\begin{aligned} I_n(\widehat{h_{T_s}}(t)) &= \widehat{I_n(t)} * \widehat{h_{T_s}} \\ &= I_n(f) * \left[\tau_D \delta(f) + \frac{2}{\pi} \sum_{i=1}^{+\infty} \frac{(-1)^i}{i} \sin(i\pi\tau_D) \left(\frac{\delta(f - if_s) + \delta(f + if_s)}{2} \right) \right] \\ &= \tau_D I_n(f) + \frac{2}{\pi} \sum_{i=1}^{+\infty} \frac{(-1)^i}{i} \sin(i\pi\tau_D) \left(\frac{I_n(f - if_s) + I_n(f + if_s)}{2} \right) \end{aligned} \quad (6.9)$$

De même, on a :

$$\begin{aligned} I_n(\widehat{h_{T_s}}(-t)) &= I_n(\widehat{h_{T_s}}(t)) \\ &= \tau_D I_n(-f) + \frac{2}{\pi} \sum_{i=1}^{+\infty} \frac{(-1)^i}{i} \sin(i\pi\tau_D) \left(\frac{I_n(-f - if_s) + I_n(-f + if_s)}{2} \right) \end{aligned}$$

Ici la densité spectrale de bruit blanc ayant une bande passante limitée, on a $I_n(f) = I_n(-f)$. Il est intéressant de remarquer aussi que :

$$\begin{aligned} I_n(f + if_s) \cdot I_n(f + jf_s) &= 0 \quad \text{si } i \neq j \\ I_n(f + if_s) \cdot I_n(f + if_s) &= |I_n(f + if_s)|^2 = |I_n(f)|^2 \quad \text{si } i = j \end{aligned} \quad (6.10)$$

En effet, chacun des spectres peut être interprété comme étant la densité spectrale de puissance d'un bruit blanc indépendant (pas de corrélation entre les bruits). De plus, la bande passante du signal utile étant limitée et égale à celle de la cellule de mémoire de courant suivante du CAN, on peut limiter le nombre de termes à prendre en compte dans la somme. La figure 6.4 illustre un exemple de signal échantillonné à une fréquence inférieure à la bande passante du signal. On visualise le phénomène de repliement ainsi que le domaine fréquentiel d'intérêt (délimité ici par un filtre idéal). Par suite, la densité spectrale de puissance de bruit est :

$$S_D(f) = \tau_D^2 |I_n(f)|^2 + \frac{2}{\pi^2} |I_n(f)|^2 \sum_{i=1}^u \frac{\sin^2(i\pi\tau_D)}{i^2} \quad (6.11)$$

Avec $u = 2BW_{eq}/f_s$. On peut même affiner ce calcul en pondérant les spectres à prendre en compte par $(1 - i\frac{f_s}{2BW_{eq}})$ (vis-à-vis de la figure 6.4 tout se passe comme si dans le premier cas on avait ajouté S_{-1} , S_0 et S_1 alors que dans l'autre cas on ajoute à S_0 les valeurs de S_{-1} et S_1 pondérées). Dans ce cas, l'équation précédente devient :

$$S_D(f) \approx \tau_D^2 |I_n(f)|^2 + \frac{2}{\pi^2} |I_n(f)|^2 \sum_{i=1}^u \frac{\sin^2(i\pi\tau_D)}{i^2} \left(1 - i\frac{f_s}{2BW_{eq}} \right) \quad (6.12)$$

Soit encore

$$S_D(f) \approx |I_n(f)|^2 \underbrace{\left[\tau_D^2 + \frac{2}{\pi^2} \sum_{i=1}^u \frac{\sin^2(i\pi\tau_D)}{i^2} \left(1 - i\frac{f_s}{2BW_{eq}} \right) \right]}_{\theta_D^2} \quad (6.13)$$

Remarque. Il est important de remarquer que le terme θ_D^2 est voisin de τ_D lorsque $u \geq 10$ [Fis82]. Or dans le cas qui nous intéresse, on a une constante de temps qui doit être au moins 9-10 fois inférieure à la phase d'échantillonnage $(1 - \tau_D)T_s$. Par suite, pour un système du premier ordre ayant une fréquence de coupure f_c , on obtient (pour le cas où τ_D est égal à 0.5) :

$$u = 2 \frac{BW_{eq}}{f_s} = 2 \frac{(\pi/2) f_c}{f_s} = \frac{\pi T_s}{2\pi (1 - \tau_D) T_s/10} = 10$$

Aussi une bonne approximation de θ_D^2 peut être prise égale à τ_D . Si l'on tient compte du facteur de correction intervenant dans l'expression de θ_D^2 , alors une meilleure approximation pour θ_D^2 est voisine de $0.94\tau_D$.

1.4 Evaluation de la densité spectrale de puissance totale $S(f)$ et de la valeur quadratique moyenne de bruit i_{noise}^2

a) Evaluation de la densité spectrale de bruit

Dans le domaine temporel, le bruit total de la mémoire de courant est obtenu par superposition des bruits directs et dus à l'échantillonnage générés par la cellule de mémoire de courant. Ainsi pour une valeur instantanée, on a :

$$\begin{aligned} \Delta V(t) &= \Delta V_{s/h}(t) + \Delta V_D(t) \\ &= \Delta V_1(t)\delta_{T_s} * h(t) + h_{T_s}(t) \cdot \Delta V_2(t) \end{aligned} \quad (6.14)$$

avec $\Delta V_1(t)$ la source de bruit en tension fictive ramenée en entrée durant la phase d'échantillonnage et $\Delta V_2(t)$ durant la phase de maintien.

D'où :

$$\Delta V(f) = \frac{T_h}{T_s} \text{sinc}(\pi f T_h) e^{-j\pi f T_h} \cdot \sum_{n=-\infty}^{+\infty} \Delta V_1(f - \frac{n}{T_s}) + \Delta V_2(f) \theta_D$$

Soit encore en utilisant les fonctions de transfert déterminées auparavant :

$$\begin{aligned} \Delta V(f) &= \frac{T_h}{T_s} \text{sinc}(\pi f T_h) e^{-j\pi f T_h} \cdot \sum_{n=-\infty}^{+\infty} [F(f - n f_s) I_n(f - n f_s) \\ &\quad + G(f - n f_s) I_g(f - n f_s)] + \Delta V_2(f) \theta_D \end{aligned} \quad (6.15)$$

Or $g_m V_2(t) = I_n(t) \Rightarrow g_m V_2(f) = I_n(f)$. D'où :

$$\begin{aligned} \Delta V(f) &= \frac{T_h}{T_s} \text{sinc}(\pi f T_h) e^{-j\pi f T_h} \cdot \sum_{n=-\infty}^{+\infty} [F(f - n f_s) I_n(f - n f_s) \\ &\quad + G(f - n f_s) I_g(f - n f_s)] + \frac{I_n(f)}{g_m} \theta_D \end{aligned} \quad (6.16)$$

De même que pour l'étude précédente, en utilisant le principe (6.10), on obtient :

$$\begin{aligned} S(f) &= \frac{T_h^2}{T_s^2} \text{sinc}^2(\pi f T_h) \cdot \left[\sum_{n=-\infty}^{+\infty} |G(f - n f_s)|^2 S_{I_g}(f - n f_s) \right. \\ &\quad \left. + \sum_{\substack{n=-\infty \\ n \neq 0}}^{+\infty} |F(f - n f_s)|^2 S_{I_n} \right] + \left| \left[\frac{T_h}{T_s} \text{sinc}(\pi f T_h) e^{-j\pi f T_h} F(f) + \frac{1}{g_m} \theta_D \right] \right|^2 S_{I_n}(f) \end{aligned} \quad (6.17)$$

Afin de pouvoir évaluer de l'expression (6.17), les sommes qui expriment l'addition des densités spectrales de puissance dues au phénomène de repliement, peuvent être simplifiées par le concept de bande équivalente de bruit (voir annexe B). Ainsi, il est nécessaire de calculer les bandes passantes équivalentes de bruit liées aux fonctions de transfert F et G.

Pour F qui est une fonction de transfert d'un filtre passe-bas du deuxième ordre avec un facteur d'amortissement $\xi < 1$ (optimisation du temps d'établissement voir chapitre 2) on a :

$$BW_{eq}^F = \frac{\pi}{4} \frac{f_n}{\xi} \quad (6.18)$$

Or à partir du terme en "p" contenu au dénominateur de F(p) (eq.(6.4)), on a :

$$2 \frac{\xi}{\omega_n} = 2 \frac{\xi}{2\pi f_n} \approx \frac{C_H + C_d}{g_m}$$

Par conséquent, l'équation 6.18 devient :

$$BW_{eq}^F = \frac{1}{4} \frac{g_m}{C_H + C_d} \quad (6.19)$$

Pour G, le calcul de la bande passante équivalente de bruit est plus complexe de par la présence d'un zéro supplémentaire. Aussi, une simplification similaire à [THB94] peut être effectuée en posant :

$$G(p) = \frac{g_{ds}}{g_{on}(g_m + g_{ds})} \frac{1 + \tau_0 p}{(1 + \tau_1 p)(1 + \tau_2 p)}$$

avec $\tau_0 = C_d/g_{ds}$, $\tau_1 = C_H/g_m$ et $\tau_2 = C_d/g_{on}$.

Avec cette approximation, un résultat direct de l'annexe B peut être utilisé :

$$BW_{eq}^G = \frac{1}{2(\tau_1 + \tau_2)} \left[1 + \frac{\tau_0^2}{\tau_1 \tau_2} \right] \quad (6.20)$$

L'utilisation de cette approximation a un impact très faible sur la détermination du bruit total car la contribution du commutateur analogique est très faible. Ainsi l'équation (6.17) devient (I_g et I_n étant des sources de bruit blanc) :

$$\begin{aligned} S(f) \approx & \frac{T_h^2}{T_s^2} \text{sinc}^2(\pi f T_h) \left[\frac{g_{ds}^2}{g_{on}^2 g_m^2} S_{I_g} \cdot \frac{2 BW_{eq}^G}{f_s} + \frac{1}{g_m^2} S_{I_n} \cdot \frac{2 BW_{eq}^F}{f_s} \right] \\ & + \left[\frac{T_h}{T_s} \frac{\theta_D}{g_m} \text{sinc}(\pi f T_h) |F(f)| + \frac{\theta_D^2}{g_m^2} \right] S_{I_n} \end{aligned} \quad (6.21)$$

Remarque. *A priori, on peut utiliser le même affinement que pour le calcul de θ_D^2 (réduction de 5-10% de la bande équivalente de bruit).*

b) Evaluation de $\overline{i_{noise}^2}$

Afin de calculer la valeur quadratique moyenne de bruit en courant $\overline{i_{noise}^2}$, il faut intégrer la densité spectrale sur toute la bande fréquentielle utile soit encore celle du circuit récepteur (à l'occurrence ici une autre mémoire de courant). Par définition, on a alors :

$$\overline{i_{noise}^2} = \int_{-\infty}^{\infty} g_m^2 S(f) |F(f)|^2 df \quad (6.22)$$

En effet, en mode recopie de courant, la fonction de transfert vue par la source de bruit résultante de la mémoire de courant est la même que celle vue par I_n . En utilisant les remarques précédentes et l'équation (6.22), on se ramène à :

$$\begin{aligned} \overline{i_{noise}^2} &= g_m^2 \int_{-BW_{eq}^F}^{BW_{eq}^F} \frac{T_h^2}{T_s^2} \text{sinc}^2(\pi f T_h) \left[\frac{g_{ds}^2}{g_{on}^2 g_m^2} S_{I_g} \cdot \frac{2 BW_{eq}^G}{f_s} + \frac{1}{g_m^2} S_{I_n} \cdot \frac{2 BW_{eq}^F}{f_s} \right] \\ &+ \left[\frac{T_h}{T_s} \frac{\theta_D}{g_m} \text{sinc}(\pi f T_h) |F(f)| + \frac{\theta_D^2}{g_m^2} \right] S_{I_n} df \end{aligned} \quad (6.23)$$

Dans le cas qui nous intéresse $f_c \approx \frac{1}{2\pi T_h/10}$, l'intégration de $\text{sinc}^2 \approx \frac{1}{T_h}$ et celle de $\text{sinc} \approx \frac{1}{T_h}$. On obtient alors :

$$\overline{i_{noise}^2} \approx \left(2 \frac{T_h}{T_s^2} \frac{BW_{eq}^F}{f_s} + 2 BW_{eq}^F \theta_D^2 + \frac{\theta_D}{T_s} \right) S_{I_n} + 2 \frac{g_{ds}^2}{g_{on}^2} \frac{T_h}{T_s^2} S_{I_g} \cdot \frac{BW_{eq}^G}{f_s} \quad (6.24)$$

Si l'on prend comme approximation pour $\theta_D^2 \approx \tau_D = 1/2$ (soit encore $T_s = 2T_h$), alors on a :

$$\overline{i_{noise}^2} \approx \left(2 BW_{eq}^F + \frac{f_s}{\sqrt{2}} \right) S_{I_n} + \frac{g_{ds}^2}{g_{on}^2} BW_{eq}^G S_{I_g} \quad (6.25)$$

A partir de l'équation (6.25), il ressort que l'impact de la source de bruit liée au commutateur analogique peut être négligé comme le souligne [THB94]. En effet, on peut admettre que $g_{ds}/g_{on} \approx 10^{-2}$. De plus, le terme en $f_s/\sqrt{2}$ est négligeable car BW_{eq} est au moins 10 fois supérieur à f_s . Ainsi le terme dominant est lié au bruit thermique du transistor MOS mémoire :

$$\overline{i_{noise}^2} \approx 2 BW_{eq}^F \cdot \left(\frac{4}{3} k_B T g_m \right) \quad (6.26)$$

A partir de l'étude sur le temps d'établissement des mémoires de courant (chapitre 2) et de l'équation (6.19), on obtient l'approximation suivante :

$$\overline{i_{noise}^2} \approx \frac{2}{3} k_B T \frac{g_m^2}{C_d + C_H} \quad (6.27)$$

Conclusion sur le bruit d'une mémoire de courant simple

L'analyse directe de l'équation (6.27) simplifiée montre que la valeur quadratique moyenne de bruit en courant d'une mémoire de courant n'est pas altérée au 1^{er} ordre par l'échantillonnage. On peut donc connaître la valeur quadratique moyenne de bruit d'une mémoire de courant indépendamment de la fréquence d'échantillonnage à condition que celle-ci soit grande vis-à-vis du bruit en 1/f et que le terme de bruit lié au commutateur analogique reste négligeable (importance du zéro de la fonction de transfert G).

Par rapport au bruit classique $k_B T/C_H$ attribué à un commutateur analogique d'un circuit "classique" en tension, le bruit en courant fait intervenir la transconductance au carré du transistor MOS mémoire. Aussi, bande passante et bruit sont plus étroitement liés pour une structure en courant qu'en tension. Ainsi si l'on veut augmenter le rapport signal sur bruit d'une mémoire en courant sans modifier la bande passante du circuit, il

faut réduire la valeur de la transconductance du transistor MOS T_m tout en diminuant la valeur de la capacité de maintien. Toutefois diminuer la transconductance ne peut être effectué que jusqu'à une certaine limite fixée par le budget en tension V_{ds} (voir chapitre 2).

Application Numérique

Dans le cadre de la mémoire de courant réalisée, si l'on tient compte du bruit généré par le transistor Mémoire ainsi que celui généré⁶ par la source de courant de polarisation (I_{bias}). L'expression (6.26) devient :

$$\overline{i_{noise}^2} = \overline{i_{T_m}^2} + \overline{i_{T_{bias}}^2} \approx \left(\frac{2}{3} k_B T (g_m + g_{m_{bias}}) \frac{g_m}{C_d + C_H} \right)$$

Une première constatation est que le bruit généré par la source de courant de polarisation est similaire à celui du transistor mémoire.

Avec $C_d \approx 0.6pF$ ⁷, $C_H = 0.85pF$, $g_m = 0.7mS$ et $g_{m_{bias}} = g_m/2$, on obtient :

$$\sqrt{\overline{i_{noise}^2}} \approx 40nA$$

Ainsi le rapport signal sur bruit est de : 65dB (dynamique effective de $100\mu A$) et en différentiel de 62dB. Soit une résolution voisine de 10bit seulement.

2 Analyse de bruit de structure à capacités commutées

A présent, l'étude du bruit porte sur les structures en mode tension fréquemment utilisées dans les circuits à capacités commutées. Une telle étude est nécessaire non seulement pour pouvoir effectuer une comparaison objective entre le mode tension et le mode courant mais aussi pour orienter les méthodes de conception mode tension afin de minimiser le bruit comme le souligne les articles récents [AHL03] et [SSST05]. Toutefois, ces derniers ne prennent pas en compte l'effet de repliement de spectre dû à l'échantillonnage.

Remarque. Cette étude ne prend pas en compte le bruit de scintillation en $1/f$ qui dans ces structures n'est pas éliminé par le principe du double échantillonnage corrélé comme dans les cellules à mémoire de courant. Cependant, les bandes passantes considérées dans notre application sont élevées et les phases de calibration périodiques rendent négligeable la composante en $1/f$.

2.1 Échantillonneur-bloqueur à capacités commutées

Le principe de fonctionnement de l'échantillonneur-bloqueur est décrit par la figure 6.5. Pour le bruit total de l'EB, on a une expression similaire à l'étude précédente (eq. (6.14)) :

$$\begin{aligned} \Delta V(t) &= \Delta V_{s/h}(t) + \Delta V_D(t) \\ &= \Delta V_1(t) \delta_{T_s} * h(t) + h_{T_s}(t) \cdot \Delta V_2(t) \end{aligned}$$

où ΔV_1 représente la source de bruit liée au commutateur analogique d'entrée caractérisé par la valeur quadratique moyenne $\overline{v_b^2}$ dans le domaine temporel (Fig. 6.5(a)) et

⁶dans ce cas il ne faut tenir compte que de la composante directe de bruit

⁷2 mémoires en vis-à-vis

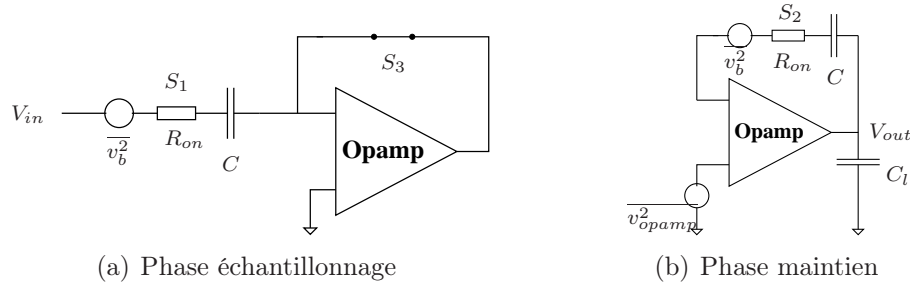


FIG. 6.5: Echantillonneur-bloqueur de tension

ΔV_2 représente le bruit généré de façon conjointe par l'amplificateur opérationnel et le commutateur analogique de la contre-réaction (Fig. 6.5(b)). D'où la densité spectrale de puissance résultante ramenée à l'entrée du système :

$$S(f) = \frac{T_h^2}{T_s^2} \text{sinc}^2(\pi f T_h) \sum_{n=-\infty}^{+\infty} \left| H\left(f - \frac{n}{T_s}\right) \right|^2 S_{on_1}\left(f - \frac{n}{T_s}\right) + \tau_D (S_{opamp}(f) + S_{on_2}(f)) \quad (6.28)$$

où S_{opamp} , S_{on_1} et S_{on_2} sont respectivement les densités spectrales de puissance en tension de l'amplificateur opérationnel et des interrupteurs⁸ S_1 et S_2 .

De même que dans l'étude précédente, il est nécessaire d'évaluer les bandes passantes équivalentes pour simplifier le calcul. Il y a 2 bandes passantes équivalentes de bruit à calculer : BW_{eq}^{echan} liée à la phase d'échantillonnage (donc filtre du 1^{er} ordre) et BW_{eq}^{main} liée à la phase de maintien (a priori la réponse temporelle est du 2^{ème} ordre). Ainsi,

$$BW_{eq}^{echan} = \frac{\pi}{2} \frac{1}{2\pi R_{on} C} = \frac{1}{4\tau_{on}} \quad (6.29)$$

$$BW_{eq}^{main} \approx \frac{1}{4\tau_{eq}} \quad (6.30)$$

avec $\tau_{eq} \approx T_h/10 = \tau_{on}$ la constante de temps équivalente du système⁹. On obtient alors :

$$S(f) = 10 \frac{T_h^2}{T_s^2} \text{sinc}^2(\pi f T_h) S_{on_1}(f) + \tau_D (S_{opamp}(f) + S_{on_2}(f)) \quad (6.31)$$

A partir des équations (6.30) et (6.31), la valeur moyenne quadratique de bruit $\overline{v_{eb}^2}$ peut être déduite ($\tau_D = 1/2$) :

$$\begin{aligned} \overline{v_{eb}^2} &= \frac{1}{2} \frac{k_B T}{C} + \tau_D (S_{opamp}(f) + S_{on_2}(f)) 2BW_{eq}^{main} \\ \overline{v_{eb}^2} &\approx \frac{k_B T}{C} + S_{opamp}(f) BW_{eq}^{main} \end{aligned} \quad (6.32)$$

En outre, d'après [SSST05], la densité de spectrale de puissance en bruit d'un amplificateur opérationnel en CMOS peut être approximée par :

$$S_{opamp}(f) = \frac{8}{3} \frac{kT}{g_{mopamp}}$$

⁸On rappelle que la densité spectrale de puissance d'interrupteur de résistance R_{on} sur le domaine $[-\infty, \infty]$ est $S=2k_B T R_{on}$

⁹pour une résolution de 12bit

avec $g_{m_{opamp}}$ la transconductance du transistor MOS de la paire différentielle d'entrée. C'est elle qui fixe le produit gain bande passante de la structure avec la charge capacitive vue par l'amplificateur opérationnel. Pour un circuit transconductance, une bonne approximation de τ_{eq} est $(C + C_l)/g_{m_{opamp}}$. Par suite, la valeur moyenne quadratique de bruit du système est :

$$\overline{v_{eb}^2} \approx \left(\frac{1}{C} + \frac{2}{3} \frac{1}{C + C_l} \right) k_B T \quad (6.33)$$

L'équation (6.33) montre que l'impact des commutateurs analogiques lors de la phase d'échantillonnage est prédominant sur le bruit généré par la structure. De plus, afin de diminuer au maximum l'impact de l'amplificateur opérationnel, il faut augmenter la valeur de la capacité de charge C_l au détriment de la consommation de l'étage de sortie de l'amplificateur transconductance.

2.2 Étage de gain en tension à capacités commutées

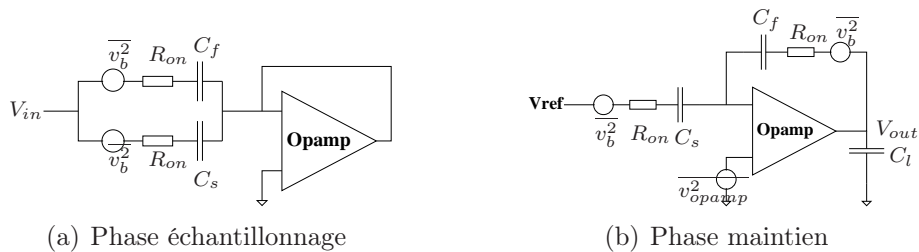


FIG. 6.6: Étage de gain en tension à capacités commutées

Pour l'étude de l'étage de gain, on reprend la structure étudiée dans le chapitre 3. Afin de simplifier l'étude, les capacités utilisées sont telles que $C_l = 2C = 2C_s = 2C_f$ et l'amplificateur est modélisé par une structure passe-bas du 1^{er} ordre similaire à la figure 3.9. L'étude de la phase échantillonnage est similaire à celle de la structure échantillonneur-bloqueur¹⁰ (fig. 6.6(a)). Il est intéressant de remarquer que de par le fait que les capacités C_s et C_f sont toutes deux connectées à l'entrée (-) de l'amplificateur opérationnel, le bruit généré par l'amplificateur opérationnel n'a pas besoin d'être pris en compte durant cette phase d'échantillonnage. Par contre, le bruit correspondant à la phase de maintien et d'amplification est un peu plus difficile à établir (fig. 6.6(b)) à cause des fonctions de transfert impliquées (voir chapitre 3). Pour simplifier cette étude, on pose les mêmes hypothèses que [AHL03], c'est-à-dire que la constante de temps liée au produit gain bande passante du circuit $\tau_{tot} = (f_b C_l + (f_b - 1)C)/g_m$ ¹¹ doit être voisine ou supérieure aux constantes de temps liées aux commutateurs analogiques $\rho R_{on} C_s$ et $R_{on} C_f$ (ce qui est vérifié au chapitre 3). De plus, le chapitre 3 sur le temps d'établissement de cette structure a montré que le dimensionnement des commutateurs analogiques durant cette phase a une forte influence sur le temps d'établissement. Aussi, il est intéressant de voir l'influence de ces commutateurs sur le bruit de la structure.

Sous de telles hypothèses, à partir de [AHL03] et de l'étude précédente, on en déduit

¹⁰La principale modification vient de l'échantillonnage simultané sur 2 capacités qui implique une densité spectrale de puissance de bruit doublée

¹¹ $f_b=2$ ici car on néglige l'influence de la capacité parasite d'entrée de l'amplificateur opérationnel

une expression totale de la valeur quadratique moyenne de bruit ramenée à l'entrée :

$$\overline{v_{noise}^2} = \overbrace{2 \frac{k_B T}{C}}^{\text{Phase (a)}} + \tau_D \overbrace{\frac{k_B T}{C} \left[\frac{\rho R_{on}}{\tau_{tot}} + \left(\frac{\rho R_{on}}{\tau_{tot}} + \frac{C}{C_l (f_b C_l + (f_b - 1)C)} \right) + \frac{1}{5C} \right]}^{\text{Phase (b)}} \quad (6.34)$$

Cette expression peut être simplifiée à partir de l'étude faite au chapitre 3 :

$$\overline{v_{noise}^2} = 2 \frac{k_B T}{C} + \tau_D \left(k_B T \left(\frac{1 + \rho + \frac{3}{10}}{C} \right) \right) \quad (6.35)$$

Ainsi une bonne approximation est donnée par :

$$\overline{v_{noise}^2} \approx 3 \frac{k_B T}{C} \quad (6.36)$$

Bien que cela n'apparaisse pas de façon claire dans l'équation (6.36), les commutateurs analogiques (phase amplification) augmentent la valeur moyenne quadratique de bruit d'environ 20%¹² et donc la valeur efficace de bruit d'environ 10% ce qui est raisonnable par rapport au gain en terme de temps d'établissement que ces commutateurs apportent à la structure de gain.

3 Bruit et convertisseur pipeline

3.1 Comparaison des SNR entre une approche en courant et une approche en tension

Afin de conclure sur cette étude de bruit, il est intéressant d'essayer de comparer les performances intrinsèques que peuvent atteindre les structures en courant et en tension. Toutefois, une telle comparaison est compliquée à obtenir à cause des différences importantes qui existent entre ces structures duales. C'est pourquoi en général, de telles comparaisons n'ont lieu que pour des structures en tension et en courant simples ([HWT00]). Ici dans un but de simplification, une mémoire de courant *imaginaire*¹³ est comparée à une structure échantillonneur-bloqueur (le bruit de l'amplificateur opérationnel n'est pas pris en compte).

a) Mémoire de courant

Pour cette mémoire de courant en version symétrique, le rapport signal sur bruit (SNR) peut s'exprimer de la façon suivante¹⁴ :

$$SNR_{CMC} \approx 10 \log_{10} \left(\frac{(I_{max}/\sqrt{2})^2}{2 (2i_{noise}^2)} \right) \approx 10 \log_{10} \left(\frac{I_{max}^2}{4 \left(2 \frac{k_B T g_m^2}{C} \right)} \right) \quad (6.37)$$

¹²Le cas idéal étant obtenu pour une valeur de R_{on} nulle

¹³On entend ici par imaginaire le fait que cette cellule est faite de sorte à assurer une tension de commande V_{ov} égale au quart de la tension d'alimentation V_{dd} , cette cellule étant constituée d'une structure cascodée NMOS et PMOS.

¹⁴La valeur moyenne quadratique de bruit obtenue eq. (6.27) est approximée ici par $\frac{k_B T g_m^2}{C}$

Remarque. On a majoré la valeur moyenne quadratique de bruit par $k_B T g_m^2 / C$. Le facteur 2 supplémentaire dans la valeur moyenne quadratique de bruit provient de la source de courant de polarisation que l'on suppose autant bruitée que la mémoire de courant.

Or en posant,

$$I_{max} = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} V_{ov}^2 = \frac{\beta}{2} \frac{V_{dd}^2}{16}$$

$$g_m = \beta (V_{gs} - V_{th}) = \beta V_{ov} = \beta \frac{V_{dd}}{4}$$

Par suite, on obtient :

$$SNR_{CMC} \approx 10 \log_{10} \left(\frac{V_{dd}^2}{\frac{k_B T}{C}} \right) - 90 \log_{10} 2 \quad (6.38)$$

Le graphe 6.7 obtenu à partir de l'équation (6.38) permet de visualiser les ordres de grandeur qui peuvent être obtenus en terme de SNR pour la mémoire de courant pour différente valeur de la tension de commande. Une valeur limite du SNR déduite à partir de ce graphe est voisine de 80dB. De plus, il permet de définir la valeur limite du SNR qu'une telle mémoire peut atteindre en fonction de la valeur de la tension d'alimentation disponible. Quant au graphe 6.8, il montre l'évolution de la constante de temps globale en fonction de la tension de commande.

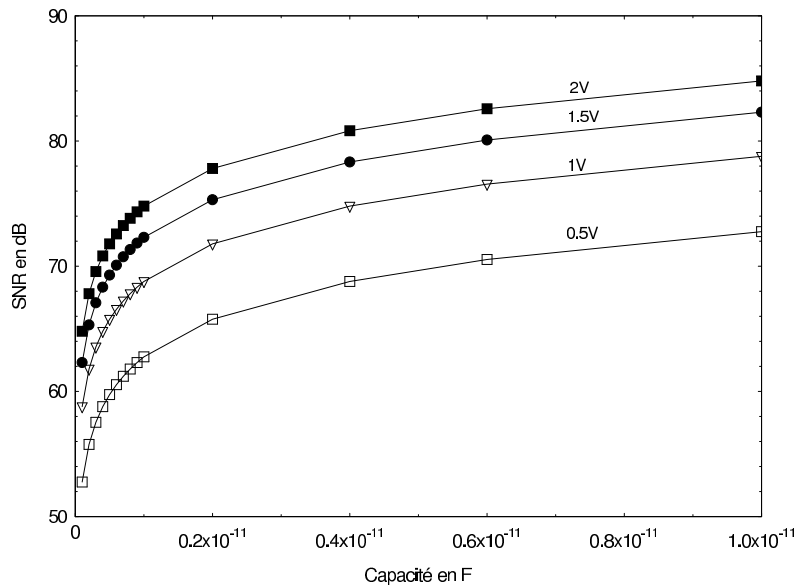


FIG. 6.7: Evolution du SNR de la mémoire de courant imaginaire en fonction de la tension de commande V_{ov} et de la capacité C_H

En ce qui concerne les mémoires de courant, il est possible d'obtenir un ordre de grandeur de la consommation totale de la mémoire simple symétrique. En effet, connaissant la plage de courant admissible, le coefficient de modulation et la tension d'alimentation, l'expression suivante peut être obtenue :

$$P = \frac{\beta}{\sqrt{1+m}} V_{ov}^2 V_{dd} \quad (6.39)$$

Ainsi pour une bande passante et une capacité C_H fixées, la puissance dépend directement du carré de la tension de commande V_{ov} soit encore de la plage de courant admissible ($I = \beta/2 V_{ov}^2$).

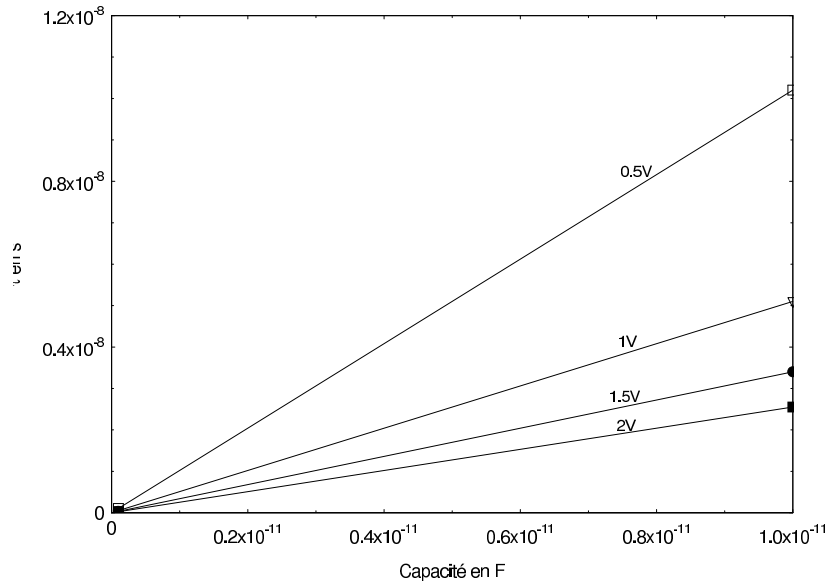


FIG. 6.8: Evolution de la constante de temps de la mémoire de courant imaginaire en fonction de la tension de commande V_{ov} et de la capacité C_H

b) Echantillonneur-Bloqueur en tension

De même, pour l'échantillonneur-bloqueur, le SNR est égal à :

$$SNR_{EB} \approx 10 \log_{10} \left(\frac{(V_{max}/\sqrt{2})^2}{2 (2v_{noise}^2)} \right) \quad (6.40)$$

$$\approx 10 \log_{10} \left(\frac{V_{max}^2}{4 \left(2 \frac{k_B T}{C} \right)} \right) \quad (6.41)$$

Si l'on note $V_{dd} = \alpha V_{max}$, alors on a :

$$SNR_{EB} \approx 10 \log_{10} \left(\frac{V_{dd}^2}{\frac{k_B T}{C}} \right) - 10 \log_{10} (4\alpha^2) - 10 \log_{10} 2 \quad (6.42)$$

De même que précédemment, le graphe 6.9 obtenu à partir de l'équation (6.42) permet de visualiser les limites en terme de SNR en fonction du budget en tension alloué.

c) Comparaison des SNR

Si l'on compare les équations (6.38) et (6.42), alors on obtient :

$$\Delta = SNR_{EB} - SNR_{CMC} = 60 \log_{10} 2 - 20 \log_{10} \alpha$$

Ceci permet de mettre en évidence l'avantage des structures en tension sur les structures en courant d'environ 17dB en termes de bruit. Une étude plus complète [HWT00] met en avant ce problème mais souligne que si l'on considère le facteur de mérite¹⁵, l'écart

¹⁵facteur qui prend en compte à la fois la vitesse, la puissance consommée et le SNR

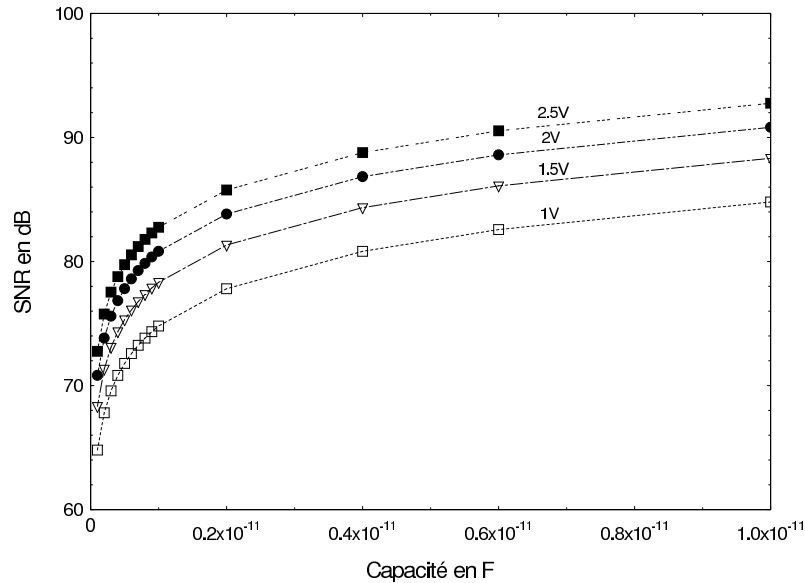


FIG. 6.9: Evolution du SNR de la structure Échantillonneur/Bloqueur en fonction de la plage utile de signal et de la capacité C_H

entre les structures en courant et tension diminue au fur et à mesure que les technologies CMOS évoluent vers de plus petites dimensions.

En outre, cette étude met en avant l'existence d'un lien direct entre tension d'alimentation et le bruit pour les circuits en mode tension et mode courant. Pour chaque réduction de la tension d'alimentation (de la capacité de maintien) d'un facteur 2, le SNR perd 6dB.

Enfin, les graphes 6.7 et 6.9 avec le tableau 6.1 permettent de constater que les CAN en courant ne peuvent atteindre une résolution effective que de 11bits. Par contre, les structures en tension permettent d'atteindre une résolution effective voisine de 13bits avec la contrainte d'avoir un budget en tension suffisant si l'on ne veut pas pénaliser à la fois la surface utilisée et la consommation.

Remarque. Impact d'une structure à effet Miller sur le bruit

On a précédemment vu qu'un circuit utilisant l'effet Miller permet de réduire l'effet d'injection de charges. Toutefois, au niveau du bruit, bien que la bande passante du signal soit fortement diminuée par cet effet Miller, le bruit stocké sur la capacité est égal à celui précédent la mise en service du système (tout se passe comme si le système échantillonnait le signal une fois que S_1 s'ouvre) contrairement à ce qui est annoncé dans [GDG94]. Ainsi si l'on voulait augmenter la résolution en bits efficaces d'un système basé sur cet effet Miller et ainsi passer de $\Delta V_{\frac{1}{2}LSB}$ à $\Delta V_{\frac{1}{x}LSB}$, il faudrait attendre un certain temps $\tau_{miseajour}$ suivant :

$$\tau_{miseajour} = A_{d_0} R C \ln \left(\frac{\Delta V_{\frac{1}{2}LSB}}{\Delta V_{\frac{1}{x}LSB}} \right) = A_{d_0} \frac{C}{g_m} \ln \left(\frac{\Delta V_{\frac{1}{2}LSB}}{\Delta V_{\frac{1}{x}LSB}} \right) \quad (6.43)$$

Temps qui n'est en général pas compatible avec la fréquence d'échantillonnage.

Remarque. Puissance consommée et bruit

Les avancés de la technologie CMOS permettent de travailler sous des tensions d'alimentation toujours plus basses. Ceci permet d'améliorer la consommation des circuits

numériques et ce d'autant plus que les capacités parasites sont petites (lithographie plus fine) [Abo99] et [vdPSH95]. La puissance consommée peut être approximée par :

$$P = C V_{dd}^2 f_{clk} + I_{fuite} V_{dd}$$

avec f_{clk} la fréquence de l'horloge. Toutefois, travailler avec une tension d'alimentation réduite n'est pas forcément aussi avantageux pour le domaine analogique. En effet, la puissance dynamique consommée par les circuits analogiques est dominée par les charges et décharges des capacités (compensation, mémoire ...) et est donc du type $CV^2 f_{clk}$. Or les expressions (6.38) et (6.42) montrent que pour conserver le même SNR sous tension réduite d'un facteur γ , il faut augmenter la valeur des capacités impliquées d'un facteur γ^2 , ce qui a pour effet d'annuler le gain en puissance consommée.

3.2 Bruit et résolution des convertisseurs Pipeline

En complément à l'étude effectuée dans la section 7 sur l'origine des erreurs dans un convertisseur pipeline, on se propose ici de fournir un gabarit en terme de bruit que doit vérifier le CAN pour avoir une résolution de N bits.

De par la structure pipeline du convertisseur, il est intéressant de remarquer qu'une erreur en terme de bit survient si l'erreur commise sur le signal résiduel d'un étage est supérieure au 1/2 LSB du CAN restant. Cette condition permet de s'assurer que la NLD¹⁶ est toujours inférieure au 1/2 LSB. Par contre, en ce qui concerne la NLI¹⁷, les erreurs s'accumulent.

Si l'on s'intéresse plus particulièrement au bruit d'un convertisseur pipeline, on peut distinguer tout d'abord 2 types de bruit : le bruit de quantification¹⁸ (lié à la résolution du convertisseur) et le bruit électronique (thermique, de scintillation ...). Aussi, le SNR d'un convertisseur peut être mis sous la forme :

$$SNR = -10 \log_{10} \left(\frac{2}{3} \frac{1}{2^{2N}} + \frac{\overline{s_i^2}}{\frac{S_{ref}^2}{2}} \right) \quad (6.44)$$

où N est la résolution du convertisseur et $\overline{s_i^2}$ la valeur quadratique moyenne du bruit total ramené à l'entrée. En général, pour ne pas trop dégrader les performances en terme de SNR du CAN, on tolère une dégradation de 1-2dB du SNR idéal (donc dû à la quantification seule). Ceci correspond à $\sqrt{\overline{s_i^2}} < 1/6 \text{ LSB}$ ($\Rightarrow \pm 3\sigma_{noise} < \pm 1/2 \text{ LSB}$). Le tableau 6.1 répertorie le SNR que le premier étage d'un CAN pipeline doit avoir pour obtenir pour une résolution donnée. Si l'on considère le bruit électronique comme une modulation petit

Résolution	10bit	12bit	14bit
SNR	73dB	85dB	97dB

TAB. 6.1: SNR que doit avoir le 1^{er} étage d'un CAN pipeline pour avoir une résolution donnée

signal, le bruit ramené à l'entrée peut être calculé en sommant linéairement la contribution

¹⁶Non-Linéarité Différentielle

¹⁷Non-Linéarité Intégrale

¹⁸Le $SNR_{quantification} = 6N + 1.76dB$ avec N la résolution du CAN

en bruit de tous les étages soit encore si le gain par étage est G :

$$\overline{s_i^2} = \sum_{k=1}^N \frac{\overline{s_k^2}}{(G^2)^k} \quad (6.45)$$

avec $\overline{s_k^2}$ le bruit à la sortie de l'étage k . L'équation (6.45) permet de constater que le bruit total est dominé par le bruit du premier étage et ce d'autant que le gain est grand. Ainsi, pour un CAN où le gain par étage est de 2, le bruit du premier étage a un poids 4 fois supérieur à celui du second étage. C'est pourquoi, l'effort de conception doit être fait essentiellement sur les 2-3 premiers étages pour s'assurer un bon SNR.

Remarque. *En mettant en regard le tableau 6.1 et les graphes 6.7 et 6.9, il est mis en évidence que la tension d'alimentation doit être supérieure à 2V pour pouvoir atteindre une résolution effective de 12bits si aucune méthode de sur-échantillonnage n'est utilisée.*

Conclusion

Cette étude a permis de dépeindre une méthode de calcul du bruit qui tient compte de l'impact de l'échantillonnage à la fois pour les structures en tension et en courant. Il ressort de cette étude que l'opération d'échantillonnage n'a qu'un impact relativement faible sur la valeur quadratique moyenne de bruit des cellules de mémoire de courant.

En outre, les structures en courant apparaissent plus sensibles au bruit que celles en tension. Toutefois, elles peuvent satisfaire au critère de résolution effective de 12bits. D'après l'analyse précédente, il faut essayer de maximiser le terme de tension de commande V_{ov} . Cette remarque sous-entend d'avoir recours à des commutateurs analogiques similaires à ceux utilisés dans les structures en tension pour optimiser la plage de signal utile. Ceci n'est cependant vrai que si une structure "classique"¹⁹ de mémoire de courant est utilisée. Dans le cas où une structure similaire à [Nai96], [BA02] et [RB05] est employée, le problème lié au commutateur est évité puisqu'elle repose sur le principe de l'échantillonnage à tension constante.

Néanmoins, les structures différentielles proposées sont sujettes aux problèmes de bruit évoqués au chapitre 2 tels que le bruit des sources de courant de polarisation I_{bias} . A cela s'ajoute le bruit supplémentaire de la source de courant de polarisation de la paire différentielle comme on l'a démontré dans ce même chapitre. Si aucune précaution n'est prise, cela peut se traduire par une perte de 6dB en terme de SNR. C'est pourquoi, à partir des travaux effectués dans ce chapitre et le chapitre sur les mémoires de courant, une nouvelle structure de mémoire de courant est proposée : elle élimine intrinsèquement ces bruits et permet d'optimiser la plage de tension de commande utile. Le schéma synoptique d'une telle mémoire est représenté sur la figure 6.10(a).

Le bruit des sources de courant de polarisation est éliminé de par la plus grande symétrie inhérente à la nouvelle topologie du circuit. En effet, la source de polarisation commune $2I_{bias}$ voit les mêmes impédances via les transistors T_p puisqu'ils ont les mêmes conditions de polarisation. De plus, la structure n'a besoin que d'une structure de contrôle de mode commun et non deux comme dans la mémoire de courant proposée au chapitre 2

¹⁹Dans le sens où le transistor mémoire T_m est directement mis en transdiode par le commutateur analogique

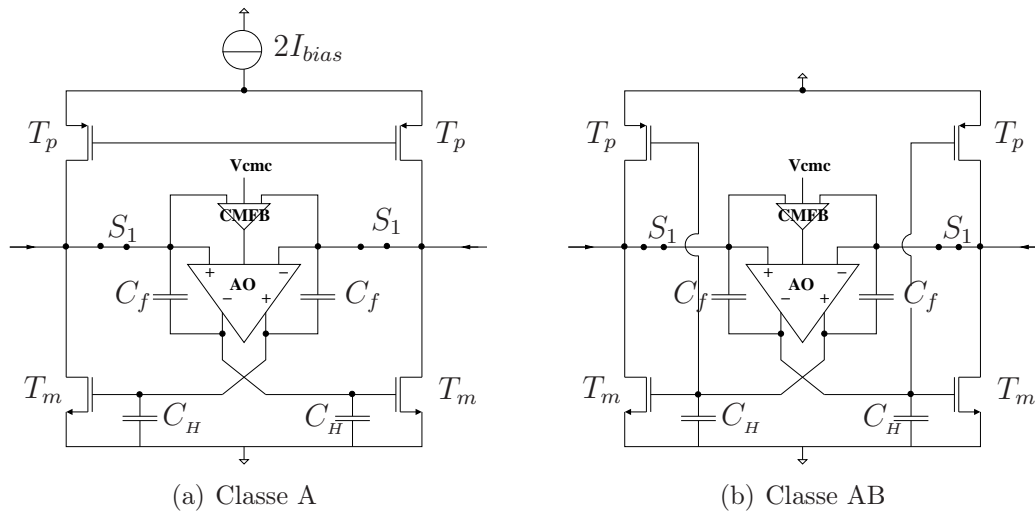


FIG. 6.10: Schéma synoptique d'une structure en courant optimisé pour le bruit.

et dans [BA02], ce qui se traduit par un circuit plus simple et une consommation a priori plus faible.

Quant au problème d'injection de charges, celui-ci est réduit grâce au fonctionnement des commutateurs analogiques à tension constante. L'injection de charges provenant des deux commutateurs S_1 est alors similaire à l'appariement près. Cette injection de charges de type mode commun est rejeté par l'amplificateur opérationnel. D'après [Nai96], une linéarité de 13bits peut être atteinte à l'aide de ce principe.

Enfin, la dynamique des transistors T_m est optimale puisque la tension de drain V_{ds} est fixée à V_{cmc} qui peut être grande puisque le bruit des sources de courant de polarisation ne joue plus (ce qui revient à dire que les transistors de polarisation peuvent avoir des transconductances élevées par rapport à T_m et donc avoir une tension de saturation basse).

Ainsi, ce type de mémoire de courant pourrait être une solution envisageable pour concevoir des mémoires de courant de grande linéarité à faible bruit.

En outre, si l'on veut augmenter l'efficacité des mémoires de courant, une structure de type classe AB est intéressante dans le sens où le courant à mémoriser peut être supérieur d'un facteur quatre au courant de polarisation [THB94]. Aussi, si l'on transforme la structure proposée en structure classe AB, le schéma de la figure 6.10(b) est obtenu.

Chapitre 7

Analyse des sources d'erreur d'un CAN pipeline

Introduction

Cette étude vise à décrire de façon aussi exhaustive que possible les sources d'erreurs dans les convertisseurs de type pipeline ainsi que les méthodes de correction et de calibrage associées. L'aspect général permet de traiter à la fois les CAN pipelines en mode *tension* et en mode *courant*. Toutefois, de par certaines particularités propres à chacun des 2 modes, certains types d'erreur sont plus exacerbés pour l'un ou l'autre des modes. C'est dans cette optique que dans un premier temps une analyse distincte des diverses erreurs pouvant altérer le fonctionnement du CAN est effectuée pour permettre une meilleure compréhension non seulement de l'erreur elle-même mais aussi de son impact sur les performances du CAN en terme de NLI¹ et de NLD². Il est important de noter que les erreurs affectant un CAN peuvent être réparties en 2 groupes distincts : le bruit qui varie d'échantillon en échantillon, et l'appariement qui lui est fixe (l'évolution de l'appariement est lente au cours du temps) et qui se manifeste sous forme d'offset, d'erreur des tension de référence, de gain... On s'intéresse ici plus expressément à l'étude des phénomènes stationnaires.

Ensuite, la combinaison des erreurs ainsi que l'apparition des non-linéarités sont analysées afin de comprendre l'interaction des erreurs entre elles.

Pour compléter cette étude, des méthodes de correction et de calibrage sont analysées dans le chapitre suivant afin d'améliorer les performances du CAN.

Remarque. *Cette étude a abouti à la réalisation d'un rapport d'activité [Ber06] dans lequel une méthode de calibrage adaptée à une autre architecture tension à capacités commutées et de nombreux exemples sont abordés.*

Au cours de ce chapitre, les erreurs étudiées qui limitent les performances d'un CAN pipeline (fig. 7.1), sont :

- L'offset des comparateurs
- L'erreur de Gain
- L'imprécision des signaux de références

¹Non Linéarité Intégrale

²Non Linéarité Différentielle

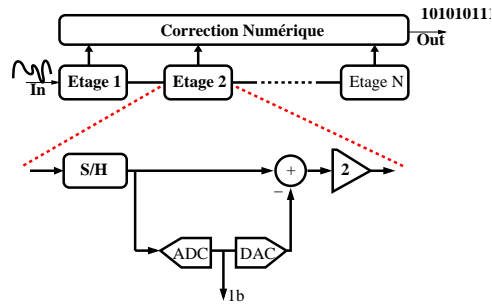


FIG. 7.1: Schéma de principe d'un CAN 1bit/étage

1 Impact de l'offset des comparateurs

Dans une architecture de CAN pipeline de résolution N bits où un bit d'information est extrait de chaque étage, un seul comparateur est utilisé avec un seul niveau de décision. Pour prendre une décision de façon rapide et précise, le gain en boucle ouverte et la bande passante du comparateur doivent être très grands. Pour y parvenir, il est possible de faire appel à :

- une structure complexe linéaire qui en général consomme beaucoup d'énergie mais qui présente un offset de quelques millivolts pouvant être corrigé [RW92].
- une structure basée sur une réaction positive qui a la particularité de présenter une architecture assez simple mais dont l'offset est assez fort (pouvant aller jusqu'à la centaine de millivolts) [SWHH02], [AGPSG02].

Aussi dans un contexte où faible consommation, haute résolution et grande vitesse co-existent, la connaissance de l'impact de l'offset du comparateur est importante puisqu'elle orientera le choix de l'architecture du comparateur.

Dans le cas d'un CAN à 1bit par étage, la présence d'offset au niveau du seuil de décision³ a comme conséquence directe la perte de certains codes comme la figure 7.2(b) le met en évidence.

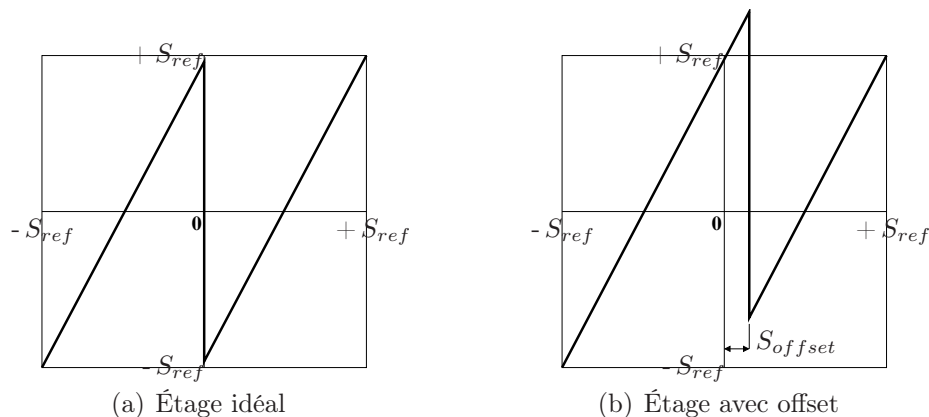


FIG. 7.2: Comparaison des fonctions de transfert caractéristiques d'un étage pipeline idéal (a) et avec offset (b). S représentant indifféremment une grandeur de tension ou d'intensité de courant.

Comme on peut le constater à partir de la figure 7.2(b), le nombre de codes manquant à cause de l'offset du comparateur de l'étage i est donné par l'éq 7.1, pour un CAN de

³Cet offset est à la fois dû à l'imprécision des signaux de références et du comparateur lui-même.

plage dynamique $\pm S_{ref}$ ⁴.

$$N_{offset_i} = i \cdot E \left[\frac{2^{N-i} S_{offset}}{S_{ref}} \right] \quad (7.1)$$

avec $E()$ la partie entière.

Exemple 3. Pour illustrer cette analyse, on se propose de considérer un convertisseur en courant de 4bits de résolution avec une plage dynamique de $I_{ref} = \pm 100\mu A$ (Fig. 7.3). La figure 7.3(b) met en évidence l'impact d'un offset de $25\mu A$ pour le 1^{er} étage et la figure 7.3(c) celui d'un offset de $25\mu A$ pour le 2^{ème} étage. On constate dans les 2 cas l'absence de 2 codes comme le prévoit la formule 7.1.

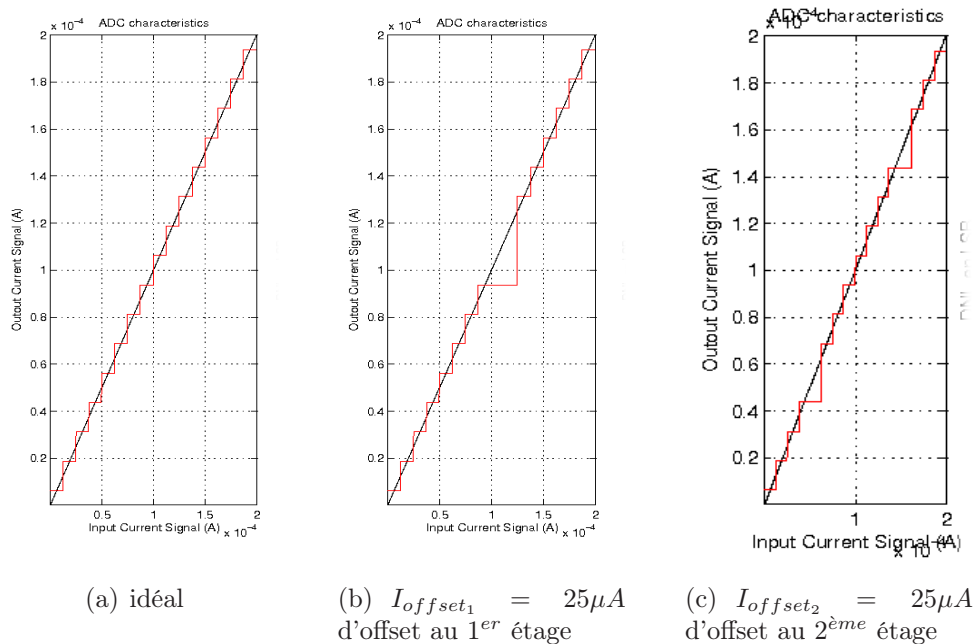


FIG. 7.3: Convertisseur en courant 4bits

A présent, il est légitime de se poser les questions suivantes :

1. Comment l'erreur va t-elle se propager tout au long du pipeline ?
2. Quels sont les amplitudes du signal d'entrée qui auront le même mot binaire ?
3. Quel est l'impact de l'offset sur la non linéarité différentielle du convertisseur ?

Ces questions d'ordre général pourront être ré-utilisées pour guider l'étude des autres erreurs.

1.1 Offset et Codes manquants

Dans le cas où seul l'offset du comparateur est mis en jeu, une fois que l'erreur est générée, elle se propage tout le long du convertisseur sans être modifiée. En effet, le signal de sortie erroné de l'étage compromis prend alors la valeur maximale (ou minimale) dans le cas d'un offset positif (négatif). Une estimation grossière du nombre de codes

⁴S peut être indifféremment une tension ou un courant

manquants pour l'ensemble du CAN peut être déduite de l'équation 7.1 et est donnée par l'approximation suivante :

$$N_{offset} = \sum_{i=1}^{N-1} i \cdot E \left[\frac{2^{N-i} S_{offset_i}}{S_{ref}} \right] \quad (7.2)$$

Cette approximation 7.2 ne rend pas compte des codes manquants qui sont comptés plusieurs fois mais elle donne une bonne évaluation du nombre de codes manquants dans le cas où l'offset des comparateurs n'est pas trop grand comparé au pas de quantification. Une meilleure approximation du nombre de codes manquants est donnée par l'expression (7.3).

$$N_{offset} = \sum_{i=1}^{N-1} i \cdot E \left[\frac{2^{N-i} S_{offset_i}}{S_{ref}} \right] - \sum_{j=1}^{N-2} \sum_{i>j}^{N-1} j \cdot E \left[\left| 2^j \cdot \frac{S_{offset_j} - S_{offset_i}}{S_{ref}} \right| \right] \cdot \min \left[E \left[\left| 2^{N-1} \frac{S_{offset_i}}{S_{ref}} \right| \right], E \left[\left| 2^{N-1} \frac{S_{offset_j}}{S_{ref}} \right| \right], E \left[\left| 2^{N-i} \cdot \frac{\frac{S_{ref}}{2^j} + S_{offset_i} - S_{offset_j}}{S_{ref}} \right| \right] \right] \quad (7.3)$$

1.2 Offset et non linéarité différentielle

En ce qui concerne la non linéarité différentielle du CAN, elle peut être évaluée assez simplement. Dans ce but, on rappelle la définition du NLD :

Définition 1. La non linéarité différentielle représente la différence entre la largeur q_k du pas de quantification de la chaîne réelle et celle du codeur idéal \bar{q} (pour le code k). Par conséquent la formule du NLD pour le code k est :

$$NLD(k) = q_k - \bar{q}$$

D'après cette définition, on peut donc évaluer la NLD provoquée par l'offset du comparateur de façon assez simple. Pour cela il suffit d'évaluer la largeur de la zone possédant le même code numérique et de la comparer à la largeur du pas de quantification idéal après avoir ramené la largeur mesurée en plage de signal d'entrée. Si l'on considère l'étage i du CAN, on a :

$$NLD = \frac{2^N}{2S_{ref}} \cdot \frac{S_{offset}}{G^{i-1}}$$

avec G_i le gain de l'étage i . Si l'on se place dans le cadre de l'équation (7.2), alors la NLD maximale est :

$$\forall i \in [1; N] \quad NLD = \max \left[\frac{2^{N-1}}{S_{ref}} \cdot \frac{S_{offset}}{G^{i-1}} \right] \quad (7.4)$$

2 Impact de l'erreur de gain

Dans une architecture de CAN pipeline de résolution N bits où un bit d'information est extrait de chaque étage, le résidu obtenu à la fin de chaque étage est amplifié d'un facteur 2 afin d'utiliser au mieux la plage dynamique d'entrée de l'étage qui suit. Ce type

d'amplification est en général réalisé à l'aide de circuit à capacités commutées (fig. 7.4(b)) en mode *tension* et par copie de type miroir de courant en mode *courant* (fig. 7.4(c)). La valeur du résidu est alors donnée pour le $i^{\text{ème}}$ étage par :

$$S_{out_i} = \begin{cases} 2S_{in_i} + S_{ref} & \text{avec } q = +1 \\ 2S_{in_i} - S_{ref} & \text{avec } q = -1 \end{cases}$$

Avec q qui prend la valeur $+1$ ou -1 suivant le résultat obtenu à la sortie du comparateur. On peut alors écrire :

$$S_{in} = \frac{S_{out_N}}{\prod_{i=1}^N G_i} - \sum_{i=1}^N \frac{S_{ref}}{\prod_{j=1}^i G_j} q_i \quad (7.5)$$

avec G_i le gain de l'étage i .

Remarque. Dans le cas de la copie de courant, on peut aussi réaliser l'amplification après avoir effectué des copies du courant d'entrée de façon séquentielle. Cette configuration série confère à la structure une très grande précision du gain puisqu'il dépend seulement de la précision de chacune des mémoires de courant utilisées et non plus de l'appariement des mémoires de courant entre elle. Toutefois, cette méthode série est moins rapide que la méthode de parallélisation (utilisée pour les faibles résolutions < 8 bits).

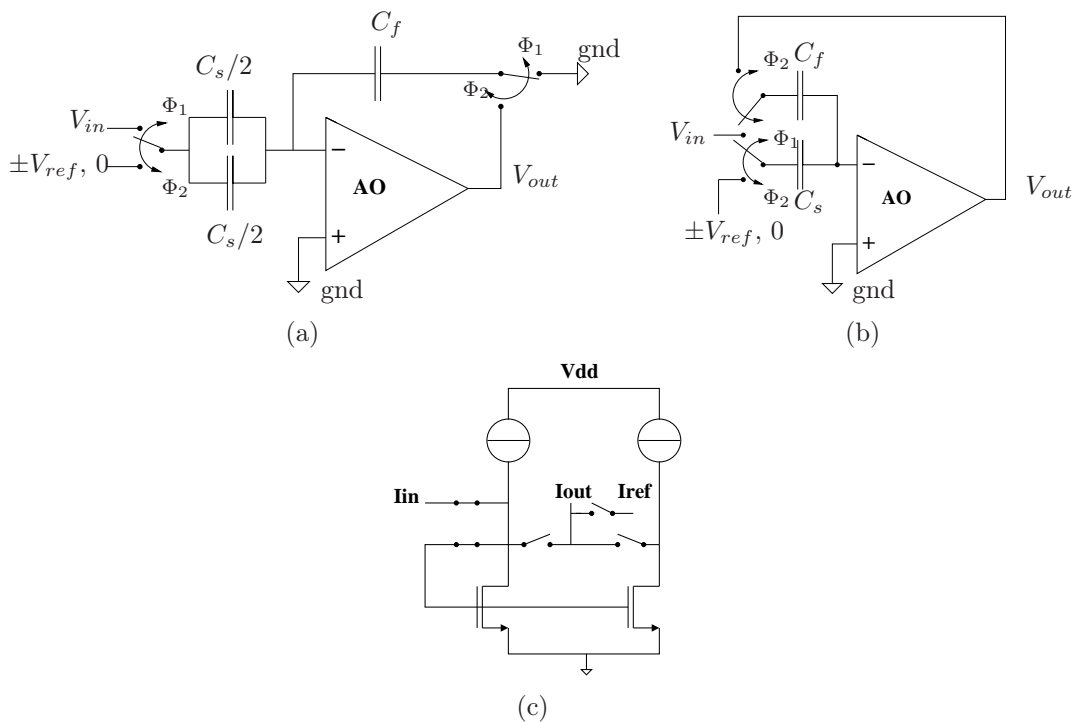


FIG. 7.4: Réalisation de l'amplification dans le cas tension (a) et courant (b)

Si l'on ne considère ni les erreurs introduites par le phénomène d'injection de charges ni celles dues au gain fini des amplificateurs opérationnels, alors le gain de ce genre de structure est directement lié aux appariements des composants (capacités pour le mode tension et transistors MOS pour le mode courant). Ainsi, le gain peut être soit inférieur soit supérieur à 2, ce qui a des conséquences différentes sur la caractéristique d'un étage du CAN (fig. 7.5).

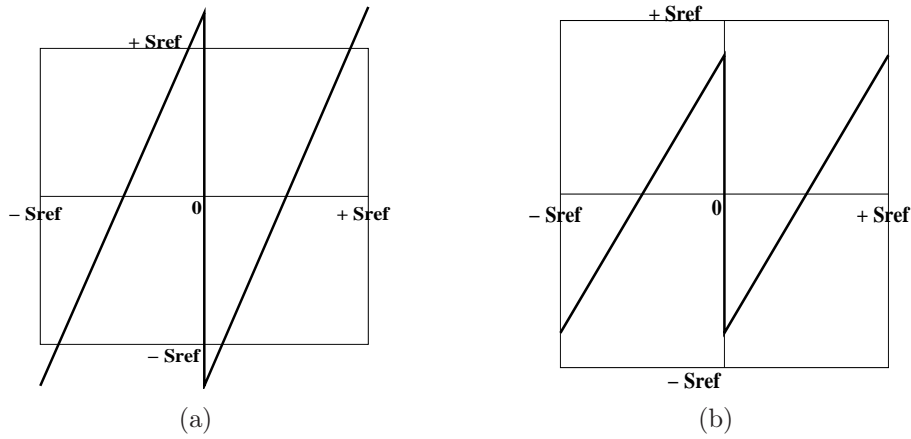


FIG. 7.5: Fonctions de transfert caractéristique d'un étage pipeline avec gain > 2 (a) et gain < 2 (b)

2.1 Gain < 2

Dans le cas où le gain est inférieur à 2 (Fig. 7.5(b)), on ne perd jamais d'information. En effet, on réalise toujours une bijection de l'ensemble de la plage d'entrée vers la plage de sortie. Par contre, il faut un nombre plus important d'étages pour obtenir la même résolution qu'un CAN Nbits avec un gain de "2" par étage. Ainsi, d'après l'équation (7.5), pour avoir la même résolution qu'un convertisseur idéal de N bits, le nombre d'étages N_{mod} requis doit être tel que le mot reconstitué à partir du mot numérique obtenu est le même que celui obtenu avec le CAN idéal soit encore :

$$S_{reconstitué} = \sum_{i=1}^{N_{mod}} q_i \left(\prod_{j=1}^i G_j \right) S_{ref} + \epsilon_{mod} = \sum_{i=1}^{N_{mod}} q_i 2^i S_{ref} + \epsilon$$

En posant G_{moy} le gain moyen le long de toute la chaîne et en négligeant les ϵ , on obtient :

$$G_{moy}^{N_{mod}+1} = (G_{moy} - 1) (2^{n+1} - 2) + G_{moy}$$

Une bonne approximation de la résolution de l'équation précédente est donnée par :

$$N_{mod} = N \cdot \frac{\ln(2)}{\ln(G_{moy})} \quad (7.6)$$

Ainsi, baisser le gain pour ne pas perdre d'information (désappariement des gains) impose le rajout d'étages supplémentaires (voir tableau 7.1) pour conserver une même résolution ainsi que la pondération des valeurs numériques obtenues par chaque étage par des poids ω_i ([DIH05] et [KLB93]).

Nombre d'étages	14	15	16	17	18	19	20
Gain par étage	2	1.91	1.83	1.76	1.70	1.65	1.60

TAB. 7.1: Nombres d'étages requis avec le gain associé par étage pour obtenir un CAN 14bits.

2.2 Gain > 2

a) Généralités

Dans le cas où le gain est supérieur à 2, on perd de l'information. Comme on peut le constater sur la figure 7.5(a), on perd de l'information à la fois aux niveaux des codes extrêmes mais aussi au niveau des codes situés de part et d'autre de la tension de seuil du comparateur. Il est intéressant de remarquer que dans le mode *tension*, le résidu d'un étage est toujours nul pour des tensions d'entrée voisines soit de $V_{ref}/2$ soit de $-V_{ref}/2$ car la tension de référence qui est ajoutée ou retranchée au signal d'entrée subit elle aussi les effets des désappariements. Ceci n'est pas vérifié dans le cas du mode courant puisque l'amplification (réalisée par la mise en parallèle de sources de courant) est un processus distinct de la soustraction.

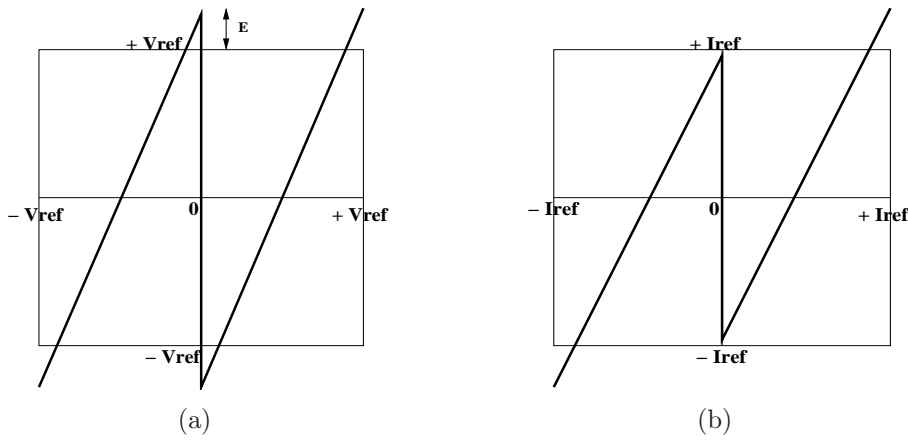


FIG. 7.6: Fonctions de transfert caractéristiques d'un étage pipeline avec gain > 2 pour le mode tension (a) et pour le mode courant (b).

b) Mode en tension

On obtient pour le mode tension de la figure 7.4(a) :

$$V_{out} = \begin{cases} G_i \left(V_{in} - \frac{V_{ref}}{2} \right) & \text{si } \frac{V_{ref}}{2} - \frac{V_{ref}}{G_i} < V_{in} < \frac{V_{ref}}{2} + \frac{V_{ref}}{G_i} \\ G_i \left(V_{in} + \frac{V_{ref}}{2} \right) & \text{si } -\frac{V_{ref}}{2} - \frac{V_{ref}}{G_i} < V_{in} < -\frac{V_{ref}}{2} + \frac{V_{ref}}{G_i} \\ V_{ref} & \text{si } V_{in} > \frac{V_{ref}}{2} + \frac{V_{ref}}{G_i} \text{ ou } \frac{V_{ref}}{G_i} - \frac{V_{ref}}{2} < V_{in} < 0 \\ -V_{ref} & \text{si } V_{in} < -\frac{V_{ref}}{2} - \frac{V_{ref}}{G_i} \text{ ou } 0 < V_{in} < -\frac{V_{ref}}{G_i} + \frac{V_{ref}}{2} \end{cases}$$

De même pour le mode tension de la figure 7.4(b) :

$$V_{out} = \begin{cases} G_i V_{in} - \gamma_i V_{ref} & \text{si } \frac{\gamma_i V_{ref}}{G_i} - \frac{V_{ref}}{G_i} < V_{in} < \frac{\gamma_i V_{ref}}{G_i} + \frac{V_{ref}}{G_i} \\ G_i V_{in} + \gamma_i V_{ref} & \text{si } -\frac{\gamma_i V_{ref}}{G_i} - \frac{V_{ref}}{G_i} < V_{in} < -\frac{\gamma_i V_{ref}}{G_i} + \frac{V_{ref}}{G_i} \\ V_{ref} & \text{si } V_{in} > \frac{\gamma_i V_{ref}}{G_i} + \frac{V_{ref}}{G_i} \text{ ou } \frac{V_{ref}}{G_i} - \frac{\gamma_i V_{ref}}{G_i} < V_{in} < 0 \\ -V_{ref} & \text{si } V_{in} < -\frac{\gamma_i V_{ref}}{G_i} - \frac{V_{ref}}{G_i} \text{ ou } 0 < V_{in} < -\frac{V_{ref}}{G_i} + \frac{\gamma_i V_{ref}}{G_i} \end{cases}$$

Où γ_i correspond au rapport $\frac{C_s}{C_f}$ de l'étage i.

c) Mode en courant

Puis pour le mode courant (fig 7.4(c)) :

$$I_{out} = \begin{cases} G_i \cdot I_{in} + I_{ref} & \text{si } -\frac{2}{G_i} \cdot I_{ref} < I_{in} < 0 \\ G_i \cdot I_{in} - I_{ref} & \text{si } 0 < I_{in} < \frac{2}{G_i} \cdot I_{ref} \\ I_{ref} & \text{si } I_{in} > \frac{2}{G_i} \cdot I_{ref} \\ -I_{ref} & \text{si } I_{in} < -\frac{2}{G_i} \cdot I_{ref} \end{cases}$$

La perte d'information provient du fait que la fonction qui associe aux signaux d'entrée un résidu n'est plus bijective mais surjective. C'est-à-dire en particulier qu'à différents signaux d'entrée est associée une même valeur de résidu (S_{ref} ou $-S_{ref}$).

Ainsi dans le cas du mode tension, le nombre de codes manquants est donné pour l'étage i par :

$$N_i = 4 \cdot E \left[\left(1 - \frac{2}{G_i} \right) \cdot 2^{N-1-i} \right] \xrightarrow{CAN \text{ total}} N_{tot} = 4 \cdot \sum_2^N E \left[\left(1 - \frac{2}{G_i} \right) \cdot 2^{i-1} \right]$$

Et pour le convertisseur en mode courant :

$$N_{tot} = 2 \cdot \sum_2^N E \left[\left(1 - \frac{2}{G_i} \right) \cdot 2^{i-1} \right]$$

Remarque. *Seulement dans le cas du mode en courant, on peut définir un ensemble de départ bijectif. En fait, tout se passe comme si la plage dynamique de départ était plus petite :*

$$I = \left[-\frac{2^{N-1}}{\prod_{i=1}^{N-1} G_i} I_{ref}; \frac{2^{N-1}}{\prod_{i=1}^{N-1} G_i} I_{ref} \right]$$

2.3 Evaluation de l'impact de l'erreur de gain sur la NLD (en tension de la structure de la figure 7.4(a))

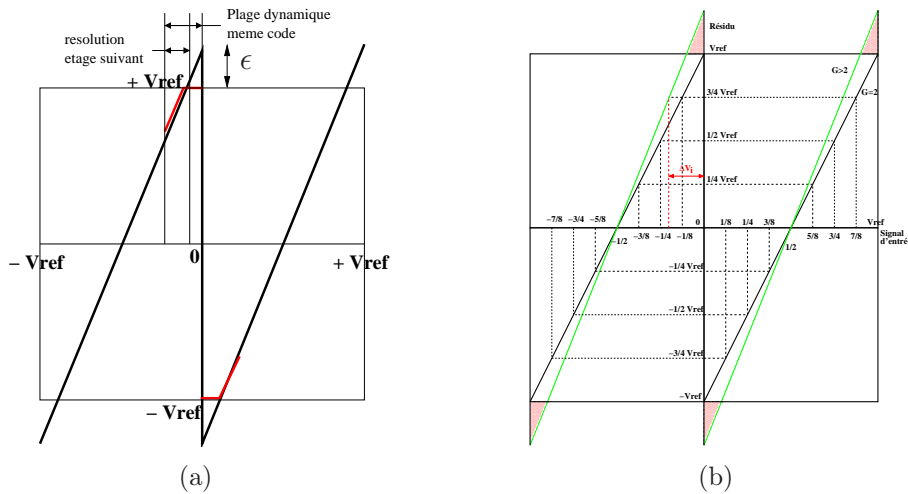


FIG. 7.7: 1^{er} étage d'un convertisseur 4bits en tension avec un gain $G > 2$

La structure de la figure 7.4(a) a été choisie par soucis de simplicité des calculs car l'erreur de gain pour le signal d'entrée V_{in} et la tension de référence V_{ref} est la même. On ne considère pas la structure en courant pour les raisons évoquées dans la section précédente.

Le calcul du NLD s'effectue au niveau du seuil de décision de chaque étage. Une conséquence importante est que les structures en courant sont plus robustes vis-à-vis de cette erreur que les structures en tension de part le fait qu'il n'y a pas de pertes de codes au voisinage du seuil. Aussi, cette étude s'applique essentiellement aux structures en tension.

La figure 7.7(a) donne un aperçu de la plage du signal d'entrée qui a le même code numérique en sortie. Si l'on examine cette figure, on s'aperçoit qu'il y a 2 parties distinctes : la première qui correspond au résidu situé hors de la plage dynamique d'entrée de l'étage qui suit, la deuxième qui correspond à la plage de résolution des étages restants et qui correspond donc à un même code. Grâce à la figure 7.7(b), une formule de récurrence déterminant la valeur du NLD peut être déterminée. En effet, si l'on considère l'impact de l'étage i sur la NLD du convertisseur au niveau du seuil de décision de ce même étage i , alors il faut tout d'abord déterminer la valeur du ΔV_i (fig 7.7(b)) qui caractérise la largeur de la plage du signal d'entrée qui correspond au même code numérique en sortie. Pour déterminer cette plage, le théorème de géométrie de Thalès peut être utilisé. Dans le cas idéal (pas d'erreur de gain) , on a :

$$\forall i \quad \Delta V_i = \frac{V_{ref}}{2^{N-i}}$$

Dans le cas non idéal, si le défaut de gain ne concerne que l'étage i , alors on a :

$$\forall i < N \quad \frac{\frac{G_i \cdot V_{ref}}{2} + \Delta V_{i+1} - V_{ref}}{G_i \cdot \frac{V_{ref}}{2}} = \frac{\Delta V_i}{\frac{V_{ref}}{2}} \Rightarrow \Delta V_i = V_{ref} \left[\frac{1}{2} - \frac{1 - \frac{1}{2^{N-(i+1)}}}{G_i} \right] \quad (7.7)$$

Dans le cas où l'on considère tous les défauts de gains des étages qui suivent l'étage i , à partir de l'équation 7.7, on a la formule de récurrence :

$$\forall i < N \quad \Delta V_i = \left[\left(\frac{1}{2} - \frac{1}{G_i} \right) V_{ref} + \frac{\Delta V_{i+1}}{G_i} \right] \quad (7.8)$$

On en déduit la formule du NLD ramenée à l'étage i considéré qui tient compte des erreurs commises par les étages suivants :

$$NLD_i^i = \left(\Delta V_i - \frac{V_{ref}}{2^{N-i}} \right) \cdot \frac{2^{N-i}}{V_{ref}} \quad (7.9)$$

On en déduit aussi la formule du NLD de l'étage i sur la NLD du convertisseur au niveau du seuil de décision de ce même étage i ramenée au 1^{er} étage du convertisseur :

$$\forall i > 1 \quad NLD_i^1 = \left(\frac{\Delta V_i}{\prod_{j=1}^{j<i} G_j} - \frac{V_{ref}}{2^{N-1}} \right) \cdot \frac{2^{N-1}}{V_{ref}} \quad (7.10)$$

Remarque. Comme il l'a été précédemment dit, la NLD pour un CAN en mode courant est nul pour ce type d'erreur.

Remarque. Un calcul plus judicieux du NLD qui ne prendrait en compte que la linéarité du convertisseur, doit prendre en compte le rétrécissement de la plage dynamique d'entrée

dû à la perte de code aux niveaux des extrémités conformément à la définition 4 . Ainsi la valeur du LSB passe de :

$$\frac{V_{ref}}{2^{N-1}} \rightarrow \frac{V_{ref}}{2^{N-1}} \cdot \left[1 - \sum_{i=1}^{N-1} \frac{G_i - 2}{2 \prod_{j=1}^{j=i} G_j} \right]$$

Ainsi l'équation 7.10 devient :

$$\forall i > 1 \quad NLD_i^1 = \left(\frac{2^{N-1}}{\prod_{j=1}^{j<i} G_j} \cdot \frac{\Delta V_i}{V_{ref}} \cdot \frac{1}{\left[1 - \sum_{i=1}^{N-1} \frac{G_i - 2}{2 \prod_{j=1}^{j=i} G_j} \right]} - 1 \right) \quad (7.11)$$

Exemple 4. On considère ici un convertisseur mode tension et mode courant. Le gain du 1er étage est fixé à 2.5 au lieu de 2.

a) Mode en courant

Dans le cas du mode courant, on observe la figure 7.8(a). On remarque tout d'abord que la caractéristique du convertisseur semble correcte bien que contractée. Ceci vient du fait de l'effet de contraction de l'espace de la plage d'entrée comme il l'a été précédemment énoncé. De part le gain de 2.5 du 1er étage, la plage d'entrée n'est plus de $200\mu A$ mais seulement $160\mu A$. De ce fait la largeur du pas de quantification n'est plus $12.5\mu A$ mais $10\mu A$, ce qui explique l'observation d'une NLD de $0.2LSB$ car :

$$\frac{12.5 - 10}{12.5} = 0.2$$

Toutefois si l'on observe la remarque (2.3), la NLD mesurée est bien égale à 0.

b) Mode en tension

Dans le cas du mode tension, on observe la figure 7.8(b). On remarque aussi au premier abord le même effet que précédemment de contraction de la plage dynamique d'entrée. Ceci explique les NLD égales à $0.2LSB$. Par contre, une NLD plus marquée est présente autour du centre de la plage dynamique d'entrée. Celle-ci est caractéristique du mode en tension. D'après l'équation 7.9, on a :

$$\begin{aligned} NLD_1^1 &= \left(\Delta V_1 - \frac{V_{ref}}{2^{N-1}} \right) \cdot \frac{2^{N-1}}{V_{ref}} \\ &= \left(\left(\frac{1}{2} - \frac{1}{2.5} \right) V_{ref} + \frac{V_{ref}}{2^{4-2} \cdot 2.5} - \frac{V_{ref}}{2^{4-1}} \right) \cdot \frac{2^{4-1}}{V_{ref}} \\ &= 0.6 \text{ LSB} \end{aligned}$$

Ceci correspond bien à la valeur annoncée par la figure 7.8(b). Dans le cas où l'on se sert de l'équation 7.11, on obtient une NLD de 0.52 LSB . Soit une réduction de 13.4% de la non linéarité observée.

Exemple 5. Dans le cas de la figure 7.9, pour un gain de 2.5 au niveau du 1^{er} et 2^{ème}

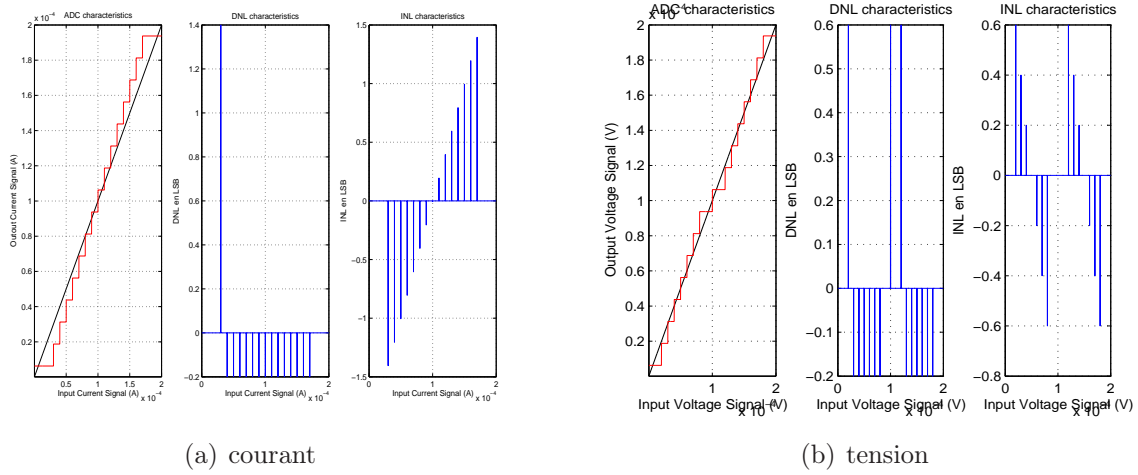


FIG. 7.8: Convertisseur 4bits avec un gain de 2.5 pour le 1^{er} étage

étage, le calcul nous donne les résultats suivants :

$$\begin{aligned}
 NLD_1^1 &= \left(\Delta V_1 - \frac{V_{ref}}{2^{N-1}} \right) \cdot \frac{2^{N-1}}{V_{ref}} = \left(\left(\frac{1}{2} - \frac{1}{2.5} \right) V_{ref} + \frac{\Delta V_2}{2.5} - \frac{V_{ref}}{2^{4-1}} \right) \cdot \frac{2^{4-1}}{V_{ref}} \\
 &= \left[\left(\frac{1}{2} - \frac{1}{2.5} \right) V_{ref} + \frac{\left(\frac{1}{2} - \frac{1}{2.5} \right) V_{ref} + \frac{V_{ref}}{2^{4-3} \cdot 2.5} - \frac{V_{ref}}{2^{4-1}}}{2.5} \right] \cdot \frac{2^{4-1}}{V_{ref}} \\
 &= 0.76 \text{ LSB}
 \end{aligned}$$

$$\begin{aligned}
 NLD_2^1 &= \left(\frac{\Delta V_2}{G_1} - \frac{V_{ref}}{2^{N-1}} \right) \cdot \frac{2^{N-1}}{V_{ref}} = \left(\left(\frac{1}{2} - \frac{1}{2.5} \right) \frac{V_{ref}}{2.5} + \frac{V_{ref}}{2^{4-3} \cdot 2.5^2} - \frac{V_{ref}}{2^{4-1}} \right) \cdot \frac{2^{4-1}}{V_{ref}} \\
 &= 0.04 \text{ LSB}
 \end{aligned}$$

$$\begin{aligned}
 NLD_3^1 &= \left(\frac{\Delta V_3}{G_1 \cdot G_2} - \frac{V_{ref}}{2^{N-1}} \right) \cdot \frac{2^{N-1}}{V_{ref}} = \left(\frac{V_{ref}}{2^{4-3} \cdot 2.5^2} - \frac{V_{ref}}{2^{4-1}} \right) \cdot \frac{2^{4-1}}{V_{ref}} \\
 &= 0.36 \text{ LSB}
 \end{aligned}$$

Ce qui correspond bien aux valeurs annoncées par la figure 7.9. La valeur maximale du NLD est de 0.76 LSB.

2.4 Evaluation de l'impact de l'erreur de gain sur la NLI (en tension)

Définition 2. La non-linéarité intégrale représente la différence entre les seuils de transition du code k du convertisseur et du convertisseur idéal. Par conséquent, dans le cas où le convertisseur est monotone, la formule du NLI pour le code k se ramène à :

$$NLI(k) = \sum_{i=0}^{i=k} NLD(i) = \sum_{i=0}^{i=k} (q_i - \bar{q})$$

Où q_i représente la largeur du pas de quantification du code i .

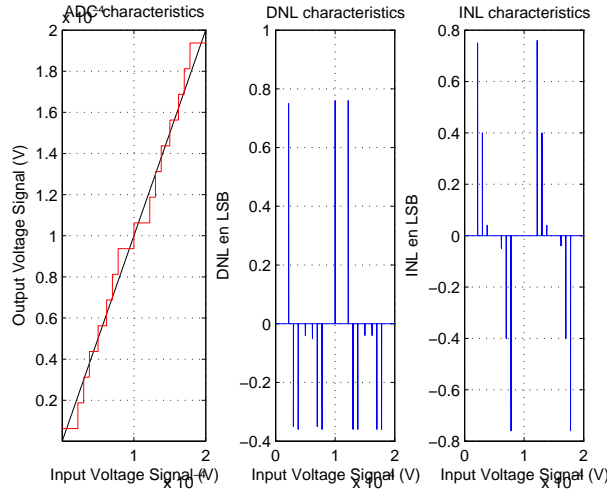


FIG. 7.9: Convertisseur 4bits en tension avec un gain de 2.5 pour le 1^{er} et 2^{ème} étage

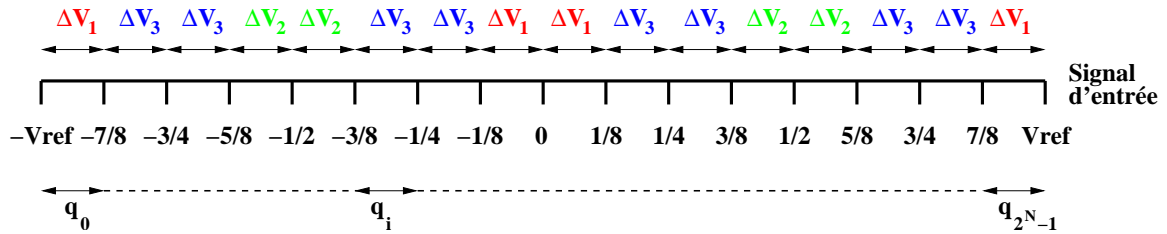


FIG. 7.10: Largeur des pas de quantification et répartition sur la plage $(-V_{ref}, V_{ref})$ des pas ΔV_i

Comme pour l'étude précédente, on s'intéresse plus particulièrement ici aux structures en tension. L'étude précédente nous a permis de déterminer la largeur des pas de quantification (eq. (7.8)). Cette largeur a été identifiée par l'appellation ΔV_i qui dénote donc la largeur du pas de quantification associé à l'étage i (voir figure 7.10). Dans le cas d'un convertisseur de N bits, on a la forme matricielle suivante :

$$[A] \cdot \begin{bmatrix} \Delta V_1 \\ \vdots \\ \Delta V_{N-1} \end{bmatrix} = \begin{bmatrix} INL_1 \\ \vdots \\ INL_{2^N} \end{bmatrix} \quad (7.12)$$

Avec les termes a_{ij} de la matrice $[A]$ définis $\forall j \in]1; 2^{N-1}]$ par :

$$a_{ij} = \begin{cases} t = 0 & (\text{pair}) & 0 < i < 2^{N-j} \\ t = 1 & (\text{impair}) & i = 2^{N-j} \\ t = 2 & (\text{pair}) & (2k - 1) \cdot 2^{N-j} < i < 2k \cdot 2^{N-j} \\ t = 2k + 1 & (\text{impair}) & i = (2k + 1) \cdot 2^{N-j} \\ t = 2k & (\text{pair}) & (2k + 1) \cdot 2^{N-j} < i < (2k + 3) \cdot 2^{N-j} \end{cases}$$

Pour le cas où $j=1$, la colonne se remplit de la même manière mis-à-part que le terme de départ est 1 et non zéro et que le dernier terme est toujours 4 (ceci s'explique par le fait que les largeurs de pas extrême sont les mêmes que ceux imposés par l'étage 1 ΔV_1).

Exemple 6. Si l'on fait référence au convertisseur de la figure 7.9, alors on obtient le

résultat suivant directement en LSB :

$$\begin{bmatrix} 1 & 0 & 0 \\ 1 & 0 & 1 \\ 1 & 0 & 2 \\ 1 & 1 & 2 \\ 1 & 2 & 2 \\ 1 & 2 & 3 \\ 1 & 2 & 4 \\ 2 & 2 & 4 \\ 3 & 2 & 4 \\ 3 & 2 & 5 \\ 3 & 2 & 6 \\ 3 & 3 & 6 \\ 3 & 4 & 6 \\ 3 & 4 & 7 \\ 3 & 4 & 8 \\ 4 & 4 & 8 \end{bmatrix} \cdot \begin{bmatrix} 0.76 \\ -0.04 \\ -0.36 \end{bmatrix} = \begin{bmatrix} 0.7600 \\ 0.4000 \\ 0.0400 \\ 0 \\ -0.0400 \\ -0.4000 \\ -0.7600 \\ 0 \\ 0.7600 \\ 0.4000 \\ 0.0400 \\ 0 \\ -0.0400 \\ -0.4000 \\ -0.7600 \\ 0 \end{bmatrix}$$

Ce qui correspond au résultat escompté au signe près.

3 Impact de l'erreur des signaux de référence

A présent, notre attention se focalise particulièrement sur les erreurs commises sur les valeurs absolues des signaux de référence. On s'intéressera seulement à l'impact qu'ils ont au niveau de l'opération de soustraction effectuée pour l'obtention du résidu et non au niveau des comparateurs puisqu'elle peut être alors assimilée à un offset (voir section 1).

Dans le cadre de réalisations différentielles, les signaux de référence S_{ref_n} et S_{ref_p} (signaux de référence négatif et positif respectivement) ont des valeurs absolues identiques (de part le fait que l'une est obtenue par symétrie à partir de l'autre). Suivant que leur valeur absolue est supérieure ou inférieure à $S_{ref}/2$, deux cas illustrés sur la figure 7.11 se présentent.

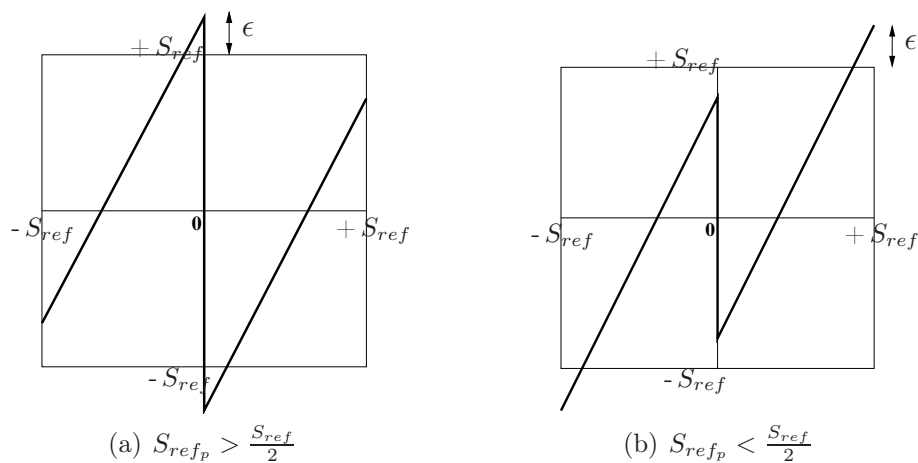


FIG. 7.11: Fonctions de transfert d'un étage pipeline avec un signal de référence erroné

Remarque. Ce type de raisonnement est valable à la fois pour le cas mode courant et le cas mode tension. C'est pourquoi les exemples peuvent être traités soit en mode tension soit en mode courant bien qu'ils soient traités pour l'un ou l'autre exclusivement.

3.1 Evaluation du NLD

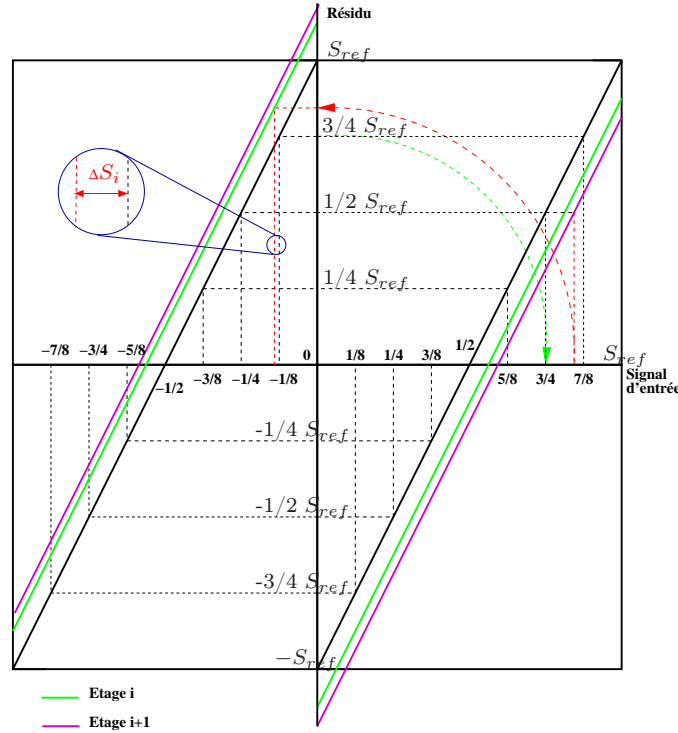


FIG. 7.12: Caractéristique de transfert avec une erreur sur la référence de tension pour l'étage i et $i+1$

Pour la détermination du NLD, le calcul est similaire au précédent mis à part que la valeur du gain est supposée égale à $G=2$ (cas idéal). La distorsion par rapport au cas idéal est évaluée au niveau de la prise de décision ($S_{in} = 0$). Pour se faire, la figure 7.12 illustre le principe du raisonnement. Elle représente la caractéristique de transfert de l'étage i et $i+1$ ainsi que celle du convertisseur idéal. Dans un premier temps, si l'on considère seulement que l'erreur de la tension de référence ne touche que l'étage i , on a pour la valeur du NLD ramenée à l'étage 1 :

$$\forall i \quad NLD_i^1 = 2^{N-i} \cdot \left| \frac{\Delta S_{ref_i}}{S_{ref}} \right|$$

Avec

$$\forall i \quad \Delta S_{ref_i} = \frac{\epsilon_i}{G_i} = \frac{\epsilon_i}{2}$$

Où ϵ_i est l'erreur en valeur algébrique commise sur la référence de tension de l'étage i . Si à présent on tient compte des erreurs de tous les étages, on a :

$$\forall i \quad NLD_i^1 = 2^{N-i} \cdot \left[\underbrace{\Delta V_{ref_i} - \sum_{j=i+1}^N \frac{\Delta V_{ref_j}}{2^{N-j}}}_{\Delta V_i} \right] \quad (7.13)$$

Remarque. Si les valeurs de S_{ref_p} et S_{ref_n} sont distinctes en valeurs absolues, alors le calcul précédent est valable si l'on remplace dans l'expression S_{ref} par S_{ref_p} puis par S_{ref_n} . Ce qui signifie que pour un même étage 2 valeurs de NLD seront associés : une pour la partie positive de la caractéristique et l'autre pour la partie négative.

Remarque. Au niveau des extremums, on observe une variation de la plage dynamique d'entrée :

$$\text{Plage utile} = \left[- \left(S_{ref} - \sum_{i=1}^{N-1} \frac{\Delta S_{ref_i}}{2^i} \right); \left(S_{ref} - \sum_{i=1}^{N-1} \frac{\Delta S_{ref_i}}{2^i} \right) \right]$$

Exemple 7. Pour illustrer cette analyse, on considère toujours le même convertisseur 4bits en courant. Sur la figure 7.13, on observe l'erreur de NLD lorsque l'erreur sur la référence du 1^{er} étage est de $5\mu A$ et du 2^{ème} de $-5\mu A$. Les calculs nous donnent :

$$\begin{aligned} NLD_1^1 &= 2^{N-1} \cdot \left[\Delta I_{ref_1} - \sum_{j=2}^N \frac{\Delta I_{ref_j}}{2^{N-j}} \right] = 2^{N-1} \cdot \left(\frac{5 \cdot 10^{-6}}{100 \cdot 10^{-6}} - \frac{-5 \cdot 10^{-6}}{2 \cdot 100 \cdot 10^{-6}} \right) \\ &= 0.6 \text{ LSB} \end{aligned}$$

$$\begin{aligned} NLD_2^1 &= 2^{N-2} \cdot \left[\Delta I_{ref_2} - \sum_{j=3}^N \frac{\Delta I_{ref_j}}{2^{N-j}} \right] = 2^{N-2} \cdot \left(-\frac{5 \cdot 10^{-6}}{100 \cdot 10^{-6}} \right) \\ &= 0.2 \text{ LSB} \end{aligned}$$

Ce qui correspond bien à la simulation (Fig 7.13)

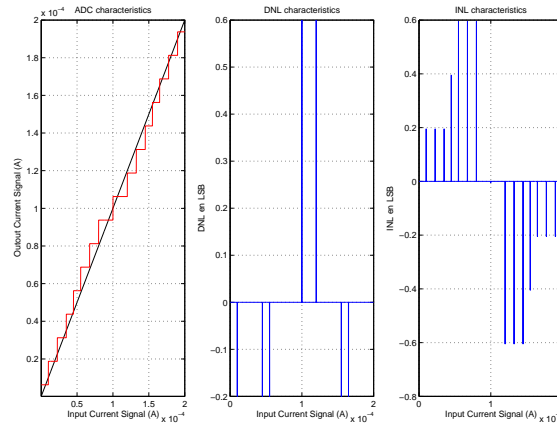


FIG. 7.13: Convertisseur 4bits en courant avec une erreur sur la référence de $5\mu A$ pour le 1^{er} étage et $-5\mu A$ pour le 2^{ème} étage

3.2 Evaluation du NLI

Pour faire cette évaluation, on se sert directement de l'équation (7.12) qui est alors valable en tension et en courant.

Exemple 8. En reprenant l'exemple précédent (fig 7.13) mais en tenant compte du fait que les extrêmes ne subissent pas la même variation que le NLD_1 , on obtient la matrice suivante :

$$\begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 \\ 1 & 0 & 0 & 2 \\ 1 & 0 & 1 & 2 \\ 1 & 0 & 2 & 2 \\ 1 & 0 & 2 & 3 \\ 1 & 0 & 2 & 4 \\ 1 & 1 & 2 & 4 \\ 1 & 2 & 2 & 4 \\ 1 & 2 & 2 & 5 \\ 1 & 2 & 2 & 6 \\ 1 & 2 & 3 & 6 \\ 1 & 2 & 4 & 6 \\ 1 & 2 & 4 & 7 \\ 1 & 2 & 4 & 8 \\ 2 & 2 & 4 & 8 \end{bmatrix} \cdot \begin{bmatrix} -0.2 \\ 0.6 \\ -0.2 \\ 0 \end{bmatrix} = \begin{bmatrix} -0.2000 \\ -0.2000 \\ -0.2000 \\ -0.4000 \\ -0.6000 \\ -0.6000 \\ -0.6000 \\ 0 \\ 0.6000 \\ 0.6000 \\ 0.6000 \\ 0.4000 \\ 0.2000 \\ 0.2000 \\ 0.2000 \\ 0 \end{bmatrix}$$

Les résultats obtenus sont concluants au signe près.

4 Composition de l'erreur de gain avec l'erreur sur les signaux de référence

Si l'on rassemble les erreurs de gain et de référence ensemble, les modifications des formules précédemment déterminées sont minimales dans le sens où seule la formule liée à l'erreur sur les signaux de référence doit à présent intégrer l'erreur de gain des étages. Cette étude s'applique plus particulièrement au mode en tension. Ainsi à partir de l'équation (7.8) et (7.13), on obtient l'équation globale suivante :

$$\forall i < N \quad \Delta V_i = \left[\left(\frac{1}{2} - \frac{1}{G_i} \right) V_{ref} + \frac{\Delta V_{i+1}}{G_i} \right] + \Delta V_{ref_i} - \sum_{j=i+1}^N \frac{\Delta V_{ref_j}}{\prod_{k=j}^N G_k} \quad (7.14)$$

Remarque. Contrairement à la section 3 sur l'erreur du signal de référence, ici il faut prendre la valeur algébrique du terme d'erreur pour savoir s'il renforce l'erreur due à l'erreur de gain ou non. Il faut noter que :

$$\Delta V_{ref_i} > 0 \quad \text{si} \quad V_{ref_i} > \frac{V_{ref}}{2}$$

5 Impact de la non-linéarité des capacités sur l'étage de gain en tension

Comme il l'a été précédemment énoncé plus haut, dans le cadre du mode tension, l'étage de gain est basé sur des circuits à capacités commutées. La linéarité de ce type de

circuit dépend à la fois de la linéarité de l'amplificateur opérationnel sur toute sa plage de tension admissible et à la fois de la linéarité des capacités utilisées. Pour limiter l'impact de la linéarité des capacités, les capacités utilisées en général sont les capacités poly-poly qui ne sont disponibles que pour les process technologiques orientés analogiques. Ces capacités offrent une bonne linéarité ainsi qu'une bonne capacité surfacique par rapport aux capacités de type poly-métal, métal-métal (qui présentent de plus fortes capacités parasites). Cependant, dans le but de pouvoir concevoir des circuits en technologie CMOS numérique pure, seules les capacités poly-métal ou métal-métal sont disponibles. Si l'on veut bénéficier de capacités offrant une meilleure capacité surfacique, il faut utiliser les capacités MOS. Ces capacités ont la plus grande capacité surfacique de part l'épaisseur d'oxyde très fine et présentent de bons appariements. Néanmoins, ces capacités sont non-linéaires (dépendance vis-à-vis de la tension à leurs bornes). Aussi le but de cette étude est d'analyser l'impact des non-linéarités des capacités sur la structure à capacités commutées de la figure 7.4(b).

Durant la première phase Φ_1 , le signal utile V_{in} est appliqué en entrée. Ensuite en deuxième phase Φ_2 , le signal V_{ref} est appliqué. La somme totale des charges stockées dans les deux condensateurs sont conservées. Par conséquent, on a un transfert de charges entre C_s et C_f en fonction de la séquence des tensions appliquées (passage de Φ_1 à Φ_2) :

$$\begin{aligned}\Delta Q_s &= \int_{-V_{in}}^{-qV_{ref}} C_s(v) dv \\ \Delta Q_s &= - \int_{-V_{in}}^{-V_{out}} C_f(v) dv\end{aligned}$$

a) Si les capacités étaient linéaires, on aurait :

$$\begin{aligned}\Delta Q_s &= C_s (V_{in} - qV_{ref}) = C_f (V_{out} - V_{in}) \\ \Rightarrow V_{out} &= \frac{C_s + C_f}{C_f} V_{in} - q \frac{C_s}{C_f} V_{ref}\end{aligned}$$

avec $q=-1$ ou 1 suivant si $V_{in} < 0$ ou non.

b) Dans le cas où les capacités sont non-linéaires :

$$\Delta Q_s = C_s \left[v + \frac{\alpha_c}{2} v^2 + o(v^2) \right]_{-V_{in}}^{-qV_{ref}} = -C_f \left[v + \frac{\alpha_c}{2} v^2 + o(v^2) \right]_{-V_{in}}^{-V_{out}}$$

avec $C(v) = C_0 [1 + \alpha_c v]$ et $\alpha_c = (1/C_0) (\Delta C/\Delta V)$.

On a alors la fonction du second ordre suivante :

$$C_f \frac{\alpha_c}{2} V_{out}^2 - C_f V_{out} + (C_s + C_f) V_{in} - \frac{\alpha_c}{2} ((C_s + C_f) V_{in}^2 - C_s V_{ref}^2) - q C_s V_{ref} = 0 \quad (7.15)$$

Si l'on considère que $C_f = C_s$ et que $\alpha_c \ll 1$ alors l'équation 7.16 donne une bonne approximation de V_{out} .

$$V_{out} \approx 2V_{in} - qV_{ref} \underbrace{-\alpha_c (V_{in}^2 + V_{ref}^2 + qV_{in}V_{ref})}_{\text{terme non linéaire}} \quad (7.16)$$

5.1 Etude de la NLD

A partir de l'équation (7.15), on peut exprimer V_{in} en fonction de V_{out} de sorte à pouvoir projeter la non-linéarité sur la plage d'entrée. On a alors l'équation du second ordre suivante :

$$-\frac{\alpha_c}{2}(C_s + C_f)V_{in}^2 + (C_s + C_f)V_{in} + C_f\frac{\alpha_c}{2}V_{out}^2 - C_fV_{out} + \frac{\alpha_c}{2}C_sV_{ref}^2 - qC_sV_{ref} = 0 \quad (7.17)$$

On obtient alors :

$$V_{in}(V_{out}) = \frac{1 - \sqrt{1 - \alpha_c(V_{out} + qV_{ref}) + \frac{\alpha_c^2}{2}(V_{out}^2 + V_{ref}^2)}}{\alpha_c} \quad (7.18)$$

A partir de la fonction inverse de la fonction de transfert caractéristique de chaque étage (déterminée par l'équation (7.18)), la valeur des pas de transitions peut être calculée ainsi que la NLD.

Remarque. Si la fonction de transfert du circuit d'amplification du résidu est aussi calculée pour le cas des signaux négatifs, alors on montre pour le cas de la figure 7.4(b) que la fonction de transfert caractéristique pour les valeurs négatives des signaux d'entrée sont obtenues par symétrie centrale. On a alors dans ce cas :

$$f_{>0}^{-1}(x) = f_{<0}^{-1}(-x)$$

Où $f_{>0}^{-1}$ est la fonction inverse correspondant à l'équation 7.18.

D'après cette remarque, on en déduit que :

$$\Delta V_i^+ = \Delta V_i^-$$

On obtient alors les valeurs suivantes pour l'étage i :

$$\begin{aligned} \Delta V_i^1 &= f_{>0}^{-1}(-V_{ref} + \Delta V_{i+1}^1) \\ \forall j \in]1; 2^{N-i}] \quad \Delta V_i^j &= f_{>0}^{-1}\left(-V_{ref} + \sum_{k=1}^j \Delta V_{i+1}^k\right) - f_{>0}^{-1}\left(-V_{ref} + \sum_{k=1}^{j-1} \Delta V_i^k\right) \end{aligned} \quad (7.19)$$

A partir de cette étude et en s'appuyant sur l'étude de la NLD précédente, on peut alors en déduire les NLD générées.

5.2 Impact d'une structure différentielle sur la non-linéarité des capacités

Il est à présent intéressant d'étudier l'impact d'une utilisation de structures différentielles sur la non-linéarité des capacités. En effet, une telle structure a pour caractéristique de diminuer les distorsions (en particulier l'ordre 2) de part la symétrie inhérente au circuit. Toutefois, ici la non-linéarité des capacités ne présente pas a priori de symétrie particulière. Pour l'étude de ce cas, on va s'appuyer sur le schéma différentiel illustré par

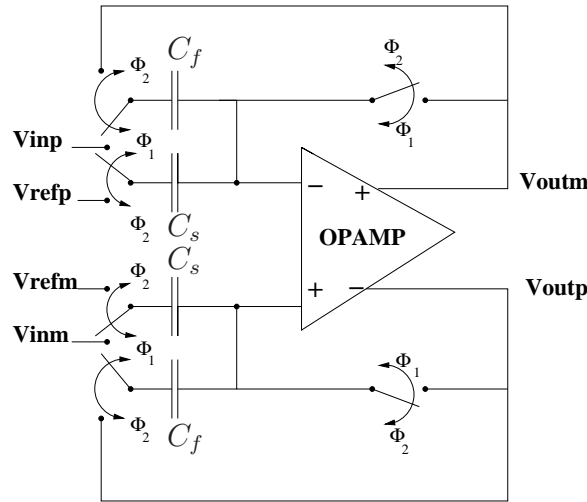


FIG. 7.14: Circuit d'amplification à sorties symétriques à capacités commutées

la figure 7.14. Par étude similaire à celles précédemment effectuées, l'étude porte ici sur le flux de charge Q_+ au niveau de la borne + de l'AO :

$$Q_+ = \int_{V_{mc}-V_{inp}}^{V_{mc}-qV_{refp}} C_s(v) dv$$

$$Q_+ = - \int_{V_{mc}-V_{inp}}^{V_{mc}-V_{outm}} C_f(v) dv$$

Où V_{mc} note la tension de mode commun, V_{inp} le signal d'entrée et V_{refp} la tension de référence. En tenant de la présence de ce mode commun qui contribue à la non-linéarité en tension des condensateurs C_s et C_f , on a :

$$\begin{aligned} V_{outm} &= V_{mc} - \Delta_o \\ V_{outp} &= V_{mc} + \Delta_o \\ V_{inp} &= V_{mc} + \Delta_i \\ V_{inm} &= V_{mc} - \Delta_i \\ V_{refp} &= V_{mc} + q \Delta_{ref} \\ V_{refm} &= V_{mc} - q \Delta_{ref} \end{aligned}$$

On a alors :

$$C \left[v + \frac{\alpha}{2} v^2 \right]_{-\Delta_i}^{-q \Delta_{ref}} = -C \left[v + \frac{\alpha}{2} v^2 \right]_{-\Delta_i}^{\Delta_o}$$

Par symétrie, on obtient le système suivant :

$$\begin{cases} \Delta_o^2 + \frac{2}{\alpha} \Delta_o + \frac{4}{\alpha} \Delta_i - 2\Delta_i^2 - q\frac{2}{\alpha} \Delta_{ref} + \Delta_{ref}^2 = 0 \\ \Delta_o^2 - \frac{2}{\alpha} \Delta_o - \frac{4}{\alpha} \Delta_i - 2\Delta_i^2 + q\frac{2}{\alpha} \Delta_{ref} + \Delta_{ref}^2 = 0 \end{cases}$$

La combinaison des 2 équations précédentes montre bien que l'utilisation d'une structure différentielle permet d'éliminer la non-linéarité du 1^{er} ordre.

Remarque. Si l'on considère des capacités MOS, la non-linéarité inhérente à ce type de capacité est plus importante. Aussi, une analyse plus poussée basée sur ce type de capacité est nécessaire.

Conclusion

En outre, on a mis en évidence que le choix d'un gain inférieur à 2 est plus intéressant qu'un gain supérieur à 2 dans le sens qu'aucune information n'est perdue durant la numérisation que l'on travaille avec 1 ou 1.5bit par étage. C'est pourquoi, pour obtenir une plage optimale d'entrée et de meilleures performances, il faut s'assurer durant la conception d'avoir un gain légèrement inférieur à 2 (mais dont la connaissance de la valeur exacte est nécessaire pour avoir une bonne précision et résolution).

En ce qui concerne les mémoires de courant, on a montré que l'erreur de gain du système n'affecte pas de la même manière les résidus des étages que pour les structures en tension. Ceci provient du fait que les signaux de références ne sont pas affectés par l'opération d'amplification. Ce point est très intéressant car il sous entend que les performances en terme de linéarité d'un CAN en courant sont directement liées à la linéarité de ses composants de base et non à leur précision intrinsèque. Ceci donne un argument supplémentaire en faveur d'une architecture en courant.

Pour finir, on a mis en évidence que l'utilisation de structure différentielle symétrique en courant permet d'augmenter la linéarité des systèmes ESA en présence de non-linéarité (du 1^{er} ordre) des capacités des condensateurs utilisés.

Chapitre 8

Analyse des méthodes de correction et de calibrage

L'étude précédente a permis de mettre en exergue la difficulté de concevoir un CAN de haute résolution de part principalement les appariements entre les composants. Aussi, sans étalonnage ou ajustement, la résolution des CAN pipelines est généralement limitée à approximativement 10bits. C'est pourquoi, de nombreuses méthodes de correction ont été développées pour parvenir à obtenir des conversions analogique-numérique de haute résolution. Ces méthodes sont particulièrement intéressantes pour pouvoir relaxer les contraintes concernant les appariements requis entre les divers composants du CAN. Celles-ci permettent de dimensionner ces derniers en fonction du bruit et de la fréquence d'échantillonnage plus aisément et donc de tirer au maximum profit des capacités lithographiques de la technologie utilisée (avec des gains possibles en terme de consommation). Cette approche est d'autant plus pertinente que l'utilisation de technologies aux gravures toujours plus fines entraîne souvent des détériorations des appariements. Une conséquence directe de ces méthodes de calibrage est qu'il est a priori possible de concevoir des CAN dont les caractéristiques seront bridées par le bruit (thermique, de scintillation 1/f, ...) seulement et non plus par l'appariement.

Ces méthodes peuvent être divisées en 2 catégories :

- Le calibrage analogique tel que la correction des offsets (chopper ...), ajustements des valeurs¹ [dWTH93],[Cli96] et [RRS⁺04] et par méthodes de compensation des capacités² [STL88],[CSB01], [ZHSK05], [LCM05] et [CGN04].
- Le calibrage numérique [KLB93],[Con94]. Contrairement aux techniques analogiques où les caractéristiques des composants sont mesurées et ajustées, les caractéristiques des composants ne sont pas corrigées par les méthodes de calibrage numérique mais elles sont *mémorisées* numériquement. Aucun effort n'est fait pour corriger les erreurs d'appariement, ce qui enlève de nombreuses contraintes pour la conception de circuits analogiques. Seules les valeurs de sortie numériques brutes du CAN sont corrigées par un post-traitement numérique.

Dans le contexte spatial, il est très intéressant de simplifier la conception analogique au profit de la conception numérique pour des raisons de robustesse³ mais aussi de consommation. C'est pourquoi, cette étude se tourne exclusivement vers les méthodes de correction numérique. Nous proposons la description de fonctionnement de structures

¹Trimming

²capacitor error averaging

³d'autant plus que le post-traitement peut être effectué sur Terre

à multi-comparateur (qui permettent de s'affranchir dans une certaine mesure des erreurs d'offset), la description de la méthode classique de correction numérique et la description d'un nouvel algorithme de correction numérique.

1 Utilisation de plusieurs comparateurs par étage

D'après la section sur l'offset des comparateurs, l'erreur due à l'offset des comparateurs a pour origine la sortie de la plage dynamique du signal au niveau du seuil de décision. Pour pallier à ce défaut, on peut avoir recours soit à des méthodes de correction d'offset (du type chopper) qui sont plus ou moins complexes et coûteuses en énergie, soit à l'utilisation de plusieurs comparateurs. Ici, c'est cette dernière qui fait l'objet d'une analyse plus approfondie.

1.1 Multi-comparaisons et offset

L'utilisation de plusieurs comparateurs (soit N_c leur nombre) à la place d'un seul par étage s'accompagne d'une bien meilleure tolérance aux offsets des comparateurs [WH02b], [LM03], [Lee94], [CS02].

Dans le cas où le gain G_o de 2 est gardé pour chaque étage, les conditions suivantes doivent être vérifiées :

$$\begin{cases} G_o |S_{offset}| + \frac{S_{ref}}{N_c} < S_{ref} \\ |S_{offset}| < \frac{S_{ref}}{N_c} \end{cases}$$

Soit encore

$$\begin{cases} |S_{offset}| < \frac{S_{ref}}{G_o} \cdot \left(1 - \frac{1}{N_c}\right) & \text{(a)} \\ |S_{offset}| < \frac{S_{ref}}{N_c} & \text{(b)} \end{cases} \quad (8.1)$$

avec S soit une tension, soit un courant.

L'équation (8.1(a)) permet de s'assurer que le signal de sortie ne sorte jamais de la plage dynamique d'entrée de l'étage suivant alors que (b) s'assure qu'il n'y ait pas de recoupement de seuil entre le comparateur corrompu et un comparateur idéal adjacent. En fait, si l'on considère le pire cas, c'est-à-dire un offset positif puis négatif entre deux comparateurs adjacents, alors l'équation (8.1(b)) devient :

$$|S_{offset}| < \frac{S_{ref}}{2 N_c} \quad \text{(c)}$$

D'après l'équation (8.1) (a) et (c), la valeur de N_c optimale est : $N_c = 1 + G_o/2$. Soit encore ici pour un gain de 2, $N_c = 2$. Si l'on avait utilisé (b), on aurait obtenu $N_c = 3$.

Cette analyse permet de mettre en évidence le fait que l'ajout de comparateurs améliore de façon significative la tolérance aux offsets : $|S_{offset_{max}}| = \frac{S_{ref}}{4}$ (soit en règle générale quelques centaines de mV) car bien qu'une erreur soit commise, on ne perd pas d'information. L'information relative à l'erreur est transmise à l'étage suivant.

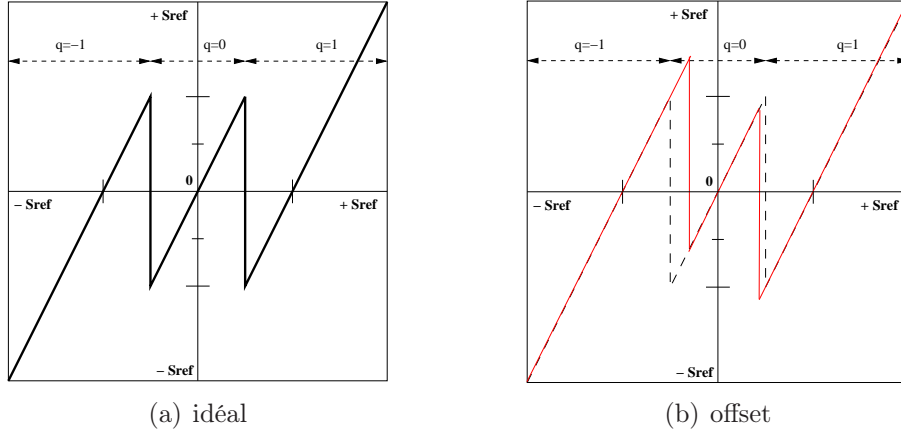


FIG. 8.1: Caractéristique de transfert d'un étage à 2 comparateurs

Démonstration 1. Cette démonstration vise à prouver que cette architecture est effectivement robuste tant que la condition suivante sur l'offset est satisfaite dans le cas où $N_c=2$ (figure 8.1) :

$$|S_{offset}| < \frac{S_{ref}}{4} \quad (8.2)$$

Soit ainsi un convertisseur idéal de résolution N bits dont chaque étage est défini par :

$$\left\{ \begin{array}{ll} S_{out} = 2 \left(S_{in} + \frac{S_{ref}}{2} \right) & \text{où } S_{in} \in \left[-S_{ref}; -\frac{S_{ref}}{4} \right] \\ S_{out} = 2 S_{in} & \text{où } S_{in} \in \left[-\frac{S_{ref}}{4}; \frac{S_{ref}}{4} \right] \\ S_{out} = 2 \left(S_{in} - \frac{S_{ref}}{2} \right) & \text{où } S_{in} \in \left[\frac{S_{ref}}{4}; S_{ref} \right] \end{array} \right.$$

Considérons que le convertisseur présente un offset sur le 1^{er} étage S_{offset}^1 vérifiant la condition (8.2) et $S_{offset}^1 > 0$. Cette analyse n'enlève rien en généralité sur le traitement de l'erreur et l'offset aurait pu tout aussi bien être traité sur l'étage i ou bien même sur plusieurs étages à la fois.

Ici, démontrer que la structure est robuste aux offsets, revient à dire que le mot obtenu en sortie du convertisseur erroné a la même valeur au final que le mot obtenu en sortie du convertisseur idéal bien que les mots numériques ne soient pas les mêmes.

Soit alors S_{in} le signal d'entrée tel que $S_{in} \in \left] -\frac{S_{ref}}{4}; -\frac{S_{ref}}{4} + S_{offset}^1 \right]$, c'est-à-dire qu'il se situe dans la zone erronée du CAN.

Soit alors δ tel que : $S_{in} = -\frac{S_{ref}}{4} + \delta$.

Soit la fonction f définie par :

$$f : [-S_{ref}; S_{ref}] \rightarrow (\{-1, 0, 1\}; [-S_{ref}; S_{ref}])$$

$$S_{in} \mapsto \left[-1; S_{out} = 2 \left(S_{in} + \frac{S_{ref}}{2} \right) \right] \quad S_{in} < -\frac{S_{ref}}{4}$$

$$\left[0; S_{out} = 2 S_{in} \right] \quad -\frac{S_{ref}}{4} < S_{in} < \frac{S_{ref}}{4}$$

$$\left[-1; S_{out} = 2 \left(S_{in} - \frac{S_{ref}}{2} \right) \right] \quad \frac{S_{ref}}{4} > S_{in}$$

On rappelle que la fonction de composition de fonction se note de la façon suivante :

$$\forall i \quad f^i = \underbrace{f \circ f \circ \dots \circ f}_i \text{ termes}$$

On a alors dans le cas idéal (*id*) à la sortie du 1^{er} étage :

$$S_{out_{id}}^1 = \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}(S_{in}) = 2 S_{in} \quad \text{et} \quad q^1 = 0$$

et dans le cas non idéal (*nd*) :

$$S_{out_{nd}}^1 = \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{nd}(S_{in}) = 2 \left(S_{in} + \frac{S_{ref}}{2} \right) \quad \text{et} \quad q^1 = -1$$

On note alors que dès cet étage, les mots numériques obtenus seront différents.

Dans le cas idéal, on a en utilisant les propriétés de linéarité du convertisseur :

$$\begin{aligned} S_{in} &= \underbrace{\sum_{i=1}^N \frac{S_{ref}}{2^i} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i(S_{in})}_{\text{Quantification}} + \underbrace{\frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^N(S_{in})}_{\text{Reste}} \quad (8.3) \\ &= \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i(2 S_{in}) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^N(S_{in}) \\ &= \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i \left(-\frac{S_{ref}}{2} + 2\delta \right) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^N(S_{in}) \\ &= \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i \left(-\frac{S_{ref}}{2} \right) + \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i(2\delta) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^N(S_{in}) \\ &= -\frac{S_{ref}}{4} + \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i(2\delta) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^N(\delta) \end{aligned}$$

Dans le cas non-idéal, on a :

$$\begin{aligned} \mathbf{X} &= -\frac{S_{ref}}{2} + \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i(2 S_{in} + S_{ref}) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^N(S_{in}) \\ &= -\frac{S_{ref}}{2} + \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i \left(2\delta + \frac{S_{ref}}{2} \right) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^{N-1} \left(2\delta + \frac{S_{ref}}{2} \right) \\ &= -\frac{S_{ref}}{4} + \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i(2\delta) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^{N-1}(2\delta) \\ &= -\frac{S_{ref}}{4} + \sum_{i=1}^{N-1} \frac{S_{ref}}{2^{i+1}} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \cdot f_{id}^i(2\delta) + \frac{S_{ref}}{2^N} \cdot \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot f_{id}^N(\delta) \end{aligned}$$

Par conséquent, on a bien $X = S_{in}$ bien que les mots numériques soient différents. Ceci s'explique par la redondance intrinsèque qui a lieu lors de la transmission de l'information.

Remarque. Dire que les mots numériques à la sortie sont différents ne signifie pas que les mots binaires recomposés le soient. En effet, la base utilisée dans l'algorithme utilise 3 vecteurs et non 2 comme dans la base binaire. C'est pourquoi une même valeur analogique d'entrée peut s'exprimer sous différents mots numériques dans la nouvelle base définie, contrairement à la base binaire. Il y a redondance d'information.

Exemple 9. Pour mettre en évidence cette robustesse, on choisit un Convertisseur 4bits en tension de plage 2V avec dans un premier temps 1bit de résolution par étage puis dans un second temps 1.5bit de résolution avec dans les 2 cas la présence d'un offset de 0.2V systématique sur les comparateurs. La figure 8.2 illustre bien cette robustesse de par l'absence de non-linéarité dans la fonction de transfert du CAN à 2 comparateurs par étages par rapport à celui à 1 seul comparateur par étage.

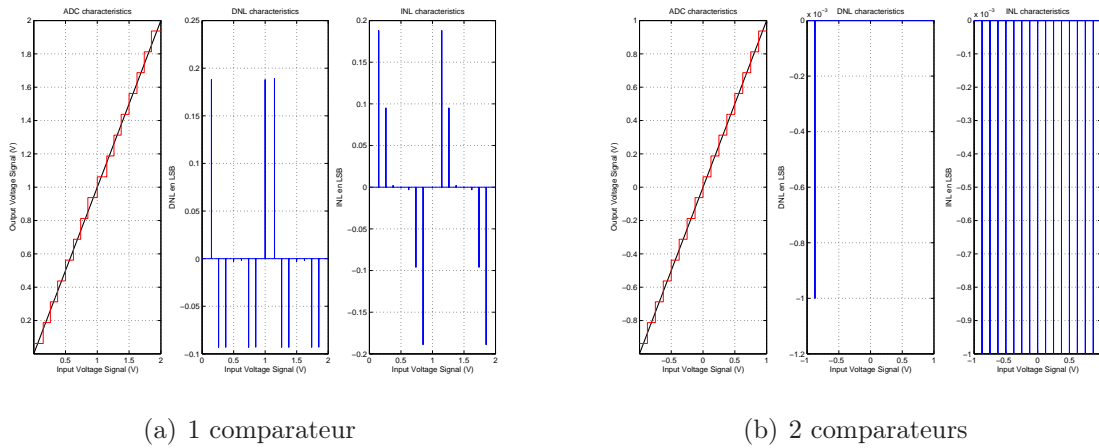


FIG. 8.2: Comparaison entre un convertisseur 4bits (plage 2V) avec 1bit par étage (a) et un convertisseur 4bits avec 1.5bits par étage (b) lorsque les comparateurs ont un offset de 200mV

1.2 Multi-comparaisons et erreur de gain

Si l'on considère toujours un gain nominal de 2 par étage, on peut se demander si l'utilisation de plusieurs comparateurs au lieu d'un seul permet d'améliorer les performances du CAN (figure 7.4(b))⁴. Par généralisation de la formule (7.7), on a :

$$\forall i < N \quad \frac{G_i \cdot V_{ref}}{2N_c} + \frac{\Delta V_{i+1}}{N_c} - \frac{V_{ref}}{N_c} = \frac{\Delta V_i}{2N_c} \quad (8.4)$$

D'où

$$\forall i < N \quad \Delta V_i = \frac{V_{ref}}{N_c} \left[\frac{1}{2} - \frac{1}{G_i} \right] + \frac{\Delta V_{i+1}}{G_i} \quad (8.5)$$

Il est intéressant ici de rappeler que la valeur de ΔV_i lorsque l'étage i est idéal est donnée par :

$$\forall i < N \quad \Delta V_i = \frac{\Delta V_{i+1}}{2} \quad (8.6)$$

En mettant en vis-à-vis les équations (8.5) et (8.6), on s'aperçoit donc que l'utilisation de plusieurs comparateurs par étage permet d'améliorer les performances du CAN en diminuant l'erreur commise sur l'évaluation de ΔV_i .

⁴On s'intéresse ici plus particulièrement au cas tension

1.3 Multi-comparaisons et erreur des seuils de référence

Ici, l'utilisation de plusieurs comparateurs n'améliorent pas les performances du CAN en terme de NLD et NLI mais permet d'éviter des sorties de la plage dynamique des signaux d'entrée de l'étage qui suit au niveau des seuils de transition.

2 Méthodes de calibration numérique

Ces méthodes de calibrage sont dites numériques car contrairement aux techniques de calibrage analogique où les valeurs des composants sont mesurées puis corrigées jusqu'à ce qu'elles correspondent à ce qui est souhaité, certaines valeurs particulières du CAN sont quantifiées par le CAN lui-même et ensuite ces valeurs sont mémorisées, valeurs qui caractérisent certaines erreurs commises lors de la conversion. Une cartographie du CAN est alors effectuée. A partir de cette dernière, des corrections sur les mots numériques obtenus en sortie du CAN pourront être effectuées. Ainsi aucun effort supplémentaire n'est fait pour améliorer les appariements des composants. L'intérêt de cette méthode de calibration est qu'elle est robuste car elle supprime la conception analogique supplémentaire par une conception numérique qui peut bénéficier plus facilement des atouts de la technologie. Il faut noter que cette méthode permet de corriger dans une certaine mesure les erreurs liées aux gains et aux niveaux de référence usités. Dans chaque étage du CAN, les comparateurs permettent d'assigner aux signaux d'entrée à un poids ou groupe particulier à travers (2 groupes dans le cas d'un comparateur, 3 dans le cas de 2 ...).

Au cours de sa conversion, le signal d'entrée s'est vu attribué un groupe pour chacun des étages du CAN. Ainsi un code numérique lui est affecté suivant les poids des divers groupes du CAN. C'est de la sommation des divers poids des groupes correspondants au signal d'entrée que la valeur analogique du signal d'entrée peut être reconstituée. La correction numérique consiste alors en la modification de la valeur de ces poids en fonction de la cartographie précédemment effectuée du CAN pour corriger certaines erreurs engendrées lors de la conversion.

Remarque. Ces méthodes de corrections numériques peuvent ainsi s'adapter à différents types d'architectures tension ou courant.

2.1 Rappel sur les erreurs transmises d'étage en étage

Si l'on analyse le résidu erroné (illustré sur la figure 8.3) qui est transmis à la sortie de l'étage i ($q_i = \{-1, 0, 1\}$), on a :

– pour le cas de la figure 7.4(b)

$$\begin{aligned}
 V_{out_i} &= \frac{C_s + C_f}{C_f} V_{in_i} - q_i \frac{C_s}{C_f} V_{ref} \\
 V_{out_i} &= \underbrace{V_{out_i}}_{G_i} = \frac{2}{1 + \alpha_i} V_{in_i} - q_i \underbrace{\frac{1 - \alpha_i}{1 + \alpha_i} V_{ref}}_{\omega_i} \underbrace{(1 + \epsilon_{ref})}_{V_{ref}^e}
 \end{aligned} \tag{8.7}$$

avec α_i l'erreur relative d'appariement entre C_s et C_f , et ϵ_{ref} l'erreur relative commise sur la tension de référence.

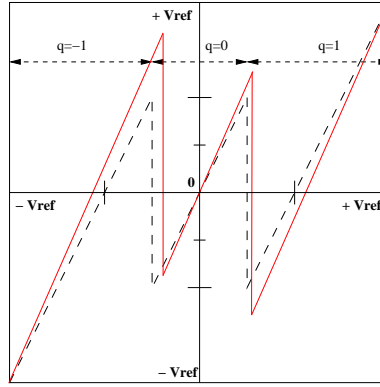


FIG. 8.3: Caractéristique de transfert d'un étage en tension ayant un gain $\neq 2$, des erreurs de référence en tension et d'offsets

- pour le cas en courant 7.4(c)

$$I_{out_i} = (2 + \epsilon_{copy}) I_{in_i} - q_i \underbrace{(1 + \epsilon_{ref}) I_{ref}}_{\omega_i} \quad (8.8)$$

avec ϵ_{copy} l'erreur relative de recopie du courant.

C'est cette valeur erronée S_{out_i} (V_{out_i} ou I_{out_i}) qui est ensuite quantifiée par les étages suivants. Ainsi, si ces erreurs peuvent être évaluées, il sera alors possible d'évaluer avec une meilleure précision la valeur analogique d'entrée à laquelle correspond un certain code numérique. Ici le concept de calibrage numérique s'attache à reconstituer le signal d'entrée connaissant le signal numérique de sortie correspondant et certaines erreurs commises lors de la transmission des résidus d'étage en étage. Sachant que le mot numérique final est tel que :

$$D = \sum_{i=1}^N \omega_i q_i$$

Où ω_i représente le poids du bit i .

Pour la suite de l'étude, on va s'attacher plus particulièrement aux méthodes de calibrage pour le mode en tension de la figure 7.4(b) pour plus de clarté. En effet, l'algorithme de correction dépend de la fonction de transfert effective de chaque étage, fonction qui est différente pour la structure en tension choisie et celle en courant. Toutefois, la même méthode peut être appliquée aux structures en courant.

2.2 Notion de poids et calibrage (en tension)

Il est intéressant ici de redéfinir ce que l'on entend par poids. Comme on l'a précédemment vu, chaque étage est caractérisé par une fonction de transfert qui pour le cas⁵

⁵Par soucis de clarté, l'étude porte plus précisément sur description du mode de fonctionnement dans un CAN pipeline en tension basé sur l'architecture de la figure 7.4(b) car les fonctions de transfert dépendent de l'architecture choisie

du circuit en tension de la figure 7.4(b) est donnée par :

$$\left\{ \begin{array}{l} V_{out} = 2V_{in} + V_{ref} \quad \text{où } V_{in} \in \left[-V_{ref}; -\frac{V_{ref}}{4}\right] \quad \text{et } q = -1 \\ V_{out} = 2V_{in} \quad \text{où } V_{in} \in \left[-\frac{V_{ref}}{4}; \frac{V_{ref}}{4}\right] \quad \text{et } q = 0 \\ V_{out} = 2V_{in} - V_{ref} \quad \text{où } V_{in} \in \left[\frac{V_{ref}}{4}; V_{ref}\right] \quad \text{et } q = 1 \end{array} \right. \quad (8.9)$$

Définition 3. *Le poids peut être défini comme la valeur associée individuellement à chacun des bits d'information de chaque étage qui permet de reconstituer la valeur analogique à un demi LSB près par combinaison linéaire. Ainsi pour chaque étage d'un CAN 1.5bits, il faut définir 3 poids distincts : ω_{-1} , ω_0 , ω_1 .*

$$\left\{ \begin{array}{l} V_{in} = \frac{V_{out}}{2} - \underbrace{\frac{V_{ref}}{2}}_{\omega_{-1}} \quad \text{pour } V_{out} \in \left[-V_{ref}; \frac{V_{ref}}{2}\right] \quad \text{et } q = -1 \\ V_{in} = \frac{V_{out}}{2} + \underbrace{0}_{\omega_0} \quad \text{pour } V_{out} \in \left[-\frac{V_{ref}}{2}; \frac{V_{ref}}{2}\right] \quad \text{et } q = 0 \\ V_{in} = \frac{V_{out}}{2} + \underbrace{\frac{V_{ref}}{2}}_{\omega_1} \quad \text{pour } V_{in} \in \left[-\frac{V_{ref}}{2}; V_{ref}\right] \quad \text{et } q = 1 \end{array} \right. \quad (8.10)$$

Et dans le cas non-idéal où G représente le gain réel, γ l'erreur partielle de gain (issue de l'équation (8.7)) et ϵ_{ref} l'erreur relative de la tension de référence, on obtient :

$$\left\{ \begin{array}{l} V_{in} = \frac{V_{out}}{G} - \underbrace{\gamma \frac{V_{ref}(1 + \epsilon_{ref})}{G}}_{\omega_{-1}} \quad \text{pour } V_{out} \in \left[-V_{ref}; \frac{V_{ref}}{2}\right] \quad \text{et } q = -1 \\ V_{in} = \frac{V_{out}}{G} + \underbrace{0}_{\omega_0} \quad \text{pour } V_{out} \in \left[-\frac{V_{ref}}{2}; \frac{V_{ref}}{2}\right] \quad \text{et } q = 0 \\ V_{in} = \frac{V_{out}}{G} + \underbrace{\gamma \frac{V_{ref}(1 + \epsilon_{ref})}{G}}_{\omega_1} \quad \text{pour } V_{in} \in \left[-\frac{V_{ref}}{2}; V_{ref}\right] \quad \text{et } q = 1 \end{array} \right. \quad (8.11)$$

2.3 Evaluation des poids pour la correction des erreurs de discontinuité : la méthode standard

Il est intéressant de constater que dans ce cas, les poids ω_{-1} et ω_1 peuvent être calculés en fonction de ω_0 . En général, ω_0 est pris comme référence car le poids associé est nul (eq.(8.11)) (mais il peut aussi tenir compte d'éventuel offset) et ce que le CAN soit idéal ou non. Les étapes à effectuer (figure 8.4) pour les évaluer sont les suivantes :

1. Le signal analogique d'entrée de l'étage i est fixé à une valeur proche de celle du seuil du premier comparateur soit V_{t_1} cette dernière.

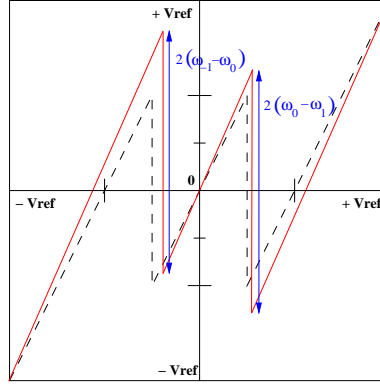


FIG. 8.4: Principe de mesure des poids

2. La sortie numérique de cet étage est forcée à 'q=-1'. Soit V_{out}^{-1} la tension de sortie de cet étage. En notant $f_{nd_{mod}}$ la fonction de transfert non idéale du convertisseur qui tient compte des modifications a posteriori, le code de sortie final est le :

$$D_{-\frac{V_{ref}}{4}}^{-1} = -1, \underbrace{\left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}(V_{out}^{-1}), \dots, \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}^{N-i}(V_{out}^{-1})}_{N-i+1 \text{ termes}}$$

3. A présent, pour la même valeur d'entrée, la sortie numérique est forcée à 'q=0'. Soit V_{out}^0 la tension de sortie de cet étage. Et le code de sortie final est le :

$$D_{-\frac{V_{ref}}{4}}^0 = 0, \underbrace{\left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}(V_{out}^0), \dots, \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}^{N-i}(V_{out}^0)}_{N-i+1 \text{ termes}}$$

4. Le fait de forcer le mot numérique de cet étage est similaire à la création d'offset pour ce comparateur. Or comme on l'a vu dans la démonstration 1, le système est robuste vis-à-vis des offsets. C'est pourquoi, le mot binaire recomposé final doit être le même à la fin. Par conséquent, on doit avoir :

$$\begin{aligned} D_{-\frac{V_{ref}}{4}}^{-1} &= D_{-\frac{V_{ref}}{4}}^0 \\ \omega_{-1}^i + \omega \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}(V_{out}^{-1}), \dots, \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}^{N-i}(V_{out}^{-1}) &= \omega_0^i + \omega \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}(V_{out}^0), \dots, \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}^{N-i}(V_{out}^0) \\ \omega_{-1}^i &= \omega \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}(V_{out}^0), \dots, \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}^{N-i}(V_{out}^0) \\ &\quad - \omega \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}(V_{out}^{-1}), \dots, \left[\begin{array}{c} 1 \\ 0 \end{array} \right] \cdot f_{nd_{mod}}^{N-i}(V_{out}^{-1}) \end{aligned}$$

5. De même, le poids ω_1 peut être obtenu de la même façon. Mais cette fois en prenant comme valeur analogique d'entrée une valeur proche de celle du seuil du second comparateur soit V_{t_2} cette dernière et en forçant les valeurs numériques à 'q=0' puis à 'q=1'.

Ainsi les poids ω_{-1}^i et ω_1^i peuvent être évalués numériquement relativement à ω_0^i grâce aux étages suivants cet étage i . Aussi il faut que les poids des étages suivants soient d'abord déterminés (d'où la notation $f_{nd_{mod}}$). Ceci explique pourquoi l'algorithme de calibration est remontant : on part du dernier étage et l'on remonte d'étage en étage.

Remarque. *Il est intéressant de remarquer ici que cet algorithme permet d'éviter la perte de code ce qui assure une bien meilleure linéarité. Bien que cette méthode tienne compte des erreurs de gains et de référence en tension au niveau des seuils, elle ne permet pas de tenir compte dans un premier temps de l'erreur de gain des divers étages et dans un second temps des erreurs de non-linéarité de gain. L'erreur de gain est préjudiciable pour la linéarité si celui-ci est différent pour chacun des étages. Aussi avoir accès à cette information peut permettre d'effectuer une correction plus fine.*

Exemple 10. *Voici un exemple qui illustre (fig. 8.5) le gain en performance apporté par la correction numérique lorsque des erreurs surviennent sur les valeurs des références en tension sur un convertisseur 8bits . Ici une erreur de 100mV (soit encore une erreur relative ϵ_{ref} de 10%) est commise sur celle du 1^{er} ainsi que sur le 3^{ème} étage.*

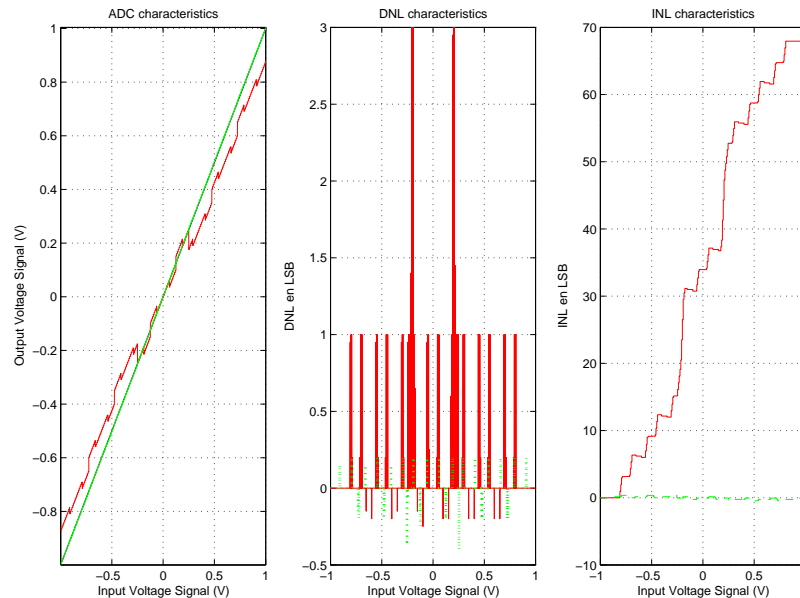


FIG. 8.5: *Comparaison entre un convertisseur 1.5bits sans (rouge) et avec (vert) correction numérique de résolution 8bits*

Le tableau 8.1 montre l'évolution des poids qui a été effectuée par la correction numérique.

Étage	1	2	3	4	5	6	7	8
Poids sans correction	0.5	0.250	0.125	0.0625	0.0312	0.0156	0.0078	0.004
Poids avec correction	0.6015	0.250	0.1485	0.0625	0.0312	0.0156	0.0078	0.004
Poids réel	0.6	0.250	0.15	0.0625	0.0312	0.0156	0.0078	0.004

TAB. 8.1: *Comparaison des poids entre convertisseur 8bits corrigés et non corrigés avec une erreur de 100mV sur la référence de tension du 1^{er} et du 3^{ème} étage.*

Remarque. L'algorithme tel quel ne permet pas de corriger les problèmes liés aux erreurs de gain des étages. Il est bien sûr évident que la non-linéarité est bien meilleure dans ce cas mais le gain au niveau de la non-linéarité différentielle est plus faible. En fait, l'algorithme précédent tient compte du gain en tant que modification de la valeur de V_{ref} (voir l'équation 8.9).

3 Méthode de correction numérique proposée [BLL06]

3.1 L'algorithme de calibrage proposé

Si l'on se réfère au système d'équations (8.11), on s'aperçoit que ce dernier n'est relatif qu'à un étage mais ne prend pas en compte l'impact de l'erreur de gain non seulement de cet étage envers les suivants mais aussi de l'impact de l'erreur de gain des étages précédents.

Afin de mettre en valeur ce problème, le principe de fonctionnement de la fonction échantillonnage - amplificatrice - soustractrice (ESA) est rappelé grâce à la figure 8.6(a) qui représente le circuit asymétrique pour plus de clarté.

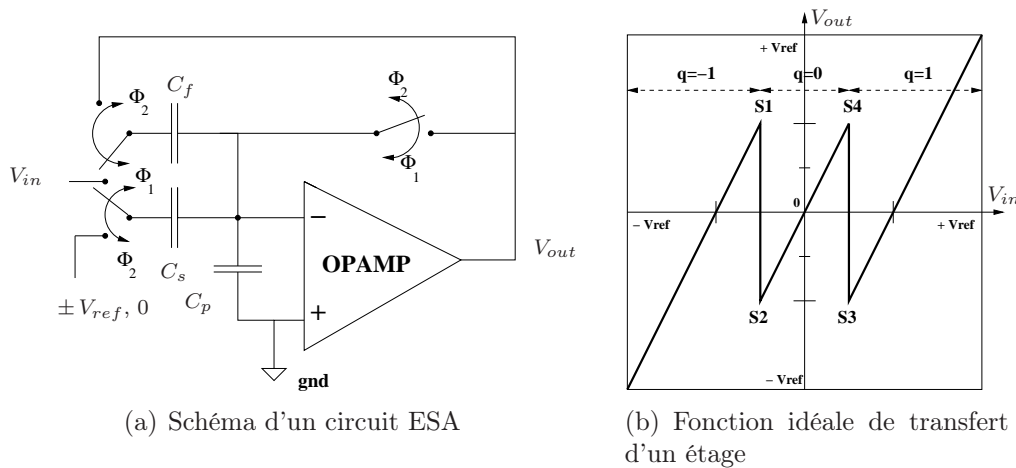


FIG. 8.6: ESA

Ainsi durant la phase Φ_1 , le signal d'entrée V_{in} est échantillonné sur les capacités C_s et C_f alors que l'amplificateur opérationnel est en mode suiveur. En parallèle, ce signal est comparé à deux signaux de référence, $-\frac{V_{ref}}{4}$ et $\frac{V_{ref}}{4}$ qui, comme on l'a précédemment vu dans la section 1, n'ont pas besoin d'être très précis.

Ensuite, durant la phase Φ_2 , la capacité C_f est connectée à la sortie de l'amplificateur opérationnel et C_s est connectée à $-V_{ref}$, 0 ou V_{ref} suivant les bits de décisions des comparateurs. La tension de sortie résiduelle de l'étage i est alors donnée par l'équation :

$$V_{out_i} = 2V_{in_i} - q_i V_{ref} \quad (8.12)$$

En fait, une formulation plus détaillée qui laisse entrevoir l'origine du gain⁶ est :

$$V_{out_i} = \frac{C_f + C_s}{C_f} V_{in_i} - q_i \frac{C_s}{C_f} V_{ref} \quad (8.13)$$

⁶L'erreur de gain due au gain fini de l'amplificateur opérationnel n'est pas considérée ici car on suppose un gain en boucle ouverte très grand vis-à-vis de la précision souhaitée

Par suite, de part le désappariement des capacités, l'équation (8.13) devient :

$$V_{out_i} = \underbrace{\frac{2}{1 + \alpha_i}}_{G_i} V_{in_i} - q_i \underbrace{\frac{1 - \alpha_i}{1 + \alpha_i} \overbrace{V_{ref}^e (1 + \epsilon_{ref})}^{V_{ref}^e}}_{\omega_i} \quad (8.14)$$

avec $C_f = C (1 + \alpha_i)$ et $C_s = C (1 - \alpha_i)$ où $2 \alpha_i$ est l'erreur d'appariement des capacités. Le terme $\epsilon_{ref} \cdot V_{ref}$ est l'erreur sur le signal de référence.

Comme on l'a vu dans la précédente section, l'algorithme de calibration standard extrait l'information utile au niveau des prises de décision $S_1^i, S_2^i, S_3^i, S_4^i$. En fait, 2 couples ($(S_1^i; S_2^i)$ ou $(S_3^i; S_4^i)$) sont requis seulement si $V_{ref}^e = -V_{ref}^e$. Connaissant ces valeurs, la valeur de ω_i peut être calculée :

$$\omega_i = S_1^i - S_2^i \quad (8.15)$$

Ainsi, ce type d'algorithme permet de prendre en compte les erreurs sur les références de tension et l'erreur de gain qui leur a été imputée. Cependant, il ne prend pas en compte l'erreur de gain causée sur le signal d'entrée G_i . Cela signifie que l'évaluation des poids ω_i ne prend pas en compte l'erreur de gain des $(i - 1)$ étages précédents. Par conséquent, le mot numérique final reconstitué est erroné.

En effet, à partir de l'équation (8.13), l'expression du mot numérique reconstitué peut être calculée :

$$\begin{aligned} D &= \sum_{i=1}^N \frac{\gamma_i}{\prod_{j=1}^i (1 + \gamma_j)} q_i V_{ref} (1 + \delta) \\ D &= \sum_{i=1}^N \frac{\omega_i}{\prod_{j=1}^i (1 + \gamma_j)} q_i \end{aligned} \quad (8.16)$$

où $\gamma_j = \frac{1 - \alpha_j}{1 + \alpha_j}$.

Cette équation (8.16) doit être comparée à celles obtenues sans et avec la calibration classique (si seulement les j premiers étages sont calibrés) :

$$D_{non\ calib} = \sum_{i=1}^N \frac{V_{ref}}{2^i} q_i \quad (8.17)$$

$$D_{classique} = \sum_{i=1}^j \frac{\omega_i}{2^i} q_i + \sum_{i=j+1}^N \frac{V_{ref}}{2^i} q_i \quad (8.18)$$

Par suite, si le terme $\prod_{j=1}^i (1 + \gamma_j)$ n'est pas considéré, la conversion ne sera pas précise. Afin d'améliorer la résolution du convertisseur, l'ajustement par "trimming" des capacités peut être utilisé [Abo92], [dWTH93] et [RRS+04]. Néanmoins, une telle technique consomme beaucoup de surface et nécessite un circuit annexe analogique-numérique complexe. D'autres méthodes analogiques basées sur le principe du calcul de moyenne⁷ ont été rapportées par [STL88], [CSB01] et [CGN04]. Elles peuvent être divisées en 2 sous-catégories : (1) Actif (Active Capacitor Error-Averaging (ACEA)) et (2) Passif (Passive Capacitor Error-Averaging (PCEA)). L'utilisation de la méthode ACEA permet d'améliorer fortement la linéarité du CAN même avec des capacités mal appariées. Toutefois,

⁷capacitor-error averaging

Correction	Standard	ACEA	PCEA	Numérique
Moyennage	Non	Oui	Oui	Oui
Vitesse	1	2/3	1/2	1
Puissance	1	4	1/2	1
Puissance/Vitesse	1	6	1	1

TAB. 8.2: Comparaison des caractéristiques principales de circuits corrigeant les erreurs d'appariement des capacités

cette performance est atteinte par un coût en puissance supplémentaire à cause du principe de ré-échantillonnage actif [CGN04]. Au contraire, la méthode PCEA ne nécessite pas d'amplificateurs supplémentaires et est donc moins consommatrice tant en puissance qu'en surface occupée. Elle requiert cependant un coup d'horloge supplémentaire (d'où une fréquence de fonctionnement divisée par deux).

Aussi, pour éviter d'ajouter trop de circuits analogiques annexes et des coups d'horloge supplémentaires, on se propose ici d'effectuer cette opération de moyenne dans le domaine numérique. Puisqu'une telle méthode est une méthode de correction postérieure au traitement analogique, son utilisation permet d'avoir une fréquence d'utilisation du CAN double de celle obtenue en utilisant la méthode PCEA (Tab. 8.2) [CGN04]. Le but de cette méthode consiste à analyser les différences entre les constantes numérisées S_1^i , S_2^i , S_3^i et S_4^i obtenues avec C_f comme capacité de contre-réaction et C_s la capacité d'échantillonnage du signal de référence et vice versa. Pour le $i^{\text{ème}}$ étage, les constantes mesurées sont :

$$\frac{C_s}{C_f} \begin{cases} S_{i,1}^1 = -\frac{2}{1+\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) + \frac{1-\alpha_i}{1+\alpha_i} V_{ref} (1 + \epsilon_{ref}) \\ S_{i,2}^1 = -\frac{2}{1+\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) \\ S_{i,3}^1 = \frac{2}{1+\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) - \frac{1-\alpha_i}{1+\alpha_i} V_{ref} (1 + \epsilon_{ref}) \\ S_{i,4}^1 = \frac{2}{1+\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) \end{cases} \quad (8.19)$$

$$\frac{C_f}{C_s} \begin{cases} S_{i,1}^2 = -\frac{2}{1-\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) + \frac{1+\alpha_i}{1-\alpha_i} V_{ref} (1 + \epsilon_{ref}) \\ S_{i,2}^2 = -\frac{2}{1-\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) \\ S_{i,3}^2 = \frac{2}{1-\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) - \frac{1+\alpha_i}{1-\alpha_i} V_{ref} (1 + \epsilon_{ref}) \\ S_{i,4}^2 = \frac{2}{1-\alpha_i} \left(\frac{V_{ref}}{4} + \epsilon_{ref/4} \right) \end{cases} \quad (8.20)$$

où $\epsilon_{ref/4}$ est la tension d'erreur commise sur le signal de test utilisé pour réaliser le calibrage. De même que pour l'équation (8.15), le poids ω_i du $i^{\text{ème}}$ étage extraite :

$$S_{i,1}^1 - S_{i,2}^1 = \frac{1 - \alpha_i}{1 + \alpha_i} V_{ref} (1 + \epsilon_{ref}) = \omega_i \quad (8.21)$$

De plus, en combinant les équations (8.19) et (8.20), de l'information sur α_i peut aussi être obtenue :

$$S_{i,4}^2 + S_{i,2}^1 = \frac{\alpha_i}{1 - \alpha_i^2} \left(1 + \frac{4\epsilon_{ref/4}}{V_{ref}} \right) V_{ref} \quad (8.22)$$

$$S_{i,4}^2 - S_{i,2}^1 = \frac{1}{1 - \alpha_i^2} \left(1 + \frac{4\epsilon_{ref/4}}{V_{ref}} \right) V_{ref} \quad (8.23)$$

Par suite, α_i peut être calculé en divisant l'équation (8.22) par (8.23). Toutefois, pour éviter toute division, on peut effectuer une assez bonne approximation de α_i à partir de l'équation (8.22) :

$$S_{i,4}^2 + S_{i,2}^1 \approx \alpha_i V_{ref} = \theta_i \quad (8.24)$$

De l'équation (8.24), la valeur de α_i peut être calculée en multipliant θ_i par $\frac{1}{V_{ref}}$, ce qui est bien moins compliqué à réaliser numériquement que la division précédente. Étant donnée cette approximation, l'erreur relative commise sur α_i est donnée par :

$$\frac{\Delta_{\alpha_i}}{\alpha_i} = \frac{4 \epsilon_{ref/4}}{V_{ref}} + \alpha_i^2 - \alpha_i^2 \frac{4 \epsilon_{ref/4}}{V_{ref}} \quad (8.25)$$

Par conséquent, l'opération de division ne devrait être utilisée que pour obtenir de très bonnes résolutions. De plus, dans le cadre qui nous intéresse, cette opération peut être effectuée postérieurement sur Terre plutôt que dans le satellite afin d'affiner la résolution.

Remarque. *A partir de l'équation (8.24), le signe de α_i peut être facilement connu. Cette information est intéressante car elle permet de savoir laquelle des deux capacités C_s ou C_f est plus grande que l'autre. Ainsi, il est possible de choisir la capacité qui effectue la contre-réaction durant le fonctionnement normal du convertisseur suivant que l'on souhaite obtenir un gain supérieur ou inférieur à 2. D'après l'étude de la section 2, on évite la présence de codes manquants aux extrémités si le gain est choisi inférieur à 2 ([KLB93] et [DIH05]).*

3.2 La procédure de calibrage proposée

Cette procédure est similaire à celle citée dans [KLB93] et [CS02]. Le processus démarre de l'étage de poids le plus faible vers celui de poids le plus fort. Les constantes de calibration $S_{i,1}^{1,2}$, $S_{i,2}^{1,2}$, $S_{i,3}^{1,2}$ et $S_{i,4}^{1,2}$ pour chaque étage sont mesurées au moins 512 fois chacune (pour améliorer le rapport signal-sur-bruit des mesures effectuées) et pour chaque étage afin d'en déduire une valeur moyenne pour chacune des constantes, constantes qui seront ensuite stockées dans une mémoire.

Afin d'améliorer la résolution numérique de ces constantes, 2 étages supplémentaires sont ajoutés au convertisseur. De plus, afin d'obtenir une résolution constante (c'est-à-dire le même nombre de bits pour toutes les constantes), la structure a été repliée sur elle-même comme le montre la figure 8.7. Grâce à cet aspect replié, un algorithme itératif peut être réalisé pour améliorer la précision du calcul.

Remarque. *Si une structure repliée est utilisée, la méthode de calibration standard peut être étendue au calibrage de tous les étages du CAN avec la même résolution pour chaque étage (ce qui signifie que dans l'équation (8.18), chaque ω_i est extrait avec la même résolution et que l'indice j précédemment utilisé peut être pris égal à $N+2$).*

Remarque. *Ce type de structure repliée n'est pas adapté à la calibration en mode continu dans le temps. Toutefois, à la mise en route de convertisseur, cette méthode peut être utilisée dans le but d'extraire l'information importante des α_i . Une fois cette calibration effectuée, des méthodes de calibrations en mode continu peuvent être appliquées sans grandes modifications comme la méthode [DIH05]. En effet, une fois l'information sur le gain connue (information qui traduit le désappariement des capacités), il n'est pas nécessaire de faire un calibrage en mode continu de ce paramètre physique qui ne va pas changer au cours de l'utilisation contrairement aux valeurs d'offsets et des signaux de référence (plus sensibles à l'environnement).*

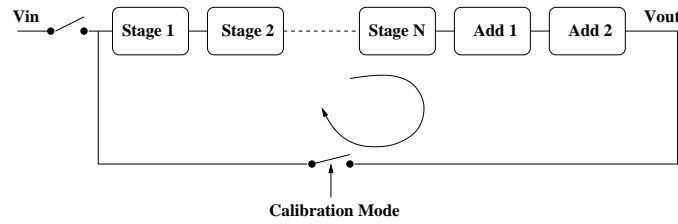


FIG. 8.7: Mise en mode calibrage du CAN pipeline à l'aide d'une méthode de repliement.

4 Les résultats de simulation sous Matlab

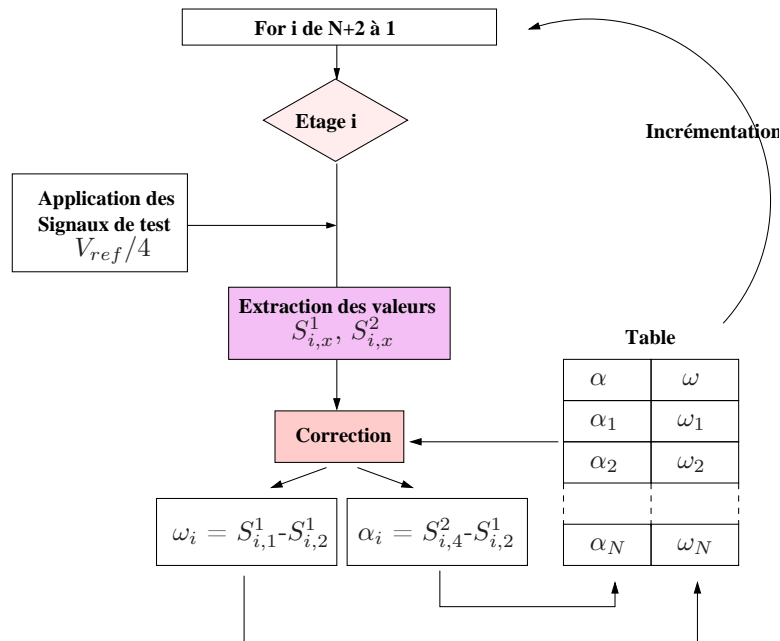


FIG. 8.8: Diagramme de l'algorithme de correction implémentée sous Matlab

La méthode de calibrage a été implémentée sous Matlab pour un convertisseur de résolution 12-bit avec 1.5bit par étage. Pour augmenter la résolution numérique de l'algorithme 2 étages ont été rajoutés. Pour pouvoir évaluer les performances du nouvel algorithme, des erreurs d'appariement (variance $\sigma_\alpha = 3\%$) entre les capacités ont été ajoutées ainsi que pour les tensions de référence (variance $\sigma_{v_{ref}} = 3\%$). Ces erreurs sont générées de façon aléatoire. Le diagramme synthétise l'algorithmique qui a été implémentée.

Pour illustrer le fonctionnement et les performances de l'algorithme, un jeu de valeurs aléatoire pour les α de tous les étages et ϵ_{ref} a été tiré. La comparaison entre les valeurs exactes des α et des valeurs évaluées de α par l'algorithme sont répertoriées dans le tableau 8.3. Ce tableau fait ressortir l'utilité de l'algorithme de récurrence puisque la précision des valeurs calculées augmente avec le nombre d'itérations.

Les caractéristiques du CAN sans correction, avec calibrage classique (seulement les 6 premiers étages sont corrigés) et avec le calibrage proposé sont représentées sur les figures 8.9(a), 8.9(b) et 8.10(a). Ainsi les performances obtenues pour la NLD sont améliorées puisque le nouvel algorithme permet d'obtenir une NLD $\approx 0.07\text{LSB}$ au lieu de $\approx 0.5\text{LSB}$ obtenue par l'algorithme classique. De même, le maximum de non-linéarité intégrale est de 2.5LSB au lieu de 4.5LSB . De plus, comme le montre bien la figure 8.10(b),

Étage	α réel	Nombre d'itérations		
		1	3	5
1	-0.0079	-0.0080	-0.0080	-0.0079
2	-0.0452	-0.0463	-0.0460	-0.0457
3	-0.0373	-0.0380	-0.0380	-0.0377
4	0.0175	0.0178	0.0178	0.0176
5	-0.0189	-0.0194	-0.0193	-0.0191
6	-0.0033	-0.0034	-0.0034	-0.0033
7	-0.0124	-0.0124	-0.0126	-0.0124
8	-0.0341	-0.0348	-0.0347	-0.0344
9	-0.0318	-0.0327	-0.0325	-0.0321
10	-0.0017	-0.0020	-0.0017	-0.0017
11	-0.0435	-0.0454	-0.0446	-0.0441
12	0.0084	0.0064	0.0086	0.0085
13	0.0021	0.0023	0.0021	0.0021
14	-0.0397	-0.0470	-0.0406	-0.0401

TAB. 8.3: Évaluation itérative des α à l'aide du nouvel algorithme proposé

la correction de gain globale est inhérente à l'algorithme de correction des gains contrairement à l'algorithme standard, ce qui permet d'améliorer la précision (absolue) du CAN.

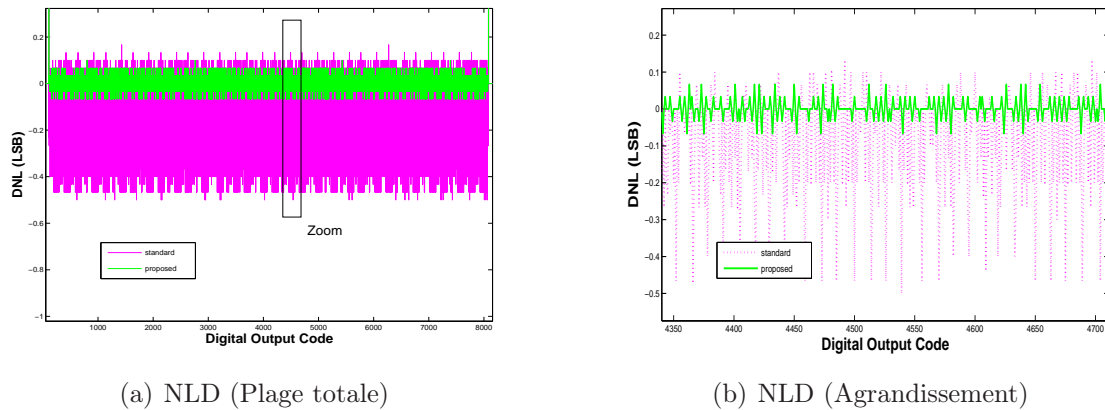


FIG. 8.9: NLD avec $\sigma_{cap} = 3\%$ et $\sigma_{V_{ref}} = 3\%$ pour un CAN utilisant l'algorithme standard (6 premiers étages calibrés) (magenta) et l'algorithme proposé (vert)

5 Implémentation en VHDL-AMS

Le principe de fonctionnement étant validé par Matlab, l'étape suivante qui est en cours de développement, consiste en une implémentation en VHDL-AMS pour vérifier la faisabilité de l'implémentation de l'algorithme au niveau système où la partie analogique est décrite en langage comportemental VHDL-AMS et la partie logique en VHDL. Si l'on s'intéresse plus particulièrement à l'implémentation logique, celle-ci nous donnera des informations supplémentaires en terme de taille du circuit de correction et de puissance allouée. En ce qui concerne la modélisation analogique comportementale des étages

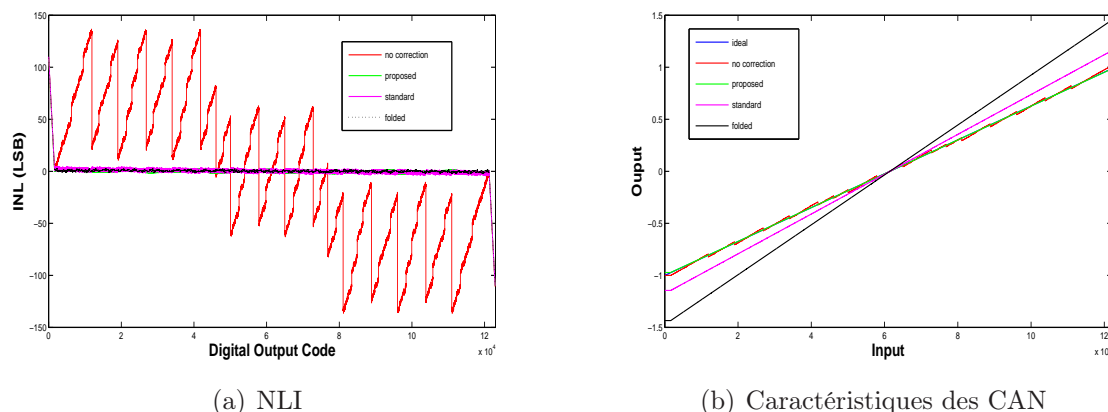


FIG. 8.10: CAN avec $\sigma_{cap} = 3\%$ et $\sigma_{V_{ref}} = 3\%$ pour un CAN sans correction (rouge), avec la correction standard (magenta), repliée (noir) et proposée (vert) algorithmes, et enfin bleu pour le convertisseur idéal

du CAN, elle fait appel à une description petit signal différentielle symétrique de l'amplificateur opérationnel⁸ similaire à celle développée dans le chapitre 3. Par contre, les commutateurs analogiques sont pris dans un premier temps quasi idéaux dans le sens où l'injection de charges n'est pas modélisée.

Conclusion

A partir de cette étude, on a montré dans un premier temps que l'utilisation de plusieurs niveaux de comparaison est bénéfique non seulement pour prévenir les problèmes d'offset des comparateurs mais aussi dans une moindre mesure de diminuer l'impact des erreurs de gain. L'utilisation de 2 comparateurs par étage est optimale si l'on veut extraire un seul bit par étage. De plus, il est intéressant de remarquer que cette méthode ne nécessite pas de correction analogique des offsets des comparateurs, ce qui est intéressant au niveau architecture de ces derniers puisque l'architecture utilisée pour la réalisation des comparateurs peut être choisie à base de réactions positives et qu'il n'y a pas de circuits de correction d'offset à ajouter. En fait, tout revient à concevoir chaque étage du CAN d'une façon telle que les erreurs liées aux offsets des comparateurs soient mieux tolérées. Sans une telle structure d'ensemble, l'offset des comparateurs devrait être inférieur à la résolution du CAN.

Basé sur une architecture à 1.5bit/étage, des méthodes de calibrages numériques ont été analysées et une nouvelle méthode de calibrage qui prend en compte les erreurs de gain des étages a été proposée et développée pour ce type de CAN en tension plus particulièrement. Les performances de cette méthode de calibrage ont été validées par des simulations comportementales sous Matlab. Cette méthode permet non seulement d'améliorer les caractéristiques finales du CAN mais aussi et surtout de montrer qu'il est possible d'obtenir des performances élevées même avec de faibles appariements des composants. Ce dernier point est très intéressant car il permet de simplifier grandement les structures analogiques et donc de les rendre plus robustes surtout dans le contexte très agressif du milieu spatial. En outre, elle permet de tirer au mieux les bénéfices des technologies CMOS

⁸Le problème du slew rate est aussi pris en compte

en développant une partie numérique supplémentaire qui bénéficie plus directement des améliorations de finesse de gravure (Fig. 8.11).

Cette étude montre aussi qu'une vision système du problème permet d'apporter des solutions intéressantes en terme de complexité, de consommation et de performances. Cet aspect système CAN peut être à son tour étendu au niveau système chaîne de video CCD qui regroupe plusieurs CAN. En effet, le système de calibrage et de correction numérique peut être extrait du système CAN pour être partagé par plusieurs CAN. Ceci permet d'optimiser globalement la structure en terme de consommation mais aussi de diminuer les perturbations dues aux commutations numériques sur les CAN.

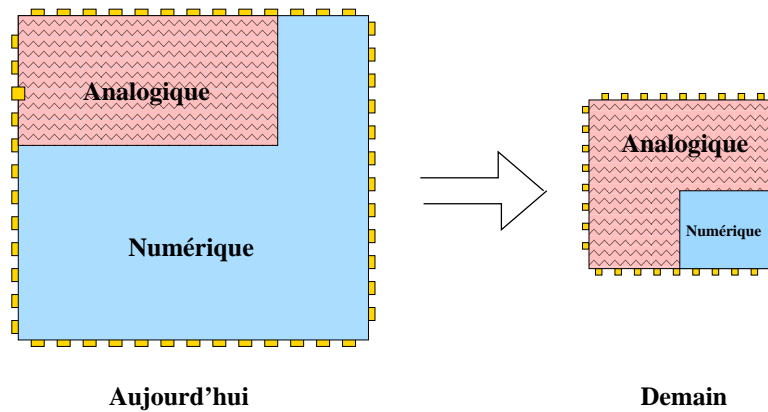


FIG. 8.11: Evolution de la répartition Analogique/Numérique avec l'évolution des technologies

De plus, cette méthode peut être étendue de façon très intéressante au domaine en *courant*. En effet, d'après le chapitre 2, effectuer une multiplication dans le domaine *courant* revient essentiellement à la copie par miroir de courant (fig. 8.12(b)). Toutefois, cette méthode est limitée par l'appariement des transistors MOS utilisés. C'est pourquoi, cette méthode peut être utilisée pour quantifier ce désappariement et ainsi améliorer la résolution des CAN en courant basés sur ce principe de multiplication. Ceci donne un avantage supplémentaire à cet algorithme par le fait qu'il permet d'obtenir un gain temporel non négligeable lors de la recopie de courant puisqu'il tolère une recopie simultanée des mémoires de courant à la place d'une recopie séquentielle (fig 8.12(a)).

Remarque. D'autres types de correction en mode continu ont été proposés à partir de 2000 ([SG00], [SG04], [LM03], [LLW03] et [GPR04]). Ces méthodes sont basées sur l'adjonction d'un bruit supplémentaire au signal d'entrée et sur l'étude des corrélations entre la sortie numérisée et ce bruit afin d'en déduire les paramètres de conversion du convertisseur. Ces méthodes de calibration souffrent encore de problèmes de réalisation mais apparaissent comme des méthodes prometteuses pour les systèmes nécessitant une calibration en mode continu transparente :

- La plage d'entrée admissible est réduite de part l'adjonction d'un bruit (en général binaire et de valeur $\pm V_{ref}/4$) supplémentaire.
- La valeur de l'amplitude de ce bruit doit être bien connue

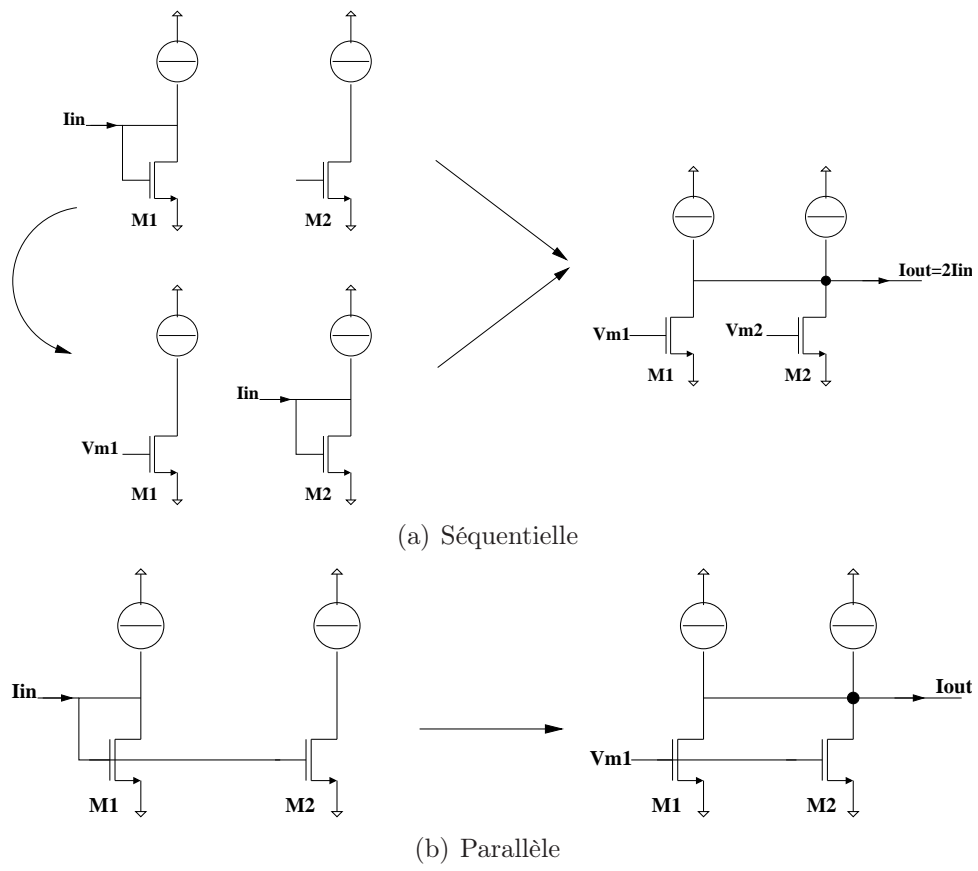


FIG. 8.12: Recopie de courant

Conclusion générale

Avant de pouvoir développer des méthodes d'analyse et de conception pour CAN, il a été nécessaire d'étudier les diverses architectures de CAN existantes pour en faire ressortir l'architecture pipeline comme étant la mieux adaptée aux chaînes video CCD de résolution 12bits à 20Méchantillon/s. A cela s'ajoute la connaissance de l'environnement spatial dans lequel ces CAN doivent fonctionner afin de prendre en compte, dès le début de la phase de conception, des méthodes de durcissement nécessaires dans le cadre particulier d'utilisation de technologies CMOS dédiées aux circuits numériques.

Une fois cette étape franchie, il a été possible de formaliser certaines étapes cruciales pour le développement d'un système CAN complet. Ainsi, tout d'abord, l'étude s'est focalisée sur les blocs qui sont le cœur des CAN pipelines, à savoir la mémoire de courant et la structure ESA (Echantillonneur-Soustracteur-Amplificateur), puis sur l'architecture du système complet à travers l'étude de bruit et les méthodes de calibrage et de correction.

L'analyse des mémoires de courant a montré que les architectures en courant étaient mieux adaptées au domaine spatial dans le sens où de telles cellules peuvent s'auto-calibrer mais aussi de par l'absence de structure d'amplificateur à grand gain et de commutateur analogique complexe. L'implémentation d'une telle mémoire en technologie CMOS $0.35\mu\text{m}$ a permis de valider l'utilisation de celle-ci pour la réalisation de CAN pipeline de haute-résolution ($>10\text{bit}$) mais a aussi mis en évidence le problème de bruit et de "câblage" des CAN pipeline en courant basés sur ces mémoires. En outre, à travers cette réalisation, le principe de réduction du phénomène d'injection de charges par effet Miller a été validé tout en mettant en évidence les points sensibles de cette architecture. Ainsi une réduction supérieure à un facteur vingt peut être obtenue par cet effet.

En parallèle, l'analyse des structures à capacités-commutées a eu pour but de développer une méthode de conception systématique des structures ESA en tenant compte dès le départ de l'influence des commutateurs analogiques sur leur stabilité et leur temps d'établissement. Ainsi, soit une réduction proche de 30% du temps d'établissement, soit une réduction d'un facteur 6 du phénomène d'injection de charges ont été obtenues ; le tout pour une même consommation. L'utilisation de la structure cascode régulée à gain décuplé est particulièrement adaptée à ce genre d'application.

Ensuite, une brique clef des structures analogiques qu'est le commutateur analogique a été étudiée. Le problème qui a été soulevé est lié à l'environnement spatial qui met en défaut les méthodes utilisées pour les structures basse-tension. Une méthode d'implémentation plus fiable a été présentée. Celle-ci permet d'atteindre des performances similaires aux commutateurs bootstrappés tout en limitant le stress des composants.

Après ces études proches du composant CMOS, une analyse méthodique du bruit, à la fois pour les structures en tension et en courant, a été développée pour prendre en compte l'impact de l'échantillonnage et pour pouvoir faire une comparaison objective entre structures en tension et courant. Les structures en tension apparaissent ainsi plus adaptées aux très hautes résolutions ($>12\text{bits}$) que les structures en courant et ce d'autant plus que

les performances requises pour les premiers étages d'un CAN pipeline sont élevées en terme de bruit. De plus, en ce qui concerne les tensions d'alimentation, on a montré l'intérêt d'avoir des tensions d'alimentation supérieures à 2.5V pour limiter la consommation liée à des tailles de capacités excessives.

Enfin, une méthode d'analyse et de correction d'erreurs inhérentes aux structures CAN pipeline, a été proposée. L'intérêt d'une méthode numérique vis-à-vis d'une méthode analogique est double. D'une part, elle permet de bénéficier des avancées directes des technologies CMOS. D'autre part, la consommation du CAN est moindre pour une fréquence d'échantillonnage supérieure. Cette méthode de correction numérique permet d'améliorer non seulement la résolution mais aussi la précision globale du système contrairement aux systèmes de calibrage standards qui corrigent essentiellement les erreurs de non-linéarité différentielle pour les applications vidéo grand public. Elle permet de s'affranchir d'une conception basée sur un appariement rigoureux des capacités ou des transistors employés et ainsi relaxer grandement la conception analogique, ce qui est d'autant plus important dans un environnement sévère. Cette méthode permet aussi de réaliser des CAN pipeline en courant deux fois plus rapides pour une même consommation, en corrigeant les problèmes d'architectures liés aux mémoires en courant.

Annexe A

Caractéristiques des convertisseurs analogique-numérique

Afin de pouvoir comparer de façon objective les différentes architectures de CAN, il est nécessaire de définir les paramètres qui permettent d'évaluer les performances d'un convertisseur.

1 La fonction de transfert d'un CAN

La fonction de transfert d'un CAN est un graphe qui représente la sortie du CAN (en bits ou en valeur analogique équivalente) en fonction du signal d'entrée (Fig. A.1).

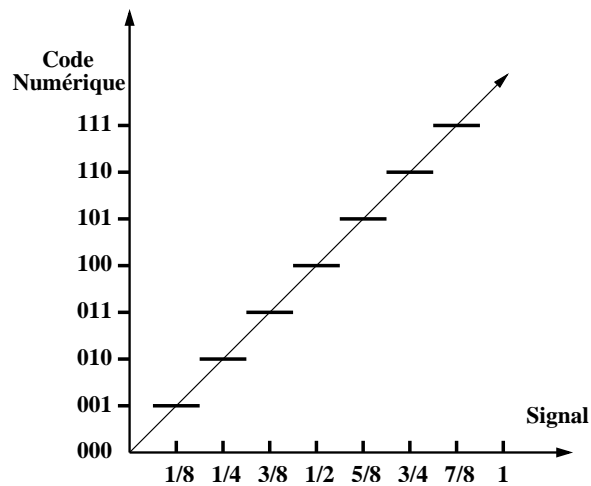


FIG. A.1: Fonction de transfert d'un CAN idéal de 3bits

2 La précision absolue d'un CAN

La précision d'un CAN est différente de sa résolution et de sa linéarité. Elle inclue tous les défauts de non-linéarité, d'offset, de quantification, de bruit ...

3 L'erreur de quantification

L'erreur de quantification est inhérente à la résolution du CAN (même idéal). En effet, si l'on définit le pas de quantification P_q comme étant égal à l'intervalle de valeur de signal d'entrée qui a pour image le même code numérique de sortie, alors on peut dire que l'on connaît la valeur d'un signal numérisé avec une résolution de $\pm P_q/2$ (Fig A.2). Ainsi dans le cas d'un CAN idéal de résolution N bits et de plage maximale admissible en entrée S_{max} , P_q est donné par :

$$P_q = \frac{S_{max}}{2^N}$$

Cette incertitude est généralement traduite sous forme de probabilité et donc de bruit. En effet, la densité de probabilité d'erreur sur cet intervalle est uniforme. Aussi, l'erreur moyenne efficace ϵ_{P_q} due à la numérisation (quantification) peut être calculée :

$$\epsilon_{P_q} = \left(\frac{1}{P_q} \int_0^{P_q} x^2 dx \right)^{1/2} = \frac{P_q}{2\sqrt{3}} \quad (\text{A.1})$$

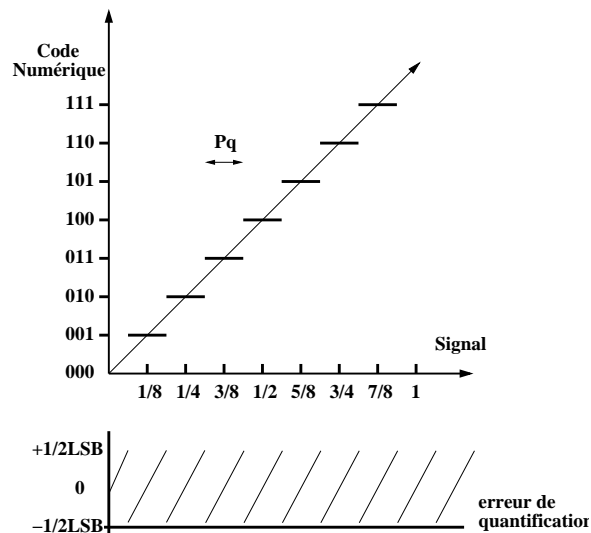


FIG. A.2: Erreur de quantification

4 La dynamique d'entrée

La dynamique d'entrée est le rapport entre la plus grande amplitude du signal d'entrée admissible par le CAN et le pas de quantification P_q du CAN.

Exemple 11. Pour un convertisseur de résolution 12bit, cette dynamique est égale à $2^{12} = 4096$ soit encore 72dB.

5 La Non-Linéarité Différentielle (NLD)

La NLD évalue l'uniformité de la largeur des pas¹ de quantification du CAN. Chaque pas est comparé à la valeur idéale P_q . Toute différence marque la présence d'une NLD .

Définition 4. La non-linéarité différentielle représente la différence entre la largeur P_q^z du pas de quantification de la chaîne réelle et celle du codeur idéal P_q (pour le code z). Par conséquent la formule du NLD pour le code z est :

$$NLD(z) = P_q^z - P_q$$

soit encore en LSB² :

$$NLD(z) = \frac{P_q^z}{P_q} - 1$$

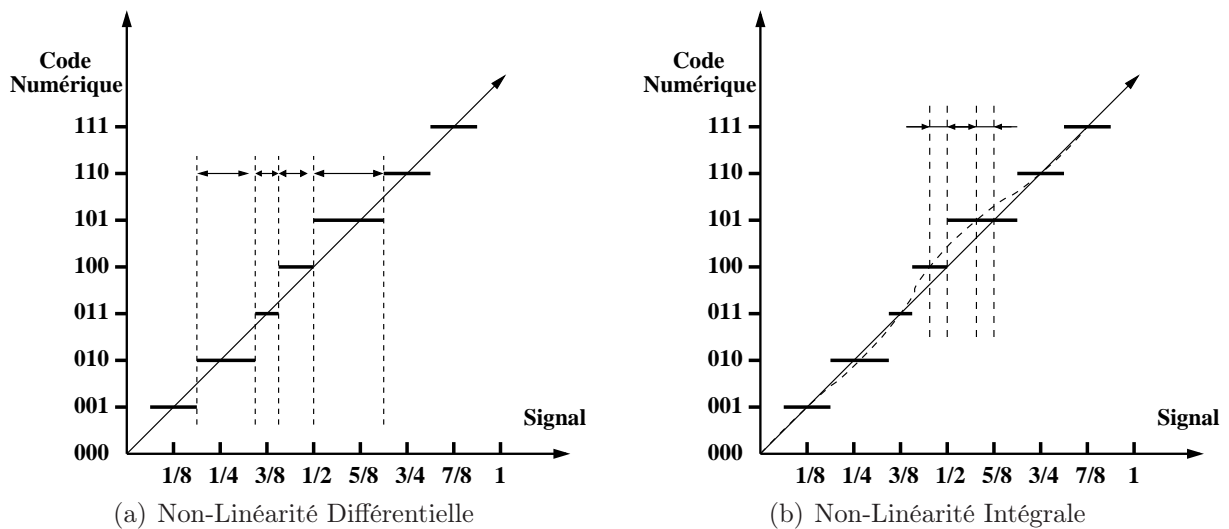


FIG. A.3: Erreurs de linéarité d'un CAN

6 La Non-Linéarité Intégrale (NLI)

La non-linéarité intégrale quantifie la distance entre les points milieux de chacun des pas de quantification et ceux d'un CAN idéal.

Définition 5. La non linéarité intégrale représente la différence entre les seuils de transition du code z du convertisseur et du convertisseur idéal. Par conséquent, dans le cas où le convertisseur est monotone, la formule du NLI pour le code z se ramène à :

$$NLI(k) = \sum_{i=0}^{i=z} NLD(i) = \sum_{i=0}^{i=z} (P_q^i - P_q)$$

Où q_i représente la largeur du pas de quantification du code i .

¹Chaque pas correspond à un code numérique

²Least Significant Bit : Bit de poids faible

7 Monotonie

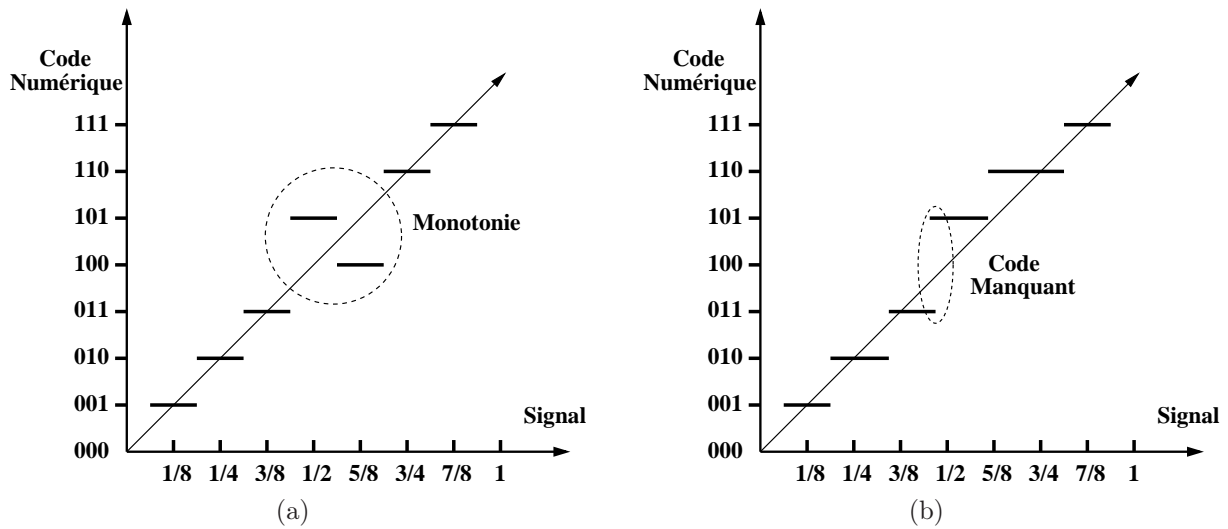


FIG. A.4: Erreurs de monotonie (a) et de code manquant (b)

La monotonie traduit le fait que la fonction de transfert du CAN est monotone (toujours croissante ou toujours décroissante) (Fig. A.4(a)).

Remarque. *Un convertisseur dont la NLI est inférieure ou égale à $\pm 1/2$ LSB est toujours monotone [vdP03].*

8 Les codes manquants

Si des codes numériques de sortie du CAN ne sont pas en correspondance avec un signal d'entrée, alors ces codes sont dits manquants (Fig. A.4(b)).

9 L'erreur de gain

Le gain global d'un CAN correspond à la valeur de la pente de sa fonction de transfert. L'erreur de gain quantifie la déviation de cette pente vis-à-vis de la pente idéale (Fig. A.5(a)).

10 L'erreur d'offset

L'erreur d'offset quantifie l'erreur de localisation de la plus faible des transitions du CAN par rapport au CAN idéal (Fig A.5(b)).

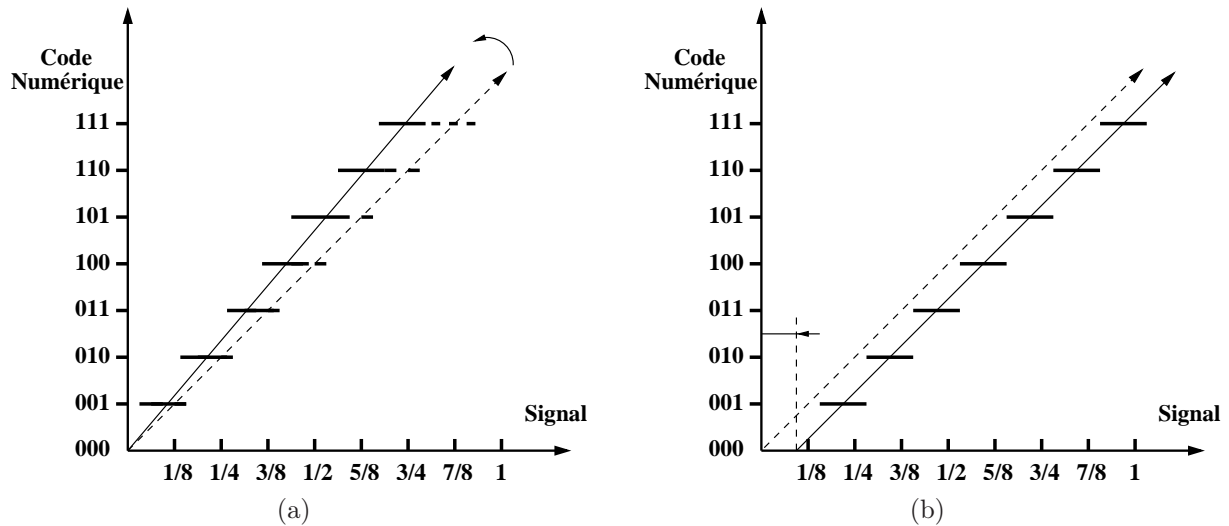


FIG. A.5: Erreurs de gain (a) et d'offset (b)

11 Bande passante d'entrée

La bande passante d'entrée permet de définir la bande de fréquence des signaux d'entrée qui peuvent être convertis par le CAN dans le domaine de ses spécifications. En général, elle est égale à la moitié de la fréquence maximale d'échantillonnage du CAN.

12 Le rapport Signal-sur-Bruit (SNR)

Le SNR (calculé en dB) est défini comme le rapport entre la puissance du signal sur la puissance de bruit. En général, le SNR d'un CAN est caractérisé par la numérisation d'un signal sinusoïdal pur d'amplitude pic à pic V_{pp} . Le SNR est alors obtenu en effectuant le rapport entre la puissance contenue dans l'harmonique fondamental du signal numérisé et celle contenue dans toutes les fréquences restantes (harmoniques d'ordre supérieur compris).

Dans le cas particulier d'un CAN idéal, on peut écrire :

$$SNR = 10 \log_{10} \left(\frac{V_{pp}^2/8}{\epsilon_{P_q}^2} \right) \quad (\text{A.2})$$

A partir de l'équation (A.1), on obtient :

$$SNR = 6.02 N + 1.76 \quad (\text{A.3})$$

Cette valeur définit la valeur maximale de SNR que peut atteindre un CAN de résolution N bits.

13 Le nombre effectif de bits ENOB

L'ENOB est un nombre qui permet de caractériser les performances globales dynamiques d'un CAN. Sous cette notion de bits effectifs, l'ensemble des défauts du CAN sont

pris en compte (non-linéarité, bruit de quantification, bruit, codes manquants, monotonie ...). Il est important de noter que même dans le cas d'un CAN idéal de N bits, à cause du bruit de quantification, la résolution effective du convertisseur est inférieure à N. L'ENOB est donné par :

$$ENOB = \frac{SNR - 1.76}{6.02} \quad (\text{A.4})$$

Ainsi, pour un CAN idéal de 12 bits de résolution, on a :

$$ENOB = \frac{72dB - 1.76}{6.02} = 11.68 \text{ bits}$$

Annexe B

Calcul des bandes passantes équivalentes de bruit

Dans le but d'établir la définition de la bande passante équivalente de bruit BW_{eq} déterminons la tension de bruit efficace en sortie d'un filtre dont la fonction de transfert est $H(f)$. Soit $S_e(f)$ la densité spectrale d'une source de bruit en tension appliquée en entrée. La valeur moyenne quadratique de la tension de bruit disponible en sortie du filtre est :

$$\overline{v_{sn}^2} = \int_{-\infty}^{\infty} S_e(f) |H(f)|^2 df$$

Lorsque $S_e(f)$ représente la densité spectrale d'un bruit blanc, on peut sortir ce terme de l'intégrale car la densité spectrale est égale à une constante par définition. Il est alors aisé de définir la bande passante équivalente de bruit BW_{eq} par la relation suivante où H_0 est le gain de plateau de la fonction de transfert $H(f)$:

$$\overline{v_{sn}^2} = S_e H_0^2 BW_{eq}$$

où

$$2BW_{eq} = \frac{1}{H_0^2} \int_{-\infty}^{\infty} |H(f)|^2 df \equiv \int_{-BW_{eq}}^{BW_{eq}} df$$

Cette notion de bande équivalente de bruit permet non seulement d'avoir un meilleur aperçu de l'impact d'une fonction de transfert sur le bruit mais aussi de simplifier le calcul de ce dernier. Aussi, il est intéressant de déterminer la bande équivalente de bruit pour les fonctions de transfert "classiques".

1 Filtre passe-bas du premier ordre

La fonction de transfert d'un filtre passe-bas du premier ordre est du type :

$$H(f) = \frac{1}{1 + j\frac{f}{f_c}}$$

La bande équivalente de bruit pour un tel filtre est calculée de la façon suivante :

$$BW_{eq} = \frac{1}{2} \int_{-\infty}^{+\infty} \frac{1}{|1 + j\frac{f}{f_c}|^2} df = \frac{\pi}{2} f_c$$

2 Filtre passe-bas du deuxième ordre

La forme générale d'un filtre du 2^{ème} ordre est la suivante :

$$H(j\omega) = \frac{1}{\left(1 + 2\frac{\xi}{\omega_n}j\omega - \frac{\omega^2}{\omega_n^2}\right)} \quad (\text{B.1})$$

2.1 Cas où $\xi > 1$

Dans ce cas, l'équation (B.1) peut se mettre sous la forme suivante :

$$H(j\omega) = \frac{1}{\left(1 + j\frac{\omega}{\omega_1}\right)\left(1 + j\frac{\omega}{\omega_2}\right)}$$

En prenant le module au carré de cette fonction de transfert :

$$|H(jf)|^2 = \left| \frac{1}{\left(1 + j\frac{f}{f_{c1}}\right)\left(1 + j\frac{f}{f_{c2}}\right)} \right|^2$$

Par suite, cette équation peut se décomposer sous forme de somme de 2 fonctions :

$$|H(jf)|^2 = \frac{A_1}{1 + \frac{f}{f_{c1}}^2} + \frac{A_2}{1 + \frac{f}{f_{c2}}^2} \quad (\text{B.2})$$

avec $A_1 = -\frac{fc_2^2}{-fc_2^2 + fc_1^2}$ et $A_2 = \frac{fc_1^2}{-fc_2^2 + fc_1^2}$. Puis par intégration de (B.2),

$$\begin{aligned} \int_{-\infty}^{\infty} |H(jf)|^2 df &= \left[-\frac{fc_1 fc_2^2}{(-fc_2^2 + fc_1^2)} \arctan\left(\frac{f}{f_{c1}}\right) + \frac{fc_1^2 fc_2}{(-fc_2^2 + fc_1^2)} \arctan\left(\frac{f}{f_{c2}}\right) \right]_{-\infty}^{\infty} \\ &= \pi \frac{fc_1 fc_2}{fc_1 + fc_2} \end{aligned} \quad (\text{B.3})$$

Ainsi, on obtient pour BW_{eq} :

$$BW_{eq} = \frac{\pi}{2} \frac{fc_1 fc_2}{fc_1 + fc_2}$$

On remarquera que $BW_{eq} = \frac{\pi}{4} f_n$ pour $fc_1 = fc_2 = f_n$ ($\xi = 1$) et que $BW_{eq} = \frac{\pi}{2} fc_1$ pour $fc_2 \gg fc_1$ ($\xi \gg 1$).

A présent si l'on regarde avec une plus grande attention la décomposition de H(p) en fraction irréductible, on a aussi :

$$H(p) = \frac{1}{(1 + \tau_1 p)(1 + \tau_2 p)}$$

avec $\tau_1 = \frac{\xi}{\omega_n} \left(1 + \sqrt{1 - \frac{1}{\xi}}\right) = \frac{1}{2\pi fc_1}$ et $\tau_2 = \frac{\xi}{\omega_n} \left(1 - \sqrt{1 - \frac{1}{\xi}}\right) = \frac{1}{2\pi fc_2}$. On a alors :

$$BW_{eq} = \frac{\pi}{2} \frac{fc_1 fc_2}{fc_1 + fc_2} = \frac{1}{4(\tau_1 + \tau_2)} \quad (\text{B.4})$$

2.2 Cas où $\xi < 1$

Dans ce cas l'équation (B.1) ne peut être mise sous la forme (B.2).

$$|H(jf)|^2 = \frac{1}{1 + 2 \frac{2\xi^2 - 1}{f_n^2} f^2 + \frac{f^4}{f_n^4}} = \frac{1}{1 + bf^2 + c^2 f^4} \quad (\text{B.5})$$

En posant $X = f^2$, on a :

$$H(X) = \frac{1}{1 + bX + c^2 X^2}$$

Résoudre cette équation pour le cas où $\Delta < 0$ revient à se placer dans le cas $\xi < 1$. En effet,

$$\Delta = b^2 - 4c^2 = \frac{16\xi^2}{f_n^2} (\xi^2 - 1)$$

La factorisation de l'équation dans le plan des Complexes nous donne :

$$1 + bf^2 + c^2 f^4 = 1 + bX + c^2 X^2 = 0 \Leftrightarrow \begin{cases} x_1 = \rho e^{i\theta} \\ x_2 = \rho e^{-i\theta} \end{cases} = \begin{cases} f_1 = \sqrt{\rho} e^{i\frac{\theta}{2}} \\ f_2 = \sqrt{\rho} e^{-i\frac{\theta}{2}} \\ f_3 = -\sqrt{\rho} e^{i\frac{\theta}{2}} \\ f_4 = -\sqrt{\rho} e^{-i\frac{\theta}{2}} \end{cases}$$

On a alors

$$1 + bf^2 + c^2 f^4 = c^2 [f^4 - 2\rho \cos\theta f^2 + \rho^2] \text{ avec } \cos\theta = -\frac{b}{2c} \text{ et } \rho = \frac{1}{c}$$

On peut mettre l'équation (B.5) sous la forme (mise sous forme de somme d'équations du 2^{eme} ordre irréductibles dans le domaine réel) :

$$\frac{1}{1 + bf^2 + c^2 f^4} = \rho^2 \left(\frac{A_1 f + B_1}{f^2 + 2\sqrt{\rho} \cos\left(\frac{\theta}{2}\right) f + \rho} + \frac{C_1 f + D_1}{f^2 - 2\sqrt{\rho} \cos\left(\frac{\theta}{2}\right) f + \rho} \right)$$

$$\text{Avec } A_1 = -C_1, B_1 = D_1, A_1 = -\frac{1}{4\rho^{\frac{3}{2}} \cos\left(\frac{\theta}{2}\right)} \text{ et } B_1 = \frac{1}{2\rho}$$

Ainsi

$$-\frac{4}{\sqrt{\rho}} \cos\left(\frac{\theta}{2}\right) \int_{-\infty}^{\infty} |H(jf)|^2 df = \left[\frac{1}{2} \ln\left(\frac{f^2 + 2\sqrt{\rho} \cos\left(\frac{\theta}{2}\right) f + \rho}{f^2 - 2\sqrt{\rho} \cos\left(\frac{\theta}{2}\right) f + \rho}\right) \right]_{-\infty}^{\infty} \quad (\text{B.6})$$

(B.7)

$$-\frac{\sqrt{\rho} \cos\left(\frac{\theta}{2}\right)}{\sqrt{\rho - \rho \left(\cos\left(\frac{\theta}{2}\right)\right)^2}} \left[\arctan\left(\frac{\frac{1}{2} 2x + 2\sqrt{\rho} \cos\left(\frac{\theta}{2}\right)}{\sqrt{\rho - \rho \left(\cos\left(\frac{\theta}{2}\right)\right)^2}}\right) + \arctan\left(\frac{\frac{1}{2} 2x - 2\sqrt{\rho} \cos\left(\frac{\theta}{2}\right)}{\sqrt{\rho - \rho \left(\cos\left(\frac{\theta}{2}\right)\right)^2}}\right) \right]_{-\infty}^{\infty} \quad (\text{B.8})$$

Soit encore

$$\int_{-\infty}^{\infty} |H(jf)|^2 df = \frac{\pi \sqrt{2\rho}}{2\sqrt{1 - \cos(\theta)}}$$

Ainsi, on obtient pour BW_{eq} :

$$BW_{eq} = \frac{\pi\sqrt{\rho}}{4\sqrt{1 - \cos(\theta)}}$$

Or $\cos(\theta) = 2\xi^2 - 1$ et donc une forme simplifiée peut être obtenue :

$$BW_{eq} = \frac{\pi}{4} \frac{f_n}{\xi}$$

On retrouve bien le résultat précédent pour $\xi = 1$, c'est-à-dire $BW_{eq} = \frac{\pi}{4} f_n$.

Cette relation est très importante car elle montre que la bande passante équivalente de bruit augmente fortement lorsque le circuit est sous amorti. Ceci montre qu'en terme de bruit, il faut que la marge de phase d'un système soit suffisante pour que la pénalité en bruit ne soit pas trop forte.

3 Autre Filtre

Si l'on considère à présent un filtre dont la fonction de transfert est de la forme suivante :

$$H(j\omega) = \frac{\left(1 + j\frac{f}{f_{c0}}\right)}{\left(1 + j\frac{f}{f_{c1}}\right)\left(1 + j\frac{f}{f_{c2}}\right)}$$

Par utilisation des résultats obtenus pour le filtre d'ordre deux à solution réelle, on sait que l'on peut mettre son module au carré sous la forme suivante :

$$|H(jf)|^2 = \left(1 + \frac{f^2}{f_{c0}^2}\right) \left[\frac{A_1}{1 + \frac{f^2}{f_{c1}^2}} + \frac{A_2}{1 + \frac{f^2}{f_{c2}^2}} \right]$$

avec $A_1 = -\frac{f_{c2}^2}{-f_{c2}^2 + f_{c1}^2}$ et $A_2 = \frac{f_{c1}^2}{-f_{c2}^2 + f_{c1}^2}$.

Par intégration, on trouve :

$$\begin{aligned} \int_{-\infty}^{\infty} |H(jf)|^2 df &= A_1 \left[f_{c1} \arctan\left(\frac{f}{f_{c1}}\right) - \frac{f_{c1}^3}{f_{c0}^2} \arctan\left(\frac{f}{f_{c1}}\right) \right]_{-\infty}^{\infty} \\ &+ A_2 \left[f_{c2} \arctan\left(\frac{f}{f_{c2}}\right) - \frac{f_{c2}^3}{f_{c0}^2} \arctan\left(\frac{f}{f_{c2}}\right) \right]_{-\infty}^{\infty} \end{aligned}$$

Soit encore

$$\begin{aligned} \int_{-\infty}^{\infty} |H(jf)|^2 df &= \pi \frac{f_{c1} f_{c2}}{f_{c1}^2 - f_{c2}^2} \left[f_{c1} \left(1 - \frac{f_{c2}^2}{f_{c0}^2}\right) - f_{c2} \left(1 - \frac{f_{c1}^2}{f_{c0}^2}\right) \right] \\ &= \pi \frac{f_{c1} f_{c2}}{f_{c1} + f_{c2}} \left[1 + \frac{f_{c1} f_{c2}}{f_{c0}^2} \right] \\ &= \frac{1}{2(\tau_1 + \tau_2)} \left[1 + \frac{\tau_0^2}{\tau_1 \tau_2} \right] \end{aligned} \tag{B.9}$$

Il est intéressant de remarquer que l'on retrouve l'expression (B.4) multipliée par le facteur $\left[1 + f_{c1} f_{c2} / f_{c0}^2\right]$, ce qui correspond bien à la considération $f_{c0} = \infty$ dans l'équation (B.4).

Bibliographie

- [AASM05] Devrim Aksin, Mohammad A. Al-Shyoukh, and Franco Maloberti. A bootstrapped switch for precise sampling of inputs with signal range beyond supply voltage. *IEEE 2005 Custom Integrated Circuits Conference*, 2005.
- [Abo92] Andrew Masami Abo. Design for reliability of low-voltage, switched-capacitor circuits. *Thesis, Berkeley University*, 1992.
- [Abo99] Adrew Abo. *Design for Reliability of Low-voltage, Switched-capacitor Circuits*. PhD thesis, Berkeley University, 1999.
- [AF00] Giovanni Anelli and Federico Faccio. Trends in cmos technologies and radiation tolerant design. *CERN Training Course Radiation effects on electronic components and systems for LHC*, April 2000.
- [AG99] Andrew M. Abo and Paul R. Gray. A 1.5-v, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter. *IEEE Journal of Solid-State Circuits*, 34, May 1999.
- [AGP02] W. Aloisi, G. Giustolisi, and G. Palumbo. Analysis and optimization of gain-boosted telescopic amplifiers. *IEEE*, 2002.
- [AGPSG02] P. Amaral, J. Goes, N. Paulino, and A. Steiger-Garção. An improved low-voltage low-power CMOS comparator to be used in high-speed pipeline ADCs. *IEEE*, 2002.
- [AHB⁺05] Terje Nortvedt Andersen, Bjornar Hernes, Atle Briskemyr, Frode Telsto, Johnny Bjornsen, Thomas E. Bonnerud, and oystein Moldsvor. A cost-efficient high-speed 12-bit pipeline adc in 0.18- μ m digital CMOS. *IEEE Journal of Solid-State Circuits*, 40, July 2005.
- [AHL03] Aurathy Acharyu, Paul J. Hurst, and Stephen H. Lewis. Thermal noise from switches in a switched-capacitor gain stage. *Mixed-Signal Design, Southwest Symposium on*, 2003.
- [Ahm06] Mohammad Mahdi Ahmadi. A new modeling and optimization of gain-boosted cascode amplifier for high-speed and low-voltage applications. *IEEE transactions on Circuits and Sytems II*, 53, March 2006.
- [ANE00] G. ANELLI. *Design and characterization of radiation tolerant integrated circuits in deep submicron CMOS technologies for the LHC experiments*. PhD thesis, Institut National Polytechnique de Grenoble, 2000.
- [BA02] Ganesh Kumar Balachandran and Phillip E. Allen. Switched-current circuits in digital CMOS technology with low charge-injection errors. *IEEE journal of solid states circuit*, October 2002.
- [Bak05] R. Jacob Baker. *CMOS Circuit Design, Layout and Simulation*. IEEE press and John Wiley and Sons, 2005.

- [BBLL06] Olivier Bernal, Francis Bony, Pierre Laquerre, and Marc Lescure. Digitally self-calibrated pipelined analog-to-digital converter. *Proceedings IEEE Transactions on Instrumentation and Measurement*, April 2006.
- [BBM00] Mark P. Baze, Steven P. Buchner, and Dale McMorow. A digital CMOS design technique, for SEU hardening. *IEEE Transaction on Nuclear Science*, 47, December 2000.
- [BCL05a] Olivier Bernal, Marc Cousineau, and Marc Lescure. Current-mode pipelined ADC for high resolution monolithic CCD processors. *Proceedings IEEE Transactions on Instrumentation and Measurement*, May 2005.
- [BCL05b] Olivier Bernal, Marc Cousineau, and Marc Lescure. Fully differential CMOS current memory cell for analog-to-digital converters. *Proceedings IEEE Signal, Circuit and Systems*, July 2005.
- [Ber05] Olivier Bernal. *Environnement spatial et Règles de durcissement*, January 2005.
- [Ber06] Olivier Bernal. *Analyse des sources d'erreurs dans les convertisseurs Analogique-Numérique de type Pipeline et méthodes de correction associées*, January 2006.
- [BG90] Klaas Bult and Govert J.G.M. Geelen. A fast-settling cmos op amp for sc circuits with 90-dB dc gain. *IEEE journal of Solid-State Circuits*, 25, December 1990.
- [BG99] H. Bilhan and M. W. Gosney. A 13 bits 20MS/s current mode pipelined analog-to-digital converter. *IEEE Circuit and Systems I*, August 1999.
- [Bod45] H. W. Bode. *Network Analysis and Feedback Amplifier Design*. New York, NY : Van Nostrand, 1945.
- [BR01] Kerry Bernstein and Norman J. Rohrer. *SOI Circuit Design Concepts*. Kluwer Academic, 2001.
- [CF99] Uma Chilakapati and Terri S. Fiez. Effect of switch resistance on the sc integrator settling time. *IEEE transactions on Circuits and Sytems II*, 46, June 1999.
- [CGN04] Yun Chiu, Paul R. Gray, and Borivoje Nikolic'. A 14-b 12-MS/s CMOS pipeline ADC with over 100-db SFDR. *IEEE Journal of Solid-State Circuits*, 39, December 2004.
- [CLHH92] Chao-Cheng Chen, Sow Chang Liu, Cheng Cheng Hsiao, and Jenn Gow Hwu. A circuit design for the improvement of radiation hardness in CMOS digital circuits. *IEEE Transaction on Nuclear Science*, April 1992.
- [Cli96] David William Cline. *Noise, Speed, and Power Trade-offs in Pipelined Analog to Digital Converters*. PhD thesis, Berkeley University, 1996.
- [CM88] C.E. Daniel Chen and Mishel Matloubian. Single transistor latch in SOI MOSFET's. *IEEE Electron Device Letters*, December 1988.
- [Con94] C.S.G. Conroy. A high-speed parallel pipeline A/D converter technique in CMOS. *Memorandum No. UCB/ERL M94/9, Electronics Research Laboratory, U. C. Berkeley*, February 1994.
- [CPS+00] M. Ceschia, A. Paccagnella, S. Sandrin, G. Ghidini, J. Wyss, M. Lavale, and O. Flament. Low field leakage current and soft breakdown in ultrathin gate

- oxyde after heavy ions, electrons or x-ray irradiation. *IEEE Transaction on Nuclear Science*, 47, June 2000.
- [CS02] S-Y Chuang and T.L. Sculley. A digitally self-calibrating 14-bit 10-MHz CMOS pipelined A/D converter. *IEEE Journal of Solid-State Circuits*, 37, June 2002.
- [CSB00] Myung-Jun Choe, Bang-Sup Song, and Kantilal Bacrania. A 13-b 40-MSamples/s cmos pipelined folding ADC with background offset trimming. *IEEE Journal of Solid-State Circuits*, 35, December 2000.
- [CSB01] Hsin-Shu Chen, Bang-Sup Song, and Kantilal Bacrania. A 14-b 20-MSamples/s CMOS pipelined ADC. *IEEE Journal of Solid-State Circuits*, 36, June 2001.
- [CSJ+01] J. F. Jr. Conley, J.S. Suehle, A.H. Johnston, B. Wang, T. Miyahara, E.M. Vogel, and J.B. Bernstein. Heavy-ion-induced soft breakdown of thin gate oxides. *IEEE Transaction on Nuclear Science*, 48, December 2001.
- [DH00] Mrinal Das and Jim Hellums. Improved design criteria of gain-boosted CMOS OTA with high-speed optimizations. *IEEE International Symposium on Circuits and Systems*, May 2000.
- [DIH05] Alma Delic-Ibukic and Donal M. Hummels. Continuous digital calibration of pipeline A/D converters. *Proceedings IEEE Transactions on Instrumentation and Measurement*, May 2005.
- [DK99] M. Dessouky and A. Kaiser. Input switch configuration suitable for rail-to-rail operation of switched opamp circuits. *Electronics Letters*, 35, January 1999.
- [DSW+00] P. E. Dodd, M. R. Shaneyfelt, D. S. Walsh, J. R. Schwank, G. L. Hash, R. A. Loemker, B. L. Draper, and P. S. Winokur. Single-event upset and snapback in silicon-on-insulator devices and integrated circuits. *IEEE Transaction on Nuclear Science*, 47, December 2000.
- [dWTH93] Michiel de Wit, Khen-Sang Tan, and Richard K. Hester. A low-power 12-b analog-to-digital converter with on-chip precision trimming. *IEEE Journal of Solid-State Circuits*, 28, April 1993.
- [ESC05] Jean M. ESCANE. Circuits électriques lineaires : Systemes boucles. *Techniques de l'Ingenieur*, 2005.
- [Fis82] Jonathan H. Fischer. Noise sources and calculation techniques for switched capacitor filters. *IEEE journal of Solid-State circuits*, August 1982.
- [FMS94] Daniel M. Fleetwood, Timothy Meisenheimer, and John H. Scofield. 1/f noise and radiation effects in MOS devices. *IEEE Transaction on Electron Devices*, 41, November 1994.
- [FR96] L. Salager F.M. Roche. CMOS inverter design hardened to total dose effect. *IEEE Transaction on Nuclear Science*, 43, December 1996.
- [FRS05] Christian Jesus B. Fayomi, Gordon W. Roberts, and Mohamad Sawan. Low-voltage CMOS analog bootstrapped switch for sample-and-hold circuit : Design and chip characterization. *IEEE*, 2005.
- [FRWS00] Daniel M. Fleetwood, Leonard C. Riewe, Peter S. Winokur, and Frederick W. Sexton. Dielectric breakdown of thin oxides during ramped current-temperature stress. *IEEE Transaction on Nuclear Science*, 47, December 2000.

- [GAS90] Rendall L. Geiger, Phillip E. Allen, and Noel R. Strader. *VLSI design techniques for analog and digital circuits*. MacGraw-Hill, 1990.
- [GDG94] Walter Guggenbuhl, Jiandong Di, and Josef Goette. Switched-current memory circuits for high-precision applications. *IEEE Journal of Solid-State Circuits*, 29, September 1994.
- [GG82] P Grignoux and R. L. Geiger. Modeling of MOS transistors with nonrectangular gate geometries. *IEEE transactions on electron devices*, 29, August 1982.
- [GHLM01] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, and Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley and Sons, 2001.
- [GpM00] A. Giraldo, A paccagnella, and A. Minzoni. aspect ratio calculation in n-channel MOSFET with a gate-enclosed layout. *IEEE Transaction on solid state circuits*, 44, June 2000.
- [GPR04] Antonio J. Ginés, Eduardo J. Peralías, and Adoración Rueda. Digital background gain error correction in pipeline adcs. *IEEE*, 2004.
- [HBB01] N.F. Haddad, R.W. Berger, and R.D. Brown. Low power 0.25um ASIC technology for space applications. In *Aerospace Conference Proceedings*, 2001.
- [HHMF04] Mary Hartwell, Craig Hafer, Peter Milliken, and Teresa Farris. Megarad total ionizing dose and single event effects test results of a radhard-by-design 0.25 micron ASIC. In *IEEE Radiation Effects Data Workshop*, 2004.
- [Hoe94] David F. Hoeschele. *Analog-to-Digital and Digital-to-Analog Conversion Techniques*. John Wiley and Sons, 1994.
- [Hu96] Chenming Hu. Gate oxide scaling limits and projection. *IEEE IEDM*, 1996.
- [Hur92] Paul J. Hurst. A comparison of two approaches to feedback circuit analysis. *IEEE transactions on education*, 35, August 1992.
- [HWT00] John B. Hughes, Apisak Worapishet, and Chris Toumazou. switched-capacitors versus switched-currents : a theoretical comparison. *IEEE International Symposium on Circuits and Systems*, May 2000.
- [IMUD06] Kunihiko Iizuka, Hirofumi Matsui, Masaya Ueda, and Mutsuo Daito. A 14-bit digitally self-calibrated pipelined ADC with adaptive bias optimization for arbitrary speeds up to 40 MS/s. *IEEE Journal of Solid-State Circuits*, 41, April 2006.
- [JL94] W. C. Jenkins and S. T. Liu. Radiation response of fully depleted MOS transistor fabricated in SIMOX. *IEEE Transaction on Nuclear Science*, 41, 1994.
- [JM97] D. Johns and K. Martin. *Analog Integrated Circuit Design*. John Wiley and Sons, 1997.
- [JSME98] A.H Johnston, G.M. Swift, T. Miyahira, and L.D Edmonds. Breakdown of gate oxide during irradiation with heavy ions. *IEEE Transaction on Nuclear Science*, 45, December 1998.
- [Kes05] Mustafa Keskin. A low-voltage cmos switch with a novel clock boosting scheme. *IEEE Transactions on Circuits and Systems II* :, 52, April 2005.

- [KK89] R Koga and W.A. Kolansky. Heavy ion induced snapback CMOS devices. *IEEE Transaction on Nuclear Science*, 36, December 1989.
- [KLB93] A. N. Karanicolas, H-S Lee, and K. L. Bacrania. A 15-b 1-Msample/s digitally self-calibrated pipeline ADC. *IEEE Journal of Solid-State Circuits*, 28, December 1993.
- [KMG74] B. Y. Kamath, R. G. Meyer, and P. R. Gray. Relationship between frequency response and settling time of operational amplifiers. *IEEE Journal of Solid-State Circuits*, 9, December 1974.
- [Kol00] Kimmo Koli. *CMOS Current Amplifiers : Speed versus Nonlinearity*. PhD thesis, Helsinki University of Technology Electronic Circuit Design Laboratory, 2000.
- [LCM05] Kye-Shin Lee, Yunyoung Choi, and Franco Maloberti. Sc amplifier and sc integrator with an accurate gain of 2. *IEEE Transactions On Circuits and Systems II*, April 2005.
- [Lee94] H-S Lee. A 12-b 600ks/s digitally self-calibrated pipelined algorithmic adc. *IEEE Journal of Solid-State Circuits*, 29, April 1994.
- [LLW03] Hung-Chih Liu, Zwei-Mei Lee, and Jieh-Tsong Wu. A digital background calibration technique for pipelined analog-to-digital converters. *IEEE*, 2003.
- [LM03] Jipeng Li and Un-Ku Moon. Background calibration techniques for multistage pipelined adcs with digital redundancy. *IEEE Transactions on Circuits and Systems II*, September 2003.
- [LNC⁺01] Ying Li, Guofu Niu, John D. Cressler, Jagdish Patel, Cheryl J. Marshall, Paul W. Marshall, Hak S. Kim, Robert A. Reed, and Michael J. Palmer. Anomalous radiation effects in fully-depleted soi mosfets fabricated on simox. *IEEE Transaction on Nuclear Science*, 48, December 2001.
- [LOM⁺98] R.C. Lacoce, J.V. Osborn, D.C. Mayer, S. C. Witczak, S. Brown, and R. Robertson. Total dose tolerance of a chartered semiconductor 0.35 μ m CMOS process. *IEEE Transactions on Nuclear Science*, 45, June 1998.
- [LRRB05] Bin Le, Thomas W. Rondeau, Jeffrey H. Reed, and Charles W. Bostian. Analog-to-digital converter. *IEEE Signal Processing Magazine*, 2005.
- [LW91] Peter J. Lim and Bruce A. Wooley. A high-speed sample-and-hold technique using a miller hold capacitance. *IEEE Journal of Solid-State Circuits*, 26, April 1991.
- [LWY02] Christian Lillebrekke, Carsten Wulff, and Trond Ytterdal. Bootstrapped switch in low-voltage digital 90nm CMOS technology. *IEEE Journal of Solid-State Circuits*, 2002.
- [MB03] Boris Murmann and Bernhard E. Boser. A 12-bit 75-MS/s pipelined ADC using open-residue amplification. *IEEE Journal of Solid-State Circuits*, 38, December 2003.
- [MHK00] James C. Morizio, Michael Hoke, and Taskin Kocak. 14-bit 2.2-MS/s sigma delta ADC's. *IEEE Journal of Solid-State Circuits*, 35, July 2000.
- [MJ94] D. Macq and P. G. A. Jespers. A 10 bits pipelined switched currents a-d converter. *IEEE Journal of Solid-State Circuits*, 29, August 1994.

- [MKB⁺03] Byung-Moo Min, Peter Kim, Frederick W. Bowman, David M. Boisvert, and Arlo J. Aude. A 69-mW 10-bit 80-MSample/s pipelined CMOS ADC. *IEEE Journal of Solid-State Circuits*, 38, December 2003.
- [MRCV99] T. Monnier, F.M Roche, J Cosculluela, and R Velazco. SEU testing of a novel hardened register implemented using standard CMOS technology. *IEEE Transaction on Nuclear Science*, 46, December 1999.
- [Nai93] D.G. Nairn. Analytic step response of MOS current mirrors. *IEEE Transactions on circuits and systems I*, February 1993.
- [Nai96] D.G. Nairn. A high linearity sampling technique for switched-current circuits. *IEEE Transactions on circuits and systems II*, January 1996.
- [NAS96] NASA. *Space radiation effects on electronic components in low-earth orbit*, 1996.
- [NH04] K. Nair and R. Harjani. A 96dB SFDR 50MS/s digitally enhanced CMOS pipeline A/D converter. *IEEE ISSCC*, 2004.
- [PKK⁺03] Yong-In Park, S. Karthikeyan, Wem Ming Koe, Zhongnong Jiang, and Ti-Chean Tan. A 16-bit, 5MHz multi-bit sigma-delta ADC using adaptively randomized DWA. *IEEE 2003 Custom Integrated Circuits Conference*, 2003.
- [PSC⁺00] Hui Pan, Masahiro Segami, Michael Choi, Jing Cao, and Asad A. Abidi. A 3.3-v 12-b 50-MS/s a/d converter in 0.6 μ m CMOS with over 80-db SFDR. *IEEE Journal of Solid-State Circuits*, 35, December 2000.
- [Raz00] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2000.
- [RB05] Omid Rajaei and Mehrdad Sharif Bakhtiar. A low voltage, high speed current mode sample and hold for high precision applications. *Proceedings of the 2005 European Conference on Circuit Theory and Design, 2005*, August 2005.
- [RRS⁺04] Seung-Tak Ryu, Sourja Ray, Bang-Sup Song, Gyu-Hyeong Cho¹, and Kanti Bacrania. A 14b-linear capacitor self-trimming pipelined ADC. *IEEE Solid-State Circuits Conference*, 2004.
- [RW92] Behzad Razavi and Bruce A. Wooley. Design techniques for high-speed, high-resolution comparators. *IEEE Journal of Solid-State Circuits*, 27, December 1992.
- [SAI98] Frédéric SAIGNE. *Une Nouvelle Approche de la Selection des Composants de Type MOS pour l'Environnement Radiatif Spatial*. PhD thesis, Université de Montpellier, 1998.
- [SFCS03] J. R. Schwank, V. Ferlet-Cavrois, and M. R. Shaneyfelt. Radiation effects in soi technologies. *IEEE Transaction on Nuclear Science*, 50, June 2003.
- [SG00] Eric Siragusa and Ian Galton. Gain error correction technique for pipelined analog-to-digital converters. *Electronics Letters*, Mars 2000.
- [SG04] Eric Siragusa and Ian Galton. A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC. *IEEE Journal of Solid-State Circuits*, December 2004.
- [SPM⁺97] A. Scarpa, A. Paccagnella, F. Montera, G. Ghibauda, G. Pananakakis, G. Ghidini, and P. G. Fuochi. Radiation-induced leakage currents on ultra-thin gate oxides. *IEEE Transaction on Nuclear Science*, 44, December 1997.

- [SSST05] Richard Schreier, Jose Soliva, Jesper Steensgaard, and Gabor C. Temes. Design-oriented estimation of thermal noise in switched-capacitor circuits. *IEEE Transactions on Circuits and Systems I*, 52(11), November 2005.
- [Sta05] Denis Standarovski. *Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse-tension pour application aux instruments d'observation de la Terre*. PhD thesis, Laboratoire Electronique de l'E.N.S.E.E.I.H.T.- INP Université, 2005.
- [Ste99] Jesper Steensgaard. Bootstrapped low-voltage analog switches. *IEEE Journal of Solid-State Circuits*, 1999.
- [STL88] B-S Song, M.F. Tompsett, and K.R. Lakshmikumar. A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter. *IEEE Journal of Solid-State Circuits*, 23, December 1988.
- [SWH01] Lauri Sumanen, Mikko Waltari, and Kari A. I. Halonen. A 10-bit 200-MS/s CMOS parallel pipeline A/D converter. *IEEE Journal of Solid-State Circuits*, 36, July 2001.
- [SWHH02] Lauri Sumanen, Mikko Waltari, Vaino Hakkarainen, and Kari Halonen. CMOS dynamic comparators for pipeline A/D converters. *IEEE*, 2002.
- [THB94] C. Toumazou, J.B. Hughes, and N.C. Battersby. *Switched-currents an analogue technique for digital technology*. Peter Peregrinus Ltd, 1994.
- [TLH90] C. Toumazou, F.J. Lidgley, and D.G. Haigh. *Analogue IC design :the current-mode approach*. Peter Peregrinus Ltd, 1990.
- [Tsi99] Yannis Tsividis. *Operation and Modeling of the MOS Transistor*. MacGraw-Hill, 1999.
- [TW01] Dwight U. Thompson and Bruce A. Wooley. A 15-b pipelined CMOS floating-point A/D converter. *IEEE Journal of Solid-State Circuits*, 36, February 2001.
- [vdP03] Rudy van de Plassche. *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer Academic, 2003.
- [vdPHT⁺01] Hendrik van der Ploeg, Gian Hoogzaad, Henk A. H. Termeer, Maarten Verreget, and Raf L. J. Roovers. A 2.5-V 12-b 54-MSample/s 0.25- μ m CMOS ADC in 1-mm² with mixed-signal chopping and calibration. *IEEE Journal of Solid-State Circuits*, 36, December 2001.
- [vdPSH95] Rudy J. van de Plassche, Willy M.C. Sansen, and Johan H. Huijsing. *Analog Circuit Design, Low-Power Low-Voltage, Integrated Filters and Smart Power*. Kluwer Academic, 1995.
- [WCCC95] Chung-Yu Wu, Chih-Cheng, and Jyh-Jer Cho. Precise CMOS current sample/hold circuits using differential clock feedthrough attenuation techniques. *IEEE journal of solid states circuit*, January 1995.
- [WH02a] M. Waltari and K. Halonen. Bootstrapped switch without bulk effect in standard CMOS technology. *Electronics Letters*, 38, June 2002.
- [WH02b] Mikko E. Waltari and Kari A.I. Halonen. *Circuit Technique For Low-Voltage and High-Speed A/D Converters*. Kluwer Academic, 2002.
- [WHT03] Apisak Worapishet, John B. Hughes, and Chris Toumazou. Low-power high-frequency class AB two-step sampling switched-current techniques. *IEEE Transactions on Circuits And Systems II*, 50, September 2003.

- [WQ04] Jin Wang and Yulin Qiu. Analysis and design of fully differential gain-boosted telescopic cascode opamp. *IEEE*, 2004.
- [WW99] Jin-Sheng Wang and Chin-Long Wey. A 12-bit 100-ns/bit 1.9mW CMOS Switched-Current cyclic A/D converter. *IEEE transaction on circuit and system II*, 46, May 1999.
- [WW01] Jin-Sheng Wang and Chin-Long Wey. A low-voltage low-power 13-b pipelined switched-current cyclic A/D converter. *IEEE*, 2001.
- [YA90] H. C. Yang and D. J. Allstot. Considerations for fast settling operational amplifiers. *IEEE transactions on Circuits and Systems*, 37, March 1990.
- [YFdS05] Jie Yuan, Nabil Farhat, and Jan Van der Spiegel. Gbopcad : A synthesis tool for high-performance gain-bossted opamp design. *IEEE transactions on Circuits and Systems I*, 52, August 2005.
- [YKM⁺01] Wenhua Yang, Dan Kelly, Iuri Mehr, Mark T. Sayuk, and Larry Singer. A 3-V 340-mW 14-b 75-MSample/s CMOS ADC with 85-db SFDR at Nyquist input. *IEEE Journal of Solid-State Circuits*, 36, December 2001.
- [YP99] Jiren Yuan and Johan Piper. Floating point analog-to-digital converter. *IEEE*, 1999.
- [ZHSK05] Hashem Zare-Hoseini, Omid Shoaee, and Izzet Kale. A new multiply-by-two gain-stage with enhanced immunity to capacitor-mismatch. *IEEE*, 2005.

Table des figures

1.1	Signal CCD typique	4
1.2	Schéma synoptique d'un convertisseur Flash 2bits	5
1.3	Schéma synoptique de convertisseur Flash à multiples étages	6
1.4	Schéma synoptique d'un convertisseur à approximations successives	7
1.5	Schéma synoptique d'un convertisseur pipeline à 1bit par étage	7
1.6	Schéma synoptique des deux premiers étages d'un CAN pipeline de résolution 1bit/étage. EGR : étage de gain et de résidu	8
1.7	Schéma synoptique d'un convertisseur cyclique	8
1.8	Schéma synoptique d'un convertisseur sigma delta	9
1.9	Classement de diverses architectures CAN en fonction de la résolution et de la fréquence d'échantillonnage (a) et (b) (Source [LRRB05]). L'appellation IEEE fait référence aux CAN publiés dans une revue IEEE par opposition au terme standard qui désigne les composants disponibles dans le commerce. La dénomination "courant" quant à elle fait référence aux architectures mode courant.	10
1.10	Classement de diverses architectures CAN d'après leur facteur de mérite	11
1.11	Evolution du facteur de mérite P (a) et M (b) en fonction du temps. Source [LRRB05]	11
1.12	La Terre et son environnement spatial	12
1.13	Interactions entre les particules-photons et la matière	14
1.14	Création de paires électron-trou dans l'oxyde de grille d'un transistor MOS suite à l'ionisation générée par une particule énergétique. Lors de la création de paires électron-trou, en général la majorité des paires créées se recombine dans les pico-secondes qui suivent. La proportion de paires qui se recombinent dépend directement de la direction du champ électrique qui règne dans la zone ionisée et du LET (énergie déposée dans le matériau) ([SAI98])	15
1.15	Phénomène de courant de fuite induit par radiations au niveau de la région de Bird's beak ([ANE00],[AF00])	16
1.16	Mis en évidence du phénomène de courant de fuite induit par radiations pour le NMOS (a) contrairement au PMOS (b). ([LOM ⁺ 98])	17
1.17	Phénomène de collecte de charges dans une jonction PN	18
1.18	Phénomène de latch up induit par radiations dans le cas d'une simple porte inverseuse	18
1.19	Phénomène de snapback induit par radiation	19
1.20	Variation de la tension de seuil en fonction de l'épaisseur d'oxyde ([ANE00])	21
1.21	Effet de grille parasite induit par radiation dans une technologie SOI	22
1.22	Layout d'un MOS fermé ou rond en technologie ST BiCMOS 0.35 μ m	23

2.1	Principe de fonctionnement d'une mémoire de courant	27
2.2	Schéma petit signal simple d'une mémoire de courant	29
2.3	Schéma petit signal d'une mémoire de courant prenant en compte la conductance du commutateur S_1	30
2.4	Schéma de principe d'une structure cascode (a) et cascode régulé (b)	32
2.5	Types de mémoire de courant	33
2.6	Impact d'une injection de charges constante dans le cas d'une structure asymétrique (trait plein) et symétrique (tirets) pour une modulation $-1 < m < 1$	34
2.7	Impact du bruit introduit par le MOS cascode T_c	37
2.8	Cellule de Mémoire de courant différentielle DME-CMC	39
2.9	Evaluation du temps d'établissement : i_{in} est le courant à mémoriser, $g_m v_g$ le courant de sortie, g_{on} la conductance de S_1 à l'état ON, g_s la conductance de S_3 à l'état ON, g_{ds} la conductance de sortie de T_m et C_d la capacité parasite.	39
2.10	Version asymétrique de la mémoire de courant utilisant le principe de réduction du phénomène d'injection de charges par effet Miller	40
2.11	Circuit à effet Miller : a) Les commutateurs S_3 sont ouverts pour rendre actif l'effet Miller ; b) Les commutateurs S_1 sont ouverts pour figer la valeur du signal d'entrée	41
2.12	Schéma électrique de l'Opamp avec son circuit de CMFB. Le circuit est inconditionnellement stable au gain unitaire.	43
2.13	Photos des circuits intégrés réalisés	44
2.14	Schéma synoptique de la cellule de mémoire de courant conçue en ST BiC-MOS $0.35\mu\text{m}$	45
2.15	Evolution de V_{diff} en fonction du courant à mémoriser	46
2.16	Evolution du $\Delta V_{diff_s}^s$ en fonction du courant à mémoriser sans effet Miller. Les courbes théoriques représentent l'erreur induite sans dummy (0) et avec des dummies permettant de réduire de 80% (1/5) et 95% (1/20) les charges injectées	47
2.17	ΔV_{inj} sans et avec effet Miller	48
2.18	Effet Miller et capacités parasites	48
2.19	Capacité vue par effet Miller C_{Miller} pour $C_3=1\text{pF}$, $C_{0_2}=3\text{fF}$ et $C_{0_1}=0$	49
2.20	Visualisation du phénomène d'échantillonnage-blocage d'un signal sinusoïdal de fréquence 50kHz avec une fréquence d'horloge de 850kHz et sans effet Miller	50
2.21	Visualisation du phénomène d'échantillonnage-blocage d'un signal triangulaire de fréquence 10kHz avec une fréquence d'horloge de 100kHz et effet Miller	51
2.22	Visualisation du phénomène d'échantillonnage-blocage d'un signal sinusoïdal de fréquence 10kHz avec une fréquence d'horloge de 700kHz	51
2.23	Temps d'établissement de la mémoire de courant	52
2.24	Influence de la température sur V_{diff} . Pour les courbes théoriques, on s'est servi de la courbe obtenue à 36°C comme référence et on a tenu compte de la loi pour la mobilité suivante $\mu(T) = \mu(300) \cdot (T/300)^{-k}$ avec $k=2$. (Données expérimentales)	53
2.25	Evolution du gain par effet Miller et de la précision absolue de la mémoire de courant en fonction de la température.	53

2.26	Diagramme de fonctionnement d'un étage d'un convertisseur pipeline en courant	54
3.1	Schéma de principe d'un CAN	57
3.2	Circuit à capacités commutées réalisant l'opération d'échantillonnage, de soustraction et d'amplification. La chaîne directe peut a priori être constituée soit d'une source de tension contrôlée par tension (Amplificateur Opérationnel AO) soit d'une source de courant contrôlée par tension (Operational Transconductance Amplifier (OTA)).	58
3.3	Circuit Echantillonneur-Soustracteur-Amplificateur (ESA) (b) durant la phase de maintien où C_e représente la capacité d'échantillonnage de l'étage suivant du CAN	59
3.4	Diagramme de base de la contre-réaction	60
3.5	Modèle de contre-réaction éclaté qui représente $H_1(p)$ (a) et $H_2(p)$ (b) . . .	61
3.6	Circuit CC de soustraction-amplification durant la phase d'échantillonnage	61
3.7	Circuits équivalents pour l'extraction des paramètres de la boucle	62
3.8	Circuit équivalent pour l'extraction du paramètre R de la boucle	62
3.9	Circuit équivalent petit signal d'un OTA du 1 ^{er} ordre	63
3.10	Circuit équivalent petit signal d'un OTA du 2 ^{ème} ordre	63
3.11	Modèle simplifiée pour OTA ₁ et OTA ₂	63
3.12	Représentation de la charge vue par l'OTA	64
3.13	Réponse temporelle à un échelon en tension simulée sous SPICE (a) et calculée (b). La réponse traduit bien la fonction suiveuse inverseuse de H_{cl} , mais avec un dépassement de polarité opposé au début du transitoire. . . .	66
3.14	Schéma petit signal du circuit d'amplification à capacités commutées comprenant les conductances finies des commutateurs analogiques.	67
3.15	Fonction de transfert (a) et réponse temporelle à un échelon (b) d'un simple suiveur ayant une marge de phase de 90° (trait pointillé) et de 60° (trait plein).	69
3.16	Fonction de transfert (a) et réponse temporelle à un échelon (b) de la fonction de transfert étudiée lorsque R a une marge de phase de 90° (trait plein (a) et trait pointillé (b)) et de 60° (trait pointillé (a) et trait plein (b)).	69
3.17	Simulation sous Maple de l'évolution temporelle du temps d'établissement d'un circuit CC du premier ordre. Cette évolution est normalisée par rapport à la réponse temporelle d'un circuit du premier ordre de constante de temps τ_0 ($\tau_{on1} = \kappa \tau_0$) pour une résolution de 12bits (rouge)	71
3.18	Simulation sous SPICE de l'évolution temporelle du temps d'établissement d'un circuit CC du premier ordre. Cette évolution est normalisée par rapport à la réponse temporelle d'un circuit du premier ordre de constante de temps τ_0 pour une résolution de 10bits	72
3.19	Valeur de ρ en fonction du rapport $\kappa = \tau_{on1}/\tau_0$	74
3.20	Evolution du temps d'établissement normalisé t_{acN} en fonction de κ pour $\rho=0.01$ (noir tiret), 0.3 (gris) et 0.5 (noir)	74
3.21	Evolution du temps d'établissement normalisé t_{acN} pour une résolution de 12bits en fonction du rapport τ_{on1}/τ_0 et de ρ normalisé par rapport au temps d'établissement dans le cas idéal (plan (1,1))	75

3.22	Evolution du temps d'établissement normalisé t_{acN} en fonction de κ pour (a) $\rho=0.2$, (b) $\rho=0.4$ (avec $\gamma=0.01$ (noir); 0.1 (gris); 0.2 (noir tiret); 0.5 (gris tiret))	76
3.23	Schéma du SC circuit du 2 ^{ème} ordre avec les commutateurs analogiques	77
3.24	Evolution du temps d'établissement normalisé en fonction de τ_{on1} et de τ_2	78
3.25	Temps d'établissement en fonction de τ_{on1N} pour $\rho = 0$ (jaune), $\rho = 0.1$ (vert), $\rho = 0.2$ (rouge), $\rho = 0.3$ (magenta) et $\rho = 1$ (bleu)	79
3.26	Evolution du temps d'établissement en fonction de τ_{on1} pour $\rho = 0.2$, $\tau_2 =$ 0.2 et $\gamma=0.01$ (noir), 0.1 (gris), 0.2 (noir tiret), 0.4 (gris tiret)	80
4.1	Méthode de conception générale d'un circuit ESA	81
4.2	Schéma de principe du cascode régulé	84
4.3	Diagramme asymptotique de l'évolution du gain de l'AO simple, l'AO ad- ditionnel et l'AO résultant	85
4.4	Méthode de conception simplifiée de l'OTA pour un circuit ESA de gain 2	86
4.5	Schéma de principe de l'OTA télescopique cascode	86
4.6	Diagramme de bode de la phase et du module de l'OTA télescopique simple	87
4.7	Diagramme de bode du module de l'amplificateur additionnel de type source commune NMOS (45dB) (a) et de type source commune PMOS (47dB) (b)	87
4.8	Schéma de principe de l'OTA télescopique cascodé complet	88
4.9	Diagramme de bode de la phase et du module de l'AO télescopique simple	88
4.10	Spice simulation. Réponse transitoire de l'amplificateur cascode amélioré pour les cas suivants (κ, ρ, γ) : 1 (1, 0.3, 0.05), 2 (1, 0.2, 0.3), 3 (0.05, 1, 1), 4 (0.3, 1, 1).	89
4.11	Schéma de principe de l'OTA cascode replié	90
4.12	Schéma de principe de l'OTA cascode replié complet	91
5.1	Circuit de principe E/B en technologie CMOS	93
5.2	Evolution de la conductance du commutateur analogique g_{on} à l'état ON en fonction de l'amplitude du signal d'entrée	94
5.3	Evolution de la bande passante en fonction du rapport W/L du NMOS (AMS $0.35\mu\text{m}$)	95
5.4	Schéma en coupe du commutateur analogique NMOS à l'état ON	96
5.5	Evolution de la conductance du commutateur analogique à l'état ON en fonction de l'amplitude du signal d'entrée	97
5.6	Circuit de principe du commutateur avec son dummy	98
5.7	Principe de fonctionnement du bottom plate sampling	99
5.8	Principe de fonctionnement de la méthode du bootstrapping	99
5.9	Circuit de principe du commutateur analogique durci au radiation	101
5.10	Amplificateur avec entrée rail-to-rail utilisé pour réaliser l'effet bootstrap et polariser correctement le substrat du commutateur principal	102
5.11	Tensions de polarisation du commutateur dans la configuration la plus pé- nalisante vis-à-vis des radiations	104
5.12	Types de commutateurs analogiques pour une structure à capacités commu- tées réalisant l'opération d'échantillonnage-soustraction-amplification dans le cadre d'un CAN pipeline	105
6.1	Mémoire de courant simple	108

6.2	Principe de l'échantillonnage	110
6.3	Principe du maintien	111
6.4	Illustration du phénomène de repliement	112
6.5	Echantillonneur-bloqueur de tension	118
6.6	Etage de gain en tension à capacités commutées	119
6.7	Evolution du SNR de la mémoire de courant imaginaire en fonction de la tension de commande V_{ov} et de la capacité C_H	121
6.8	Evolution de la constante de temps de la mémoire de courant imaginaire en fonction de la tension de commande V_{ov} et de la capacité C_H	122
6.9	Evolution du SNR de la structure Échantillonneur/Bloqueur en fonction de la plage utile de signal et de la capacité C_H	123
6.10	Schéma synoptique d'une structure en courant optimisé pour le bruit.	126
7.1	Schéma de principe d'un CAN 1bit/étage	128
7.2	Comparaison des fonctions de transfert caractéristiques d'un étage pipeline idéal (a) et avec offset (b). S représentant indifféremment une grandeur de tension ou d'intensité de courant.	128
7.3	Convertisseur en courant 4bits	129
7.4	Réalisation de l'amplification dans le cas tension (a) et courant (b)	131
7.5	Fonctions de transfert caractéristique d'un étage pipeline avec gain > 2 (a) et gain < 2 (b)	132
7.6	Fonctions de transfert caractéristiques d'un étage pipeline avec gain > 2 pour le mode tension (a) et pour le mode courant (b).	133
7.7	1 ^{er} étage d'un convertisseur 4bits en tension avec un gain $G > 2$	134
7.8	Convertisseur 4bits avec un gain de 2.5 pour le 1 ^{er} étage	137
7.9	Convertisseur 4bits en tension avec un gain de 2.5 pour le 1 ^{er} et 2 ^{ème} étage	138
7.10	Largeur des pas de quantification et répartition sur la plage $(-V_{ref}, V_{ref})$ des pas ΔV_i	138
7.11	Fonctions de transfert d'un étage pipeline avec un signal de référence erroné	139
7.12	Caractéristique de transfert avec une erreur sur la référence de tension pour l'étage i et i+1	140
7.13	Convertisseur 4bits en courant avec une erreur sur la référence de $5 \mu A$ pour le 1 ^{er} étage et $-5 \mu A$ pour le 2 ^{ème} étage	141
7.14	Circuit d'amplification à sorties symétriques à capacités commutées	145
8.1	Caractéristique de transfert d'un étage à 2 comparateurs	149
8.2	Comparaison entre un convertisseur 4bits (plage 2V) avec 1bit par étage (a) et un convertisseur 4bits avec 1.5bits par étage (b) lorsque les comparateurs ont un offset de 200mV	151
8.3	Caractéristique de transfert d'un étage en tension ayant un gain $\neq 2$, des erreurs de référence en tension et d'offsets	153
8.4	Principe de mesure des poids	155
8.5	Comparaison entre un convertisseur 1.5bits sans (rouge) et avec (vert) correction numérique de résolution 8bits	156
8.6	ESA	157
8.7	Mise en mode calibrage du CAN pipeline à l'aide d'une méthode de repliement.	161
8.8	Diagramme de l'algorithme de correction implémentée sous Matlab	161

8.9	NLD avec $\sigma_{cap} = 3\%$ et $\sigma_{V_{ref}} = 3\%$ pour un CAN utilisant l'algorithme standard (6 premiers étages calibrés) (magenta) et l'algorithme proposé (vert)	162
8.10	CAN avec $\sigma_{cap} = 3\%$ et $\sigma_{V_{ref}} = 3\%$ pour un CAN sans correction (rouge), avec la correction standard (magenta), repliée (noir) et proposée (vert) algorithme, et enfin bleu pour le convertisseur idéal	163
8.11	Evolution de la répartition Analogique/Numérique avec l'évolution des technologies	164
8.12	Recopie de courant	165
A.1	Fonction de transfert d'un CAN idéal de 3bits	169
A.2	Erreur de quantification	170
A.3	Erreurs de linéarité d'un CAN	171
A.4	Erreurs de monotonie (a) et de code manquant (b)	172
A.5	Erreurs de gain (a) et d'offset (b)	173

Liste des tableaux

1.1	Tendance Générale des CANs	9
1.2	Valeurs typiques des doses totales reçues par an en fonction de l'orbite pour le Silicium	13
1.3	Comparaison de diverses technologies vis-à-vis du durcissement aux radiations. Dans le cas de la technologie SOI, on entend par possible le fait que le cas de self-latch up de type snapback peut avoir lieu.	20
2.1	Constante de temps d'établissement minimale suivant la résolution souhaitée	31
2.2	Performances obtenues pour les mémoires de courant	37
2.3	Evaluation de la capacité parasite C_{02}	49
2.4	Offset mesuré sur le ΔV_{inj}^m avec dummies	50
2.5	Résumé des performances de la CMC	56
4.1	Plage dynamique de sortie en fonction de la déviation de la valeur de mode commun centrée autour de $V_{dd}/2$	88
4.2	Temps d'établissement fonction des commutateurs $S_1S_2S_3$ (en Ω)	89
4.3	Performance de l'OTA cascode replié	91
4.4	Temps d'établissement en fonction du couple (S_1, S_2)	92
4.5	Temps d'établissement fonction des commutateurs $S_1S_2S_3$ (en Ω)	92
5.1	Caractérisation de la commande V_{gs} du commutateur analogique bootstrappé chargé par une capacité C_H de 1pF	103
5.2	Caractérisation des résistances des commutateurs analogiques non bootstrappé (nb) et bootstrappé simple (bs) (c'est-à-dire avec polarisation du substrat à V_{dd}) et bootstrappé complet (bc) (avec polarisation du substrat à V_{in})	103
5.3	Caractérisation de l'injection de charges pour les commutateurs analogiques non bootstrappés (nb) et bootstrappés simples (bs) (c'est-à-dire avec polarisation du substrat à V_{dd}) et bootstrappés complets (bc) (avec polarisation du substrat à V_{in}) chargés par une capacité C_H de 1pF où V_{inj} représente l'erreur ($V_{out} - V_{in}$) de la tension mémorisée sur C_H	103
6.1	SNR que doit avoir le 1 ^{er} étage d'un CAN pipeline pour avoir une résolution donnée	124
7.1	Nombres d'étages requis avec le gain associé par étage pour obtenir un CAN 14bits.	132
8.1	Comparaison des poids entre convertisseur 8bits corrigés et non corrigés avec une erreur de 100mV sur la référence de tension du 1 ^{er} et du 3 ^{ème} étage.	156

8.2	Comparaison des caractéristiques principales de circuits corrigeant les erreurs d'appariement des capacités	159
8.3	Évaluation itérative des α à l'aide du nouvel algorithme proposé	162